

## 2층질화막 MNOS구조의 비휘발성 기억특성에 관한 연구

논문  
9-8-3

### A Study on the Nonvolatile Memory Characteristics of MNOS Structures with Double Nitride Layer)

이 형 옥\*  
(Hyung-Ok Lee)

#### Abstract

The double nitride layer Metal Nitride Oxide Semiconductor(MNOS) structures were fabricated by varying both gas ratio and nitride thickness, and by duplicating nitride deposited and one nitride layer MNOS structure to improve nonvolatile memory characteristics of MNOS structures by Low Pressure Chemical Vapor Deposition(LPCVD) method. The nonvolatile memory characteristics of write-in, erase, memory retention and degradation of Bias Temperature Stress(BTS) were investigated by the homemade automatic  $\Delta V_{FB}$  measuring system. In the trap density double nitride layer structures were higher by  $0.85 \times 10^{16} \text{ m}^{-2}$  than one nitride layer structure, and the  $\Delta V_{FB}$  with oxide field was linearly increased. However, one nitride layer structure was linearly increased and saturated above  $9.07 \times 10^6 \text{ V/m}$  in oxide field. In the erase behavior, the hole injection from silicon instead of the trapped electron emission was observed, and also it was highly dependent upon the pulse amplitude and the pulse width. In the memory retentivity, double nitrite layer structures were superior to one nitride layer structure, and the decay rate of the trapped electron with increasing temperature was low. At increasing the number on BTS, the variance of  $\Delta V_{FB}$  of the double nitride layer structures was smaller than that of one nitride layer structure, and the trapped electron retention rate was high. In this paper, the double nitride layer structures were turned out to be useful in improving the nonvolatile memory characteristics.

**Key Word(중요 용어)** : MNOS(Metal Nitride Oxide Semiconductor), Double Nitride Layer(2층질화막층), Flatband Voltage Shift(플랫밴드전압의 변화량), Trapped Electron Retention Rate(포획전자의 유지율), Bias Temperature Stress (고온 바이어스 스트레스)

#### 1. 서 론

현재 널리 이용되고 있는 반도체 기억소자는 일시적으로 전원전압이 차단되는 경우에 저장된 정보가 소실되는 유일한 결점을 갖고 있는 휘발성기억소자(volatile memory devices)로써, 반도체의 집적도가 증가함에 따라 단위소자의 크기가 급속히 축소되어 상대적으로 비휘발성 기억소자(non-volatile memory devices)의 필요성이 증대되고 있

다. 비휘발성 기억소자로서는 trap형 MNOS (Metal Nitride Oxide Semiconductor)RAM, flash형 EEPROM 및 FRAM(Ferroelectric RAM)등이 일부 개발되어 제한적으로 응용되고 있지만, 소자의 물리적특성 및 제조공정상 해결해야 할 여러가지 문제점이 있기 때문에 그 실용화 단계는 아직 미진한 상태에 있다.<sup>1,3)</sup>

MNOS구조는 실리콘질화막(silicon nitride,  $\text{Si}_3\text{N}_4$ ; 질화막으로 약기)을 증착할때, 과잉 실리콘 원자에 의한 실리콘 땀글링 본드(silicon dangling bond)<sup>1)</sup>에 의해  $\text{SiO}_2$ - $\text{Si}_3\text{N}_4$  계면과  $\text{Si}_3\text{N}_4$ 벌크에 형성되는 양극성 1-트랩(Amphoteric 1-Trap)<sup>3)</sup> 또는 2-트랩(2-Trap)<sup>6)</sup>에 전하를 주입 및 방출시키므로

\* : 오산전문대학 전자과  
접수일자 : 1996년 6월 4일  
심사완료 : 1996년 6월 28일

써, 구조에 따라 플랫밴드전압(flatband voltage) 또는 문턱전압(threshold voltage)의 변화를 "1" 혹은 "0"의 정보에 대응시켜 기억상태를 검출하므로써 전기적으로 정보를 기록, 소거할 수 있다. 일단 포획된 전하는 외부로부터의 공급전원이 없이도 약 10년 이상의 기억유지능력(charge retentivity)을 갖고 있는 비휘발성 기억소자로서 1소자 1bit의 기억소자가 가능하며, decoder와 driver등의 주변회로와 memory cell을 단일 chip위에 집적화시킬 수 있다는 장점 때문에 EEPROM과 비휘발성 RAM으로서 그 응용이 기대되는 소자이다.<sup>7,8)</sup>

그러나 MNOS소자는 산화막과 질화막의 2중질 연막으로 되어있는 구조로 산화막과 질화막의 두께, 질화막의 비유전율 크기와 인가전압에 따른 산화막 전위장벽의 변화로 터널화율이 크게 변화하며, 질화막증착시 반응가스의 유량비, 증착온도 및 조성비(N/S)에 따라 기억특성에 미치는 영향이 매우 크다. 또한 기록, 소거사이클링(write/erase cycling)회수가 증가함에 따라 Si-SiO<sub>2</sub>계면준위밀도(interface state density)의 증대로 인한 memory window폭의 변화와 캐리어 표면이동도의 감소등으로 인하여 기억유지(charge retention)특성의 악화가 소자의 신뢰도를 저하시키는 문제점으로 지적되고 있다.<sup>6,8)</sup>

이를 극복하기 위해 소자의 구조와 질화막 증착 조건을 변화시킨 MONOS(Metal Oxide Nitride Oxide Semiconductor)와 SONOS (polySilicon Oxide Nitride Oxide Semiconductor)구조가 제안되어 실용화를 위한 연구가 계속되고 있다.<sup>9-11)</sup> 이와 같은 새로운 구조의 소자는 기존의 MNOS구조에 질화막을 증착한 후 blocking oxide (top oxide) 층을 형성하여 게이트로부터 주입되는 캐리어를 억제시키므로써 열화를 방지하고, 질화막을 박막화하므로써 기록, 소거전압을 저전압화시킬 수 있다는 가능성을 제시하고 있지만, 질화막을 다시 고온 열산화시켜야 하는 추가공정이 필요하고, 10<sup>6</sup>기록, 소거사이클링 이후에 발생하는 열화현상과 프로그래밍전압을 더욱 저전압화시켜야 하는 문제가 있다.<sup>9,11)</sup>

본 연구에서는 MNOS구조에서 비휘발성 기억특성의 개선을 시도하기 위해 LPCVD공정을 이용하여 반응가스의 유량비와 질화막두께를 변화시키면서, 질화막을 증첩하여 연속적으로 증착한 2층질화막의 MNOS구조와 단층질화막의 MNOS구조를 각각 제조하고, 기존의 측정방법보다 상세한 기억특성을 측정하기 위해, 자체 제작한 자동 ΔV<sub>FB</sub>(flatband voltage shift)측정시스템을 이용하여 기

록, 소거특성 및 포획전하의 감쇠특성, 그리고 고온 바이어스 스트레스(Bias Temperature Stress: BTS)에 의한 열화특성을 측정하여 비교 분석하였다.

## 2. 실험

### 2.1. 소자제작

본 실험에서는 결정방향(100), 비저항이 5~8 Ω cm인 n형 실리콘 웨이퍼를 열산화공정을 이용하여 23Å (ONN, ON시료) 정도의 열산화막 (thermal oxide)을 성장한 후, 그 위에 질화막은 LPCVD공정으로 755℃에서 암모니아(NH<sub>3</sub>)와 디클로로사이렌(SiH<sub>2</sub>Cl<sub>2</sub>)가스의 유량비(NH<sub>3</sub>/SiH<sub>2</sub>Cl<sub>2</sub>=R)를 단층 질화막구조(ON시료)는 4.1로 약 530Å 두께로 증착하였다. 그리고 2층질화막구조(ONN시료)는 유량비 8로서 하부질화막(1ST NITRIDE)층을 약 48Å 증착한 후 연속해서 유량비 4.1로 변화시켜 상부질화막(2ND NITRIDE)층을 약 800Å 두께로 각각 증착하였다. 산화막과 질화막의 계면 안정화를 위해 수소 분위기에서 900℃로 30분 동안 열처리를 실시하였다.

게이트전극은 스퍼터링방식으로 직경 1mm인 원형 알루미늄(1% Si, 0.5% Cu포함)으로 형성하였으며 전극면적은 7.38×10<sup>3</sup>cm<sup>2</sup>이었다. 제작한 시료의 단면도와 질화막증착공정은 그림1과 2에서 보여준다.

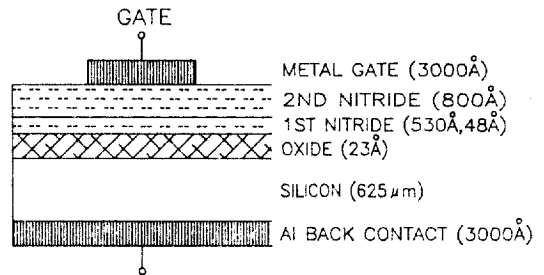


그림 1. MNOS소자의 단면도

Fig. 1. Cross section of MNOS device.

### 2.2. 측정장치 및 방법

비휘발성 기억특성을 신속, 정확하게 측정하기 위해 자체 제작한 자동 ΔV<sub>FB</sub> 측정장치의 블록 다이어그램은 그림3과 같다. 인가 펄스크기에 따른 ΔV<sub>FB</sub>를 자동적으로 모니터할 수 있는 ΔV<sub>FB</sub>검출기(flatband voltage shift detector)와 DUT(Device Under Test)에 인가할 펄스크기(V<sub>p</sub>)와 펄스폭(t<sub>p</sub>)을 임의로 설정할 수 있는 단일펄스발생기(single

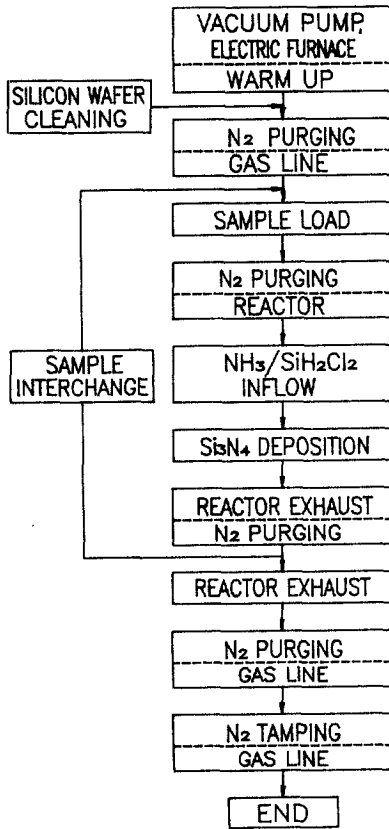


그림 2. 질화막의 증착공정  
Fig. 2. Deposition process for the silicon nitride.

pulse generator)를 내장한 시스템으로 구성하였다. 단일펄스발생기의 펄스폭은 1ms에서 10sec까지 변화시킬 수 있도록 하였으며, 단일펄스의 크기는 고전압 OP-amp(BURR-BROWN, 3582J)의 전원전압에 따라 최대  $\pm 145V$ 까지 증폭시킬 수 있으나, 본 측정에서는 시료의 절연파괴를 고려하여 최대  $\pm 60V$ 까지 인가할 수 있도록 고정하였다.

기록특성(전자주입)은 측정전 초기플랫밴드전압 ( $V_{FB0}$ )이  $0V \pm 10mV$  이내가 되도록 조정한 후 측정하였으며, 소거특성(전자방출)은 전자를 포획시킨 후 고출력 연산증폭기의 전원극성을 반전상태(inverting state)로 전환하여, 반대극성의 단일 펄스크기를 DUT에 인가하여 측정하였다.

기억유지특성(포획전자의 감쇠)은 전자를 포획시킨 직후 게이트에 플랫밴드전압이 인가된 상태 ( $V_G = V_{FB}$ )와 게이트와 기판을 동전위로 유지한 상태 ( $V_G = 0V$ )에서 초기플랫밴드전압( $V_{FB}$ )의 시간경과에 따른 변화율을 10sec에서 100sec까지는 10sec 간격으로 그 이후에는 100sec간격으로  $10^4$ sec까지

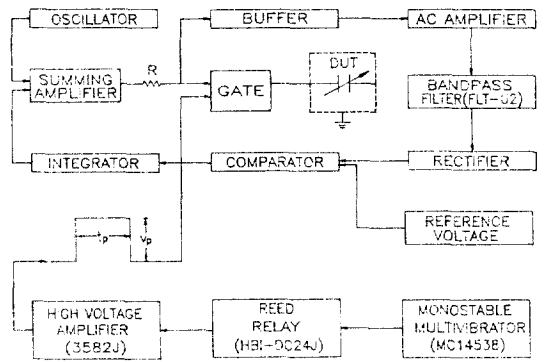


그림 3. 자동  $\Delta V_{FB}$  측정 장치의 블록 다이어그램  
Fig. 3. Block diagram of automatic  $\Delta V_{FB}$  measurement.

측정하였다. BTS에 의한 열화특성은 453K로 유지한 항온조에 시료를 장착하고 음(-), 양(+)의 직류 바이어스 전압을 각각  $-30V$ (ONN시료),  $25V$ (ON시료)로 80min 동안 인가하여 1회로 하여 3회, 8회 반복 실시한 후, 열화전 초기상태(nonstress state)와 비교 측정하였다. 이때 DUT는 열적여기(thermal excitation)에 의한 영향을 받지 않도록 하기 위해 게이트와 기판사이는 단락시켰다.

### 3. 결과 및 고찰

그림4는 포획준위에 트래핑되는 전자에 의한 플랫밴드전압의 변화량( $\Delta V_{FB}$ )을 조사하기 위해 초기

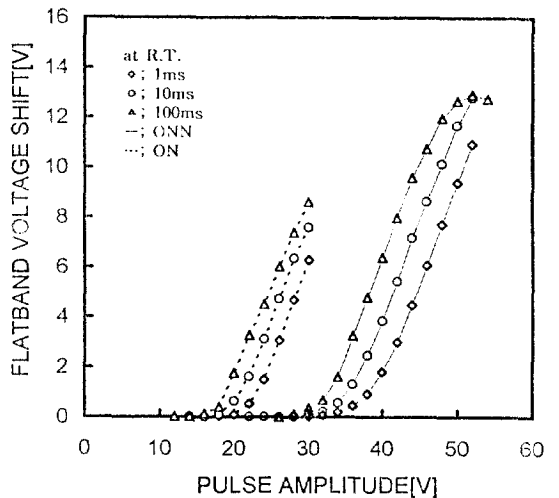


그림 4. 펄스크기에 따른 플랫밴드전압의 변화량  
Fig. 4. Flatband voltage shift versus pulse amplitude.

플랫밴드전압( $V_{FB0}$ )을 0V로 설정하고 펄스폭( $t_p$ )을 파라미터로 하여 인가 펄스크기에 따른  $\Delta V_{FB}$ 를 나타낸 것이다.

전자가 포획되기 시작하는 전압은 2층질화막구조인 ONN시료(실선)가 단층질화막구조인 ON시료(점선) 보다 약 9.7V 높았다. ONN시료는 48V까지  $\Delta V_{FB}$ 가 선형적으로 증가하다 펄스폭이 100ms인 경우 46V에서부터 포화하는 경향을 볼 수 있다. 한편 ON시료는 측정범위내에서 펄스폭에 관계없이 펄스크기가 증가함에 따라 선형적으로 증가하였다.

MNOS구조에서 실리콘 표면으로부터 전하의 터널화율은 산화막두께 의존성이 매우 크지만, 같은 산화막두께에서도 질화막두께가 두꺼워지면 터널화율은 감소한다. 따라서 질화막두께가 얇은 ON시료가 ONN시료에 비해 보다 낮은 펄스크기에서 전자가 트래핑됨을 알 수 있다. 이는 질화막의 두께를 박막화함으로써 프로그래밍전압을 저전압화시킬 수 있음을 의미하며, 그림에서  $\Delta V_{FB}$ 가 선형적으로 증가하는 영역에서는 전자가 포획준위에 터널주입되어 그 포획량이 증가하기 때문이며, 포화영역에서는 포획준위에 축적된 전자의 자기유도포텐셜(self-induced potential)에 의해 게이트쪽의 전계가 커짐에 따라 포획단면적(capture cross section)이 작아지기 때문에  $\Delta V_{FB}$ 가 최대치를 지나 포화하는 것으로 해석된다.<sup>6)</sup>

전자에 대한 포획준위밀도(trap density)를 그림3의 펄스높이  $V_p$ 와 펄스폭  $t_p$ 에 따른  $\Delta V_{FB}$ 특성곡선의 기울기로부터 구하면, ONN과 ON시료에서 각각  $2.86 \times 10^{16} m^{-2}$ ,  $2.01 \times 10^{16} m^{-2}$ 로 2층질화막구조인 ONN시료가 컸다.

열CVD법으로 증착한 질화막은 유량비( $NH_3/SiH_2Cl_2=R$ )가 작을 수록 또는 실리콘 화합물가스( $SiH_2Cl_2$  혹은  $SiH_4$ )의 공급량이 많아질수록 막의 조성비{N(at%)/Si(at%)}가 si-rich ( $N/S < 1.33$ )로 되기 때문에 과잉 실리콘원자에 의한 실리콘 땀글링 본드(silicon dangling bond)수가 증가하게 되어 포획준위밀도가 증가하고, 이에 따라 전기전도도가 증가하는 것으로 알려져 있다.<sup>12)</sup>

본 실험에서 제조한 2층질화막구조의 ONN시료는 R=8로 하부질화막(1ST NITRIDE : 48Å) 층을 증착한 후 연속적으로 R=4.1로 변화시켜 상부질화막(2ND NITRIDE : 800Å)층을 증착시켰으며, 단층질화막구조인 ON시료는 R=4.1(530Å)로 질화막을 증착하였다.

그러므로 2층질화막구조인 ONN시료는 유량비와 두께가 다르게 질화막을 증착하여 증착시키므로써

새로운 포획준위가 형성된 것으로 여겨지며, 이와 같은 결과는 MONOS와 SONOS구조에서 blocking oxide의 형성으로 blocking oxide -  $Si_3N_4$  계면에 포획준위가 생성되어 기억트랩으로써 기여하는 것으로 알려져 있다.<sup>13)</sup>

따라서 2층질화막구조인 ONN시료는 구조상 2층질화막층간(하부질화막-상부질화막)계면과 질화막벌크에 포획준위가 생성되므로써 단층질화막구조인 ON시료보다 포획준위밀도가 크므로 플랫밴드전압의 변화량이 크며, 중첩된 질화막에서의 전기전도도는 R=4.1인 상부질화막이 R=8인 하부질화막보다 큰 것으로 해석된다.

그림5는 펄스전압 인가시 산화막전계( $E_{OX}$ )에 대한 플랫밴드전압의 변화량( $\Delta V_{FB}$ )을 나타낸 것이다. 산화막전계에 대한  $\Delta V_{FB}$ 의 기울기는 2층질화막

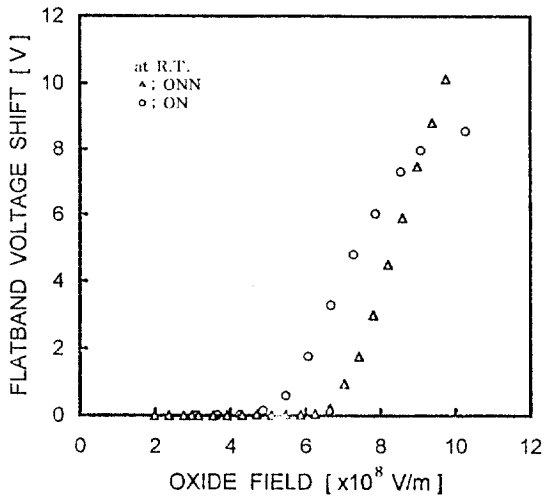


그림 5. 산화막 전계에 따른 플랫밴드전압의 변화량

Fig. 5. Flatband voltage shift versus oxide field.

구조인 ONN시료가 컸으며, 산화막전계가 커짐에 따라  $\Delta V_{FB}$ 는 선형적으로 급격히 증가하였다. 그러나 단층질화막구조인 ON시료는 선형적으로 증가하다  $6.7 \times 10^8$  V/m 이상의 높은 전계에서 포화하는 경향을 볼 수 있다. 그리고 전자가 포획되기 시작하는 산화막전계는 ONN과 ON시료에서 각각  $5.86 \times 10^8$  V/m,  $4.86 \times 10^8$  V/m로 단층질화막구조인 ON시료가 낮은 산화막전계에서 플랫밴드전압의 변화량을 보였다.

2층질화막구조의 ONN시료는 단층질화막구조인 ON시료에 비해 포획준위밀도가 크므로 실리콘 표면에서 터널링한 전자는 산화막과 하부질화막

(SiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>)계면보다 하부질화막과 상부질화막 계면과 질화막벌크의 포획준위에 트래핑되기 때문에 전자의 포획거리가 길며, 또한 포획효율이 증대하므로 ΔV<sub>FB</sub>의 변화가 ON시료에 비해 크며, 높은 산화막전계에서도 포화하지 않고 선형적으로 증가하는 것으로 해석된다. 이는 기억소자로서 최적의 memory window폭을 얻을 수 있음을 의미한다.

한편, 단층질화막구조인 ON시료에서는 포획준위 밀도가 작으므로 실리콘 표면에서 터널링한 전자는 SiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>계면에 국부적으로 포획되기 때문에 ONN시료에 비해 산화막전계에 대한 ΔV<sub>FB</sub>의 변화가 작고, 높은 산화막전계에서 포화되기 쉽다. 그림4의 인가 펄스크기에 대한 ΔV<sub>FB</sub>특성과는 상반된 현상으로 볼 수 있지만, 인가 펄스크기에 대해 계산된 산화막전계(E<sub>OX</sub>)와 질화막전계(E<sub>N</sub>)를 나타낸 표1을 보면 ON시료의 산화막과 질화막전계가 ONN시료 보다 크기 때문에 ΔV<sub>FB</sub>가 조기에 포화하게 된다.

따라서 인가 펄스크기에 대한 ΔV<sub>FB</sub>는 산화막과 질화막의 두께와 동시에 실제로 산화막과 질화막에 걸리는 전계에 크게 의존함을 알 수 있다.

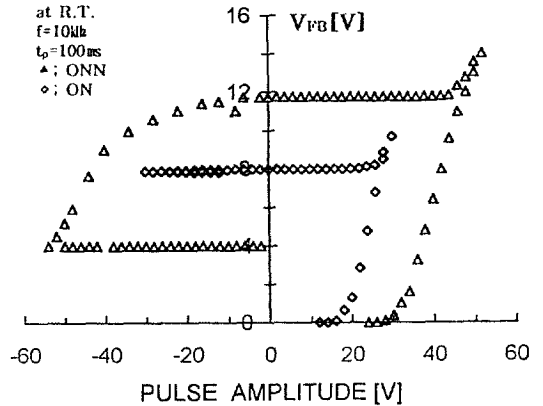
**표 1. 인가 펄스크기에 따른 전계와 플랫폼전압의 변화량**

**Table 1. Electric field and flatband voltage shift with applied pulse amplitude.**

Pulse amplitude(V)	ONN			ON		
	E <sub>OX</sub> [ $\times 10^6$ V/cm]	E <sub>N</sub> [ $\times 10^6$ V/cm]	ΔV <sub>FB</sub> (V)	E <sub>OX</sub> [ $\times 10^6$ V/cm]	E <sub>N</sub> [ $\times 10^6$ V/cm]	ΔV <sub>FB</sub> (V)
22	4.90	2.50	0.01	6.66	3.89	3.28
24	4.69	2.72	0.04	7.27	4.25	4.52
26	5.08	2.95	0.013	7.87	4.60	6.01
28	5.47	3.17	0.019	8.47	4.95	7.38
30	5.86	3.40	0.025	9.07	5.30	8.36

그림6은 초기플랫폼전압(V<sub>FB0</sub>)을 0V로 유지하고 펄스폭 100ms에서 축적방향에서 반전층 방향으로 2V 간격으로 순차적으로 인가하여 20sec마다 측정된 V<sub>P</sub> - V<sub>FB</sub> 히스테리시스곡선을 나타낸 것이다.

단층질화막구조인 ON시료는 양(+)의 펄스크기 16V에서부터 V<sub>FB</sub>가 선형적으로 증가하다 V<sub>P</sub>=30V에서 9.7V의 최대값을 나타낸 이후, 더 이상 증가하지 않았다. 이상태에서 펄스크기를 2V간격으로 -30V까지 감소 시킴에 따라 V<sub>FB</sub>는 변화하지 않고 7.9V의 값을 그대로 유지함을 볼 수 있다. 한편 2층질화막구조인 ONN시료에서는 양(+)의 펄스크기



**그림 6. 펄스크기에 대한 플랫폼전압의 히스테리시스곡선**

**Fig. 6. Hysteresis curves of flatband voltage with pulse amplitude.**

26V에서부터 V<sub>FB</sub>는 선형적으로 증가하다 V<sub>P</sub>=52V에서 14V의 최대값을 나타낸 이후, 더 이상 증가하지 않았다. 이상태에서 펄스크기를 2V간격으로 감소시킴에 따라 초기(V<sub>P</sub>=50V~46V영역)에는 V<sub>FB</sub>가 다소 감소하다 0V까지 11.7V를 유지하였고, 그 이후 음(-)의 펄스크기를 증가시킴에 따라 V<sub>FB</sub>가 급격히 감소하여 V<sub>P</sub> = -54V에서 4.5V의 최소값을 나타낸 후, 0V까지 V<sub>FB</sub>는 크게 변화하지 않고 4V의 값을 유지함으로써 히스테리시스곡선을 나타내었다. 이와 같은 V<sub>P</sub>-V<sub>FB</sub>히스테리시스곡선은 다음과 같이 설명된다. 즉 양(+)의 펄스크기에 대해서는 시료에 관계없이 용이하게 실리콘 표면으로부터 전자가 Modified Fowler-Nordheim 터널링으로 포획준위에 트래핑되는 양이 증가하므로 V<sub>FB</sub>가 선형적으로 증가하게 된다. 양복히스테리시스영역(ONN시료 ; V<sub>P</sub>=52V, ON시료 ; V<sub>P</sub>=30V)에서는 펄스크기를 증가 및 감소시키더라도 포획준위에 축적되어있는 전자의 양이 변화하지 않고 그대로 유지되기 때문이다. 그리고 V<sub>FB</sub>의 변화가 없는 영역에서는 포획준위에 축적된 전자로 인하여 인가 펄스크기에 대한 산화막전계가 낮아지므로 축적된 전자가 그대로 유지되기 때문이며, 특히 ONN 시료인 경우 음(-)의 펄스크기에 대해 V<sub>FB</sub>가 급격히 감소하는 영역에서는 축적된 전자가 실리콘기판쪽 으로의 방출량이 증가하기 때문인 것으로 해석된다. 2층질화막구조가 단층질화막 구조에 비해 히스테리시스곡선의 변화가 큰 것은 포획준위밀도가 크므로 인가 펄스크기에 따라 V<sub>FB</sub>의 변화가 크기 때문이다.

그림7은 전자를 포획(기록상태)시켜 초기플랫폼

드전압( $V_{FB0}$ )를 6V로 하고 펄스폭( $t_p$ )을 파라미터로 하여 음(-)의 소거펄스전압 인가에 따른 소거특성을 나타낸 것이다.

2층질화막구조의 ONN시료(실선)는 펄스폭이

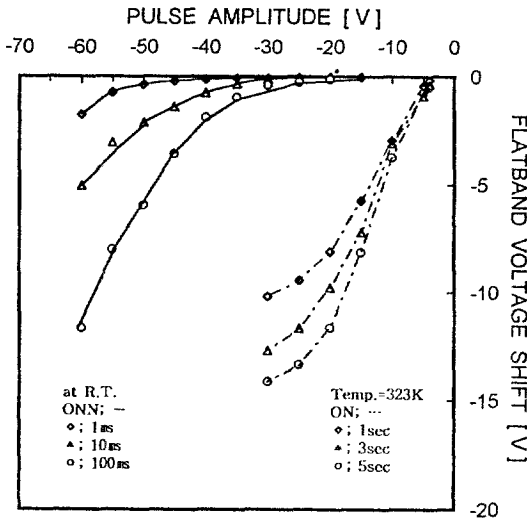


그림 7. 음(-)의 펄스폭에 따른 플랫폼밴드전압의 변화량

Fig. 7. Flatband voltage shift versus negative pulse amplitude.

1ms, 10ms일 때는 포획되어 있던 전자방출에 의한 플랫폼밴드전압의 변화량이 전자주입(기록상태)시보다 작았으며, 펄스폭이 긴 100ms일 때는 음(-)의 소거펄스전압이 커짐에 따라  $\Delta V_{FB}$ 가 음(-) 방향으로 급격히 선형적으로 증가함을 볼 수 있다. 한편 단층질화막구조인 ON시료(점선)는 ms의 펄스폭에서 음(-)의 소거펄스전압을 인가했을 때  $\Delta V_{FB}$ 의 변화는 관측되지 않았다. 그러나 측정온도를 323K로 유지하고 펄스폭이 긴 1sec이상의 음(-)의 소거펄스전압에서는  $\Delta V_{FB}$ 가 음(-)의 방향으로 선형적으로 증가하다 -30V에서 포화하는 경향을 나타내었다.

이와 같이 소거동작시에는 기록시에 비해 펄스폭 의존성이 매우 크며, 높은 소거전압이 필요하게 됨을 알 수 있다. 이는 소수캐리어인 정공의 발생시정수가 크고, 반전층형성에 긴 시간이 필요하기 때문이다. 따라서 종래의 전하포획중심에 대한 양극성 1-트랩모델(Amphoteriic 1-Trap Model)<sup>3)</sup>과는 상이한 기록 및 소거시 전자와 정공의 포획중심이 각각 다르다는 Minami 등이 보고한 2-트랩모델(2-Trap Model)<sup>6)</sup>과 일치하는 결과로 볼 수 있다.

즉 소거동작은 포획되어 있던 전자의 방출보다 실리콘 표면으로부터 산화막을 직접터널링(direct tunneling)한 전공의 주입으로 이루어지는 것으로 해석된다.<sup>8)</sup>

그림8은 기억유지능력(charge retentivity)을 조사하기 위해 전자를 포획시킨 직후(기록상태),  $V_{FB}(V_G=V_{FB})$ 와 0V( $V_G=0V$ )로 유지한 상태에서  $10^4$ sec 까지  $V_{FB}$ 의 시간경과에 따른 변화율을 백분율로 나타낸 것이다. 이때 초기플랫폼전압( $V_{FB}$ )은 ONN시료가 8.9V, ON시료가 8.4V이었다.

그림에서 보면 기억유지특성은 시간이 경과함에

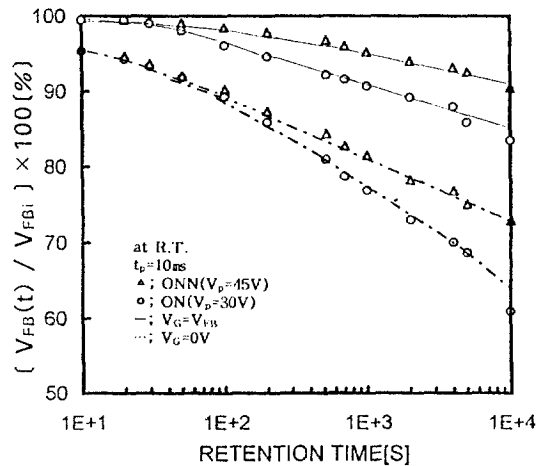


그림 8. 포획전자의 기억유지특성

Fig. 8. Memory retention characteristics of trapped electrons.

따라 대수함수적으로 감소하였으며,  $10^4$ sec까지 포획전자의 유지율은  $V_{FB}$ 로 유지한 경우(실선) ONN시료는 90.5%, ON시료는 83.5%이며, 0V로 유지한 경우(점선)에는 ONN시료가 72.9%, ON시료가 60.9%로  $V_{FB}$ 로 유지하였을 때가 0V유지한 경우보다 포획전자의 유지율이 높았다. 그리고 유지조건에 관계없이 2층질화막구조인 ONN시료가 단층질화막구조인 ON시료보다 기억유지특성이 우수하게 나타났다. 일반적으로 Si-SiO<sub>2</sub> 계면상태에 의한 전하가 작다고 가정하면 밴드구조상  $V_{FB}$ 로 유지했을 경우는 실리콘과 질화막의 에너지준위가 평탄하게 되고 게이트전압( $V_{FB}$ )에 의한 전계는 질화막에 걸리게 되므로 포획전자는 게이트를 통한 외부방출로 감쇠하게 된다. 한편 0V로 유지했을 경우에는 전계가 산화막과 질화막에 동시에 걸리게 되지만 특히 산화막 전위장벽이 낮아지게 되므로 포획전자는 실리콘기판쪽으로서의 역터널링(back

tunneling)으로 인한 감쇠가  $V_{FB}$ 로 유지한 경우보다 지배적으로 일어나기 때문에 기억유지특성이 악화되는 것으로 알려져 있다.<sup>14)</sup> 따라서 단층질화막구조인 ON시료는 포획준위밀도가 작으므로 실리콘 표면으로부터 산화막을 터널링한 전자는  $SiO_2-Si_3N_4$ 계면에 극부적으로 포획되기 때문에 포획전자의 유지조건에 관계없이 실리콘쪽에서의 역터널링으로 인한 방출이 용이하게 일어나므로 ONN시료보다 포획전자의 감쇠율(decay rate :  $\partial V_{FB}/\partial \log t$ )이 크다. 한편 2층질화막구조의 ONN시료는 포획준위밀도가 크므로 실리콘 표면의 전자가 산화막을 터널링한 후, 하부질화막(1ST NITRIDE) 두께가 48Å으로 얇기 때문에  $SiO_2-Si_3N_4$ 계면보다 하부질화막과 상부질화막계면과 질화막벌크에 형성된 깊은 포획준위에 포획되게 된다. 그러므로 포획전자는 질화막내에서의 이동이 어렵기 때문에 게이트를 통한 외부방출로 인한 감쇠보다 실리콘쪽에서의 역터널링으로 인한 감쇠가 우세하지만, 질화막전기전도도가 작은  $R=8$ 인 하부질화막층이 형성되어 있으므로 실리콘쪽에서의 역터널링을 저지시키기 때문에 포획전자의 유지조건에 관계없이 단층질화막구조인 ON시료보다 기억유지특성이 우수한 것으로 해석된다.

이러한 결과로부터 기존의 MNOS구조를 유량비와 두께를 변화시켜 질화막을 2층화함으로써 기억유지능력을 향상시킬 수 있음을 확인할 수 있었다.

그림9는 온도를 300K, 323K 그리고 353K로 유지한 상태에서 기억유지특성의 온도 의존성을 나타낸 것이다. 이때 전자를 포획시킨 직후, 게이트와 기판은 동전위( $V_G=0V$ )로 유지하고 각각 측정하였다.

그림에서 보면 2층질화막구조인 ONN시료(그림 a)는 400sec, 단층질화막구조인 ON시료(그림 b)는 200sec 경과 후부터 각각 온도 의존성을 보였으며, 온도가 상승함에 따라 포획전자의 감쇠량이 증가하여 기억유지특성이 악화되었으며, ONN시료가 ON시료보다 온도 상승에 따른 포획전자의 감쇠가 비교적 작음을 알 수 있다.

그림에서 경과시간에 따라 온도 의존성이 나타나지 않는 영역(ONN시료 : 400sec, ON시료 : 200sec이전)에서는 그림8에서 고찰한 바와 같이 실리콘기판쪽에서의 역터널링에 의한 감쇠가 우세하며, 온도 의존성을 보인 영역에서는 포획된 전자가 활성화되어 질화막 전도대로 열적여기(thermal excitation)로 인한 감쇠량이 증가하기 때문에 기억유지특성이 악화되는 것으로 해석된다.<sup>15)</sup>

따라서 온도 상승에 따른 포획전자의 감쇠는 실

리콘쪽에서의 역터널링으로 인한 감쇠보다 열적여기에 의한 감쇠가 지배적으로 일어나는 것으로 볼 수 있다.

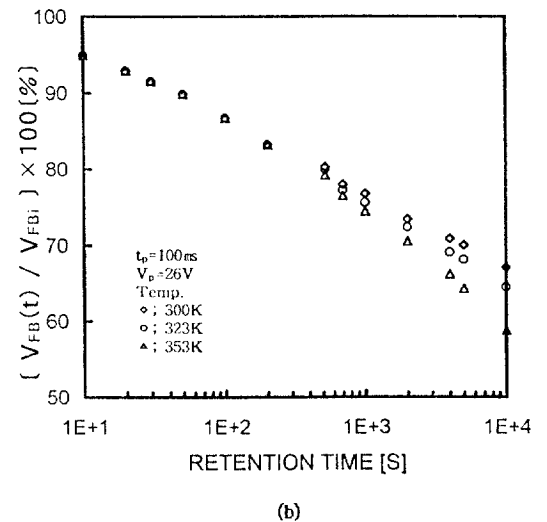
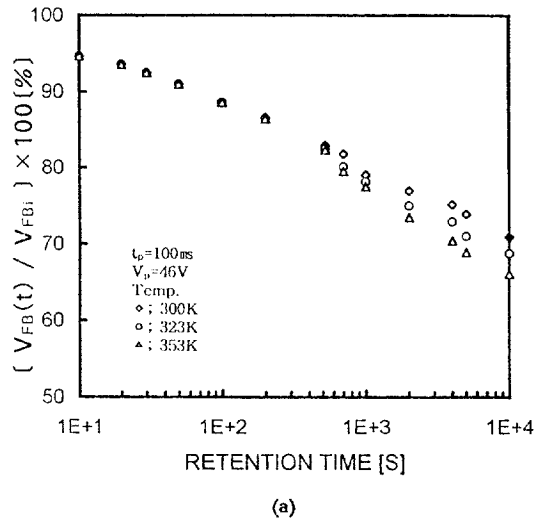


그림 9. 기억유지특성의 온도 의존성. (a) ONN (b) ON

Fig. 9. Temperature dependence of memory retention characteristics. (a) ONN (b) ON

그림10은 고온 바이어스 스트레스(Bias Temperature Stress: BTS)에 의한 열화특성을 조사하기 위해 온도를 453K 유지하고 음(-)의 직류 바이어스 -30V(ONN시료), 양(+)의 직류 바이어스 25V(ON시료)를 각각 80min 동안 반복(3회, 8회) 인가하여 열화시킨 다음, 인가 펄스크기에 따른  $\Delta$

$V_{FB}$ 을 열화전 초기상태(nonstress state)와 비교 측정한 결과이다.

그림에서와 같이 초기상태에서 BTS의 회수가 8회까지 증가시킴에 따라 열화시킬때의 인가 바이

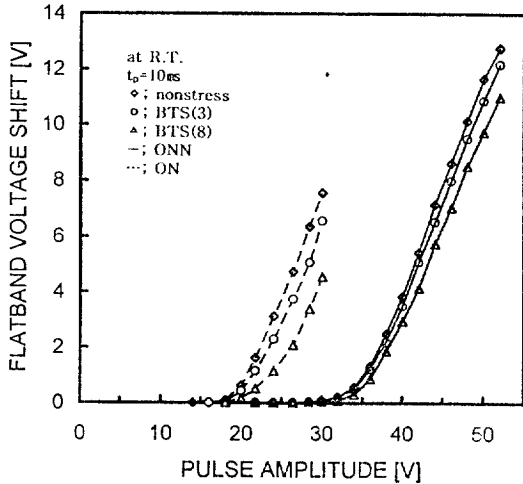


그림 10. 고온 바이어스 스트레스에 의한 플랫폼 전압변화량의 열화

Fig. 10. Degradation of flatband voltage shift at various BTS.

어스의 극성에 관계없이  $\Delta V_{FB}$ 의 값은 ONN시료(실선)에서 펄스폭기 50V 인가했을 경우 11.68V에서 9.75V, ON시료(점선)에서는 펄스폭기 30V 인가했을 경우 7.98V에서 5.09V로 각각 감소하여 열화하였음을 볼 수 있으며, ONN시료가 ON시료에 비해 열화로 인한  $\Delta V_{FB}$  값의 감소가 작았다.

MNOS구조에서 기록, 소거사이클링에 의한 열화의 주원인은 Si-SiO<sub>2</sub>계면준위밀도와 질화막 전기전도도의 증가에 기인된다고 알려져 있다.<sup>16)</sup>

본 측정결과에서 나타난 BTS가 증가할 수록 인가 펄스폭기에 대한  $\Delta V_{FB}$ 의 변화가 열화전 보다 크게 감소하는 이유는 BTS로 인하여 증가된 Si-SiO<sub>2</sub>계면준위에 트래핑되는 전자가 증대되어 상대적으로 포획준위에 트래핑되는 실효전자수가 감소하기 때문으로 여겨진다.

그림11은 기억유지특성의 열화를 조사하기 위해 그림10에서와 같은 조건에서 BTS를 실시한 후, 펄스폭 10ms에서 펄스폭기 48V(ONN시료), 30V(ON시료)를 각각 인가하여 전자를 포획시킨적후 게이트전압을 0V로 유지한 상태에서 열화전 후와 비교 측정하여 나타낸 것이다.

초기상태에서 BTS를 8회까지 증가시킴에 따라 10<sup>4</sup>sec까지의 포획전자의 유지율은 ONN시료는

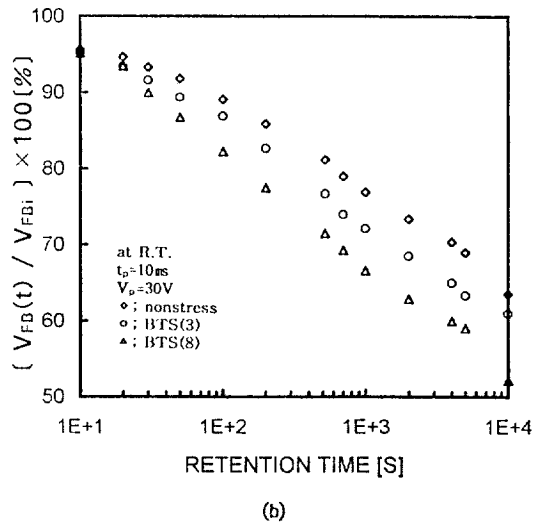
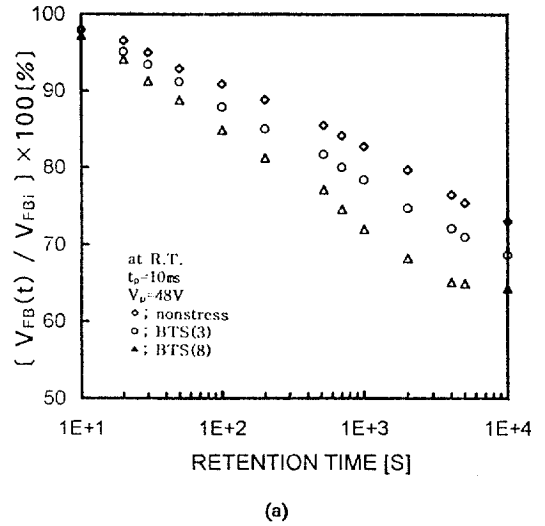


그림 11. 고온 바이어스 스트레스에 의한 기억유지특성의 열화. (a) ONN (b) ON

Fig. 11. Degradation of memory retention characteristics at various BTS (a) ONN (b) ON

73.1%에서 64.3%, ON시료는 63.6%에서 52.1%로 각각 감소하여 열화되었음을 알 수 있으며, 열화로 인한 포획전자의 감소는 ONN시료가 ON시료에 비해 비교적 작았다. 이것은 그림10에서 고찰한 바와 같이 BTS에 의해 Si-SiO<sub>2</sub>계면준위밀도가 증가하게 되어 이로 인해 밴드구조상 산화막 전위장벽이 낮아져서 용이하게 포획전자가 계면준위를 매개로 하여 산화막을 통한 역터널링으로 방출되는 양이 열화전보다 증대하기 때문에 기억유지특성이 악화되는 것으로 해석된다.

한편 2층질화막구조인 ONN시료가 단층질화막구조인 ON시료에 비해 BTS회수 증가에 따른 포획전자의 감쇠가 작은 이유는 BTS에 의한 전자의 포획거리와 포획단면적의 변화가 작고, 또한 구조상 유량비가 8인 전기전도도가 작은 하부질화막(1ST NITRIDE)층이 형성되어 있으므로 역터널링으로 인한 감쇠를 억제하기 때문으로 여겨진다.

#### 4. 결 론

본 논문에서는 비휘발성 MNOS기억소자의 기억특성을 개선하기 위하여 LPCVD공정으로 반응가스의 유량비와 질화막 두께를 변화시켜 질화막을 증착하여 연속적으로 증착한 2층질화막의 MNOS구조와 단층질화막의 MNOS구조를 각각 제조하여, 자체 제작한 자동 $\Delta V_{FB}$ 측정시스템으로 기억특성을 비교분석 하였다.

단층질화막구조는 산화막전계에 대해  $\Delta V_{FB}$ 가 선형적으로 증가하다  $9.07 \times 10^8$  V/m 이상의 산화막전계에서 포화현상을 나타내었으나, 2층질화막구조는 포화하지않고 급격히 선형적으로 증가하는 경향을 보이므로써, 최적의 memory window폭을 얻을 수 있을 것으로 사료되며, 전자에 대한 포획준위밀도는 단층질화막구조에서는  $2.01 \times 10^{16} \text{m}^{-2}$ 이었으며, 2층질화막구조는  $2.86 \times 10^{16} \text{m}^{-2}$ 로 하부질화막과 상부질화막계면과 질화막벌크에 포획준위가 형성되었기 때문에 포획준위밀도가 증가한 것으로 여겨진다.

소거동작은 포획되어있던 전자의 방출보다 실리콘으로부터 정공의 주입으로 이루어졌으며 기록동작시에 비해 펄스크기와 펄스폭 의존성이 큼을 알 수 있었다.

2층질화막구조는 구조상 유량비가 4.1인 상부질화막(2ND NITRIDE)보다 전기전도도가 작은 유량비가 8인 하부질화막(1ST NITRIDE)층을 형성함으로써 역터널링으로 인한 포획전자의 감쇠를 저지시키기 때문에 단층질화막구조보다 비교적 우수한 기억유지특성을 나타내었으며, 기억유지특성의 온도 의존성은 2층질화막구조는 400sec, 단층질화막구조에서는 200sec 경과 후 각각 나타났으며, 온도가 상승함에 따라 열적여기로 인한 감쇠가 증가하였으며, 2층질화막구조가 단층질화막구조에 비해 온도상승에 따른 포획전자의 감쇠율이 작았다. 그리고 BTS 회수가 증가함에 따라  $\Delta V_{FB}$ 의 변화와 포획전자의 유지율은 감소하였으며, BTS에 의한 열화는 2층질화막구조가 단층질화막구조에 비해 비교적 작았다.

이들 결과로부터 제안된 2층질화막 구조의 MNOS 구조가 단층질화막구조에 비해 비휘발성 기억특성을 크게 개선시킬 수 있음을 실험적으로 확인하였고, 뿐만 아니라 제조공정상 MONOS, SONOS구조에서와 같은 blocking oxide층을 형성하기 위한 질화막을 고온에서 열산화시켜야 하는 별도공정의 추가없이, 반응가스의 유량비와 질화막 두께를 변화시키는 간편한 LPCVD공정으로써 낮은 온도가 필수적인 반도체공정에도 적합한 장점이 있다.

향후 과제로는 기록, 소거전압의 저전압화를 위한 2층질화막두께의 최적화, 2층질화막층간의 트랩분포 그리고 계면상태를 고려한 기억유지특성의 정량적해석에 관한 연구가 계속되어야 할 것으로 생각된다.

※ 본 연구는 한국학술진흥재단의 '94년도 해외 파견 일반연구지원에 의해 수행되었음.

#### 참 고 문 헌

1. Toshiba Rev., vol. 34, No. 4, pp. 329-330, 1979.
2. F. Masuoka, "Technology trend of Flash-EEPROM", 1992 symposium on VLSI technology digest of technical papers, pp. 6-9, 1992.
3. James F. Scott and Carlos A. paz De Araujo, "Ferroelectric Memories", Science, vol. 246, pp. 1400-1405, 1989.
4. R. S. Bailey and V. J. Kapoor, "Variation in the stoichiometry of thin silicon nitride insulating films on silicon and its correlation with memory traps", J. Vac. Sci. Technol., vol. 20, pp. 484-487, 1982.
5. A. Roy and M. H. White, "Determination of the trapped charge distribution in scaled silicon nitride MONOS nonvolatile memory devices by tunneling spectroscopy", Solid-State Elect, vol. 34, No. 10, pp. 1083-1089, 1991.
6. Y. Kamigaki, S. Minami and H. Kato, "Stored charge distribution and 2-trap model in MNOS non-volatile memory devices", Jpn. J. Appl. phys., vol. 59, No. 6, pp. 797-807, 1990.

7. S. Minami and Y. Kamigaki, "Improvement of written-state retentivity by scaling down MNOS memory devices", Jpn. J. Appl. Phys., vol. 27, No. 11, pp. 2168-2170, 1988.
8. S. Minami, "Tunnel oxide thickness optimization for high-performance MNOS nonvolatile memory devices", IEICE Trans., vol. 74, No. 4, pp. 875-884, 1991.
9. S. Minami and K. Ujii, "A 3Volt 1Mbit full-featured EEPROM using a highly-reliable MONOS device technology", IEICE Trans., vol. 77, No. 8, pp. 1260-1269, 1994.
10. J. K. Lin and C. Y. Chang, "New Polysilicon-Oxide-Nitride-Oxide-Silicon EEPROM device approach for eliminating off-cell leakage current", Jpn. J. Appl. Phys., vol. 33, No. 5, pp. 2513-2514, 1994.
11. M. L. French and M. H. White, "Scaling of multielectric nonvolatile SONOS memory structures", Solid-State Elect., vol. 37, No. 12, pp. 1913-1923, 1994.
12. K. Watanabe and S. Wakayama, "Electric conduction in nitrogen-rich silicon nitride films produced by  $\text{SiH}_2\text{Cl}_2$  and  $\text{NH}_3$ ", J. Appl. Phys., vol. 53, No. 1, pp. 568-575, 1982.
13. E. Suzuki and Y. Hayashi, "On oxide-nitride interface traps by thermal oxidation of thin nitride in Metal-Oxide-Nitride-Oxide-Semiconductor memory structures", IEEE Trans., ED-33, pp. 214-217, 1986.
14. H. Y. Lin, "Effect of the initial memory state on the charging of MNOS memories", Ph.D. Dissertations, Univ. of Southern California, 1987.
15. R. V. Jones, "Investigation of temperature effect on the retention and endurance characteristics of MNOS", masters Thesis, Univ. of Arkansas, 1989.
16. A. M. De Almeida and S. S. Li, "Retention temperature and endurance characteristics of the MNOS capacitor with processing variations as parameters", Solid-State Elect., vol. 30, pp. 889-894, 1987.

## 저자소개



### 이형욱

1947년 6월 13일생. 1976년 한양대학 전기공학과 졸업. 1979년 연세대학 산업대학원 졸업. 1993년 광운대학 대학원 전자재료공학과(공박). 1976년 LG 전자. 1988년 전자응용기술사. 1995년 Virginia Tech. 연구교수. 현재 오산전문대학 전자공학과 교수.