

# 강유전체 표시기용 고전압 비정질 실리콘 박막트랜지스터의 온도 변화 특성

논문  
9-6-3

## Temperature Dependent Characteristics of HVTFT for Ferroelectric Display

이우선\*, 김남오\*, 이경섭\*\*

(Woo-Sun Lee, Nam-Oh Kim, Kyung-Sub Lee)

### Abstract

We fabricated high voltage hydrogenerated amorphous silicon thin film transistors (a-Si:H HVTFT) and investigated its temperature dependent characteristics of from 303 K to 363 K. The results show that the drain current was decreased at low gate voltage and increased at high gate voltage exponentially. According to the increasing the thickness of a Si layer, drain current increased. Difference of drain current at 363 K was increased at the lower gate voltage and decreased at the higher gate voltage. When the drain and gate voltage of 100 V applied, the drain current increased linearly with rise temperature.

**Key Words(중요용어)** : Amorphous Silicon(비정질 실리콘), Temperature Dependence(온도의존), TFT (박막트랜지스터)

### 1. 서 론

수소화 비정질 실리콘 박막 트랜지스터(hydrogenated amorphous silicon thin film transistor)<sup>1)</sup>는 제조 공정상 증착이 쉽고 많은 물질들 중 넓은 면적에 균일하고 쉽게 증착할 수 있어서 오늘날 산업에서 중요한 부분을 차지하게 되었다. 비정질 실리콘 박막 트랜지스터는 소자가 저전압이고 저가격이며 저온 공정이 가능하여 charge coupled device(CCD) 및 liquid crystal display(LCD)<sup>2)</sup>, airplane cockpit 및 image sensor<sup>3)</sup>, 집적회로 인버터<sup>4)</sup>등에 광범위하게 사용된다. 비정질 실리콘 TFT 제조공정시 플라즈마 chemical vapour deposition(CVD)를 사용하므로 진공 상태에서 계속적으로 게이트 절연막과 비정질 실리콘을 증착할 수 있으며 저온상태에서 수행하므로 아주 양호한 계면을 얻을 수 있다.

액정 표시 소자 방식 중에서 단순 매트릭스(matrix) 방식은 능동 매트릭스 방식에 비해 제조

하기가 용이하고 제조 원가가 싸다는 점에서 액정 표시 시장의 주종을 이루어 왔으나 TFT LCD 기술의 발전과 보다 고품위의 요구에 따라 TFT LCD의 수요가 증가되고 있으며 가격하락과 시스템의 발전과 함께 그 수요가 계속 증가할 전망이다.

수소화 비정질 실리콘은 이동도가 낮은 국부적인 상태밀도를 가질 수 있고 a-Si:H의 전자적인 특성을 제어할 수 있도록 n형 혹은 p형으로 도핑할 수 있기 때문에 디바이스 개발 연구대상이 되어 왔다. a-Si:H TFT에서는 MOSFET에서와는 반대로 반도체표면에 반전층이 생기지않는 대신 증가형 채널이 생성되며 게이트 전압이 프랫밴드 전압보다 적을 때 채널에서는 공핍층이 형성되고 프랫밴드전압보다 커지면 활성화 전자가 생성되며 더욱더 증가되어 문턱전압보다 커지게되면 완전한 증가형 도전채널이 형성된다.

일반적으로 TFT 상용화 및 대량 생산및 그 외의 디바이스 특성 개선을 위해서는 I-V 및 C-V 특성의 온도의존성<sup>5)6)</sup>에 대한 연구가 선행된 바 있다. 지금까지 주로 연구된 TFT는 대부분 상온과 게이트 전압이 5 V 미만의 저전압용이다. 강유전체용 액정 표시기, electrophoretic, piezo-electric (PLZT), electro optic 표시기는 100 V 이상에서

\* : 조선대학교 공대 전기공학과

\*\* : 동신대학교 공대 전기공학과

접수일자 : 1996년 2월 15일

심사완료 : 1996년 4월 10일

사용할 수 있는 고압용 TFT 디스플레이 소자로서 100 V 이상의 드라이브 전압을 요구 한다. 또 high disolution television(HDTV)등 디스플레이의 표시면적이 대면적을 요구하고 있기 때문에 여기에 적합한 강유전체등을 이용한 고전압 대전류 TFT의 필요성이 요구되고 있다. 따라서 본 논문에서는 첫째, 100 V 이상에서 사용 가능한 고전압 비정질 실리콘 박막트랜지스터를 레이어아웃하여 inverted stagger형으로 제작하고자 하고 둘째, TFT 비정질 실리콘층의 두께 변화에 따른 전압-전류 특성의 온도 의존성을 측정하고 분석하고자 하며 셋째, 반도체 상임화 온도 범위인 303 K ~363 K까지 TFT의 온도가 변화할 때 TFT의 전달 특성과 출력 특성의 온도 의존성에 대하여 전기적인 특성을 실험적으로 측정하고자 하며 측정 결과를 분석하여서 온도 특성과 관련된 고압용 TFT의 성능과 특성 향상에 기여하고자 한다.

**2. HV TFT의 설계, 제작 및 특성 측정 방법**

본 연구에서 제작한 inverted stagger형 고전압 TFT의 설계 구조를 그림 1에 나타낸다. 비저항이 1~20 Ωcm 인 n-Si(100) 웨이퍼 위에 SiO<sub>2</sub> 층을 2500 Å, a-Si층 1000, 2000 Å 음극콘택층 및 알루미늄 금속 전극 층을 에피택셜(epitaxial) 성장할 수 있도록 설계 하였다. 본 연구에서 설계한 드레인, 게이트, 소오스의 레이어아웃을 그림 2에 나타낸다. 드레인과 소오스 길이는 900 μm이고 채널폭은 3 μm이다.

TFT 제작과정은 첫째로 실리콘 웨이퍼를 inspection 하고 backside labelling 한 다음 세척 하였으며, predeposition 12분, drive in 을 30분 하여 N<sup>+</sup> Pcl를 도핑 하였고, 다시 세척한 다음 oxidation 하여 2500 Å의 SiO<sub>2</sub>를 성장하였다. 둘째로 방전 플라즈마 CVD에 의해서 a-Si 을 1000 Å, 2000 Å 으로하여 웨이퍼 20장에 각각 증착한 다음 전면 PR 코팅하고 하드 베이킹하고 웨이퍼 뒷면의 a-Si을 RIE 에칭(reactive ion etching) 하여 a-Si층을 형성하였다. 셋째로 드레인, 소오스 음극 콘택을 위하여 산화막을 증착한 다음 콘택 마스크로 콘택을 관 후 1x10<sup>16</sup> ion/cm<sup>2</sup>로 40 KeV의 이온 주입을 하였으며 알루미늄을 1000 Å 증착하고 어닐링하여 드레인 소오스 전극을 형성 하였다. 넷째로 마스크 작업은 공정을 간단하게 하기 위해 세 단계로 하였는데, 세 단계 마스크 작업은 게이트 형성 마스크, a-Si:H 형성 마스크 그리고 소오스-드레인 형성 마스크이며 이온 주입과 금속화

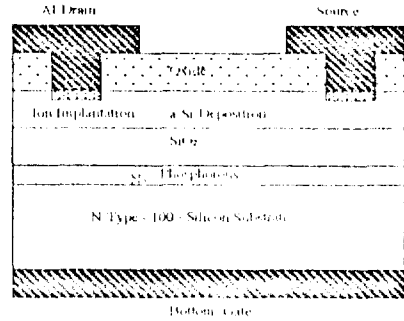


그림 1. 고전압 TFT의 설계 구조  
Fig. 1. Design structure of HVTFT

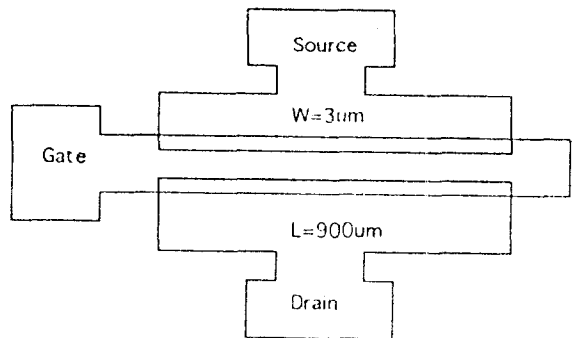


그림 2. 레이어아웃 설계도  
Fig. 2. Layout design

공정에 공동으로 사용되므로 공정이 단순화되는 잇점이 있다.

a-Si:H 증착은 SiH<sub>4</sub> 가스를 플라즈마 CVD 시스템을 사용하여 증착하였고, 증착조건은 RF Power 6 W, 온도 260 °C, 압력 0.35 Torr, SiH<sub>4</sub> 가스 50 sccm (standard cubic centi meter), 시간 18분이다. 또 캐리어가 전극에서 낮은 전위장벽으로 잘 이동하게 하고 전극과 채널 사이의 저항을 줄이기 위해 소오스와 드레인의 음극분벽을 형성 하였다. 금속전극 증착은 a-Si:H가 소오스와 드레인 영역에 주입된 후 전극을 만들기 위해 금속을 증착하였는데 Al-Si(1%)을 1000 Å 두께로 스퍼터링 시스템을 이용하여 증착하였다. 웨이퍼 어닐링은 질소와 수소 분위기의 플라즈마 시스템에서 진행한 후 metal etch 하였고 450 °C에서 1시간 어닐링하였다. 어닐링 조건은 온도 200 °C, 압력 0.48 Torr, N<sub>2</sub>/H<sub>2</sub>가스 30 sccm/45 sccm, 시간 30분이다.

본 실험에서 전기적인 특성 측정은 제작된 두개의 디바이스 실험 결과의 평균값을 취하여 그 결과값을 컴퓨터 분석에 의하여 자동적으로 컴퓨터

에 저장되도록 하여 plotting 하도록 하였다. 온도의존성 실험을 하기 위해서 위와같이 제작된 웨이퍼를 compress device die saw 를 이용하여 자른 다음 각각의 디바이스를 패키징(packaging) 하여서 온도를 303-383 K 범위로 제어할 수 있는 전기오븐 속에 넣고 알루미늄-크로멜(alumel-chromel) 열전대를 디바이스에 연결하고 다시 이 열전대선을 외부로 연결하여서 computerized thermocouple meter (MH51) 을 이용하여 디바이스 온도를 측정하였다. 디바이스 온도변화에 따른 I-V 및 세반 특성은 IBM 80586 컴퓨터에 의해서 제어되는 HP4145A Semiconductor Parameter Analyser 에 동축 케이블을 연결하고 진소 분위기의 Dark Probe Station에서 측정하여 외부로 부터의 노이즈를 최소화 하였다.

### 3. 실험결과 및 분석

a-Si의 두께가 2000 Å인 전달특성을 온도 영역 303 K~363 K에서 측정하여 그 결과 그림 3(a)에 나타내었다. 온도가 증가함에 따라서 드레인 전류  $I_d$ 는 100 V~0 V까지는 감소하다가 0 V~100 V까지는 지수 함수적 증가를 나타내어 명백한 암바이폴라(ambipolar)특성을 나타내었다. 100 V~0 V에서 드레인 전류가 감소하는 이유는  $SiO_2$ 층과 a-Si층의 이동 캐리어의 전하 트래핑(charge trapping)이 발생하므로 감소하고 0 V~100 V까지의 증가는 전하의 디트래핑(detraping)이 발생하여 TFT에서 전자는 전류 감소 영역에서 트랩이 되고 다시 전류 증가 영역에서 정공이 디트랩 되는 암바이폴라 특성을 보였다.

그림 3(b)는 TFT a-Si층의 두께가 1000 Å일 때 게이트 전압  $V_g$ 와 드레인 전류  $I_d$ 의 변화를 온도 영역 303 K~363 K에서 나타낸다. a-Si층의 두께가 1000 Å에서 2000 Å로 증가함에 따라서 드레인 전류가 2000 Å일 때 좀 더 증가함을 알 수 있다. 이 드레인 전류가 증가하게 되는 것은 a-Si층에 존재하는 수소의 양이 1000 Å일 때 보다 2000 Å일 때 두께의 증가로 인하여 더 많게 되어 수소가 증가하게되고 이로 인한 활성화 전자가 더욱 더 활성화 되기 때문에 드레인 전류는 더욱 더 증가된다고 본다.

온도를 303 K와 363 K로 일정히 하고 a-Si층의 두께를 1000 Å와 2000 Å 변화시켰을 때  $V_g$ 와  $I_d$ 의 관계를 그림 4에 나타낸다. 온도가 303 K에서 363 K로 증가함에 따라서  $I_d$ 는 증가 하였고 온도를 303 K로 일정히 하고 a-Si층 두께를 1000 Å

에서 2000 Å으로 증가시켰을 때  $I_d$ 가 증가됨을 보였다. 이  $I_d$ 의 증가는 온도와 a-Si층의 두께가 증가될수록 TFT의 채널에서의 활성화 전자가 더욱 더 활성화되기 때문에 증가되는 것으로 생각된다.

온도를 363 K로 일정히 하고 a-Si층 두께를 1000 Å에서 2000 Å으로 변화시켰을 때  $V_g$ 에 따른  $I_d$ 의 편차를 막대 그래프로 하여 그림 5에 나타낸다.  $I_d$ 의 편차인  $I_d(2000 \text{ Å}) - I_d(1000 \text{ Å})$ 값은 100V~20 V까지는 증가를 보이고 0 V~100 V까지는 감소함을 보였다. 이것은 100 V 이상의 고전압 구조이기 때문에 a-Si층과 TFT 액티브(active)채널에서의 활성화 전자가 낮은 전압에서도 많이 활성화 된다고 생각된다.

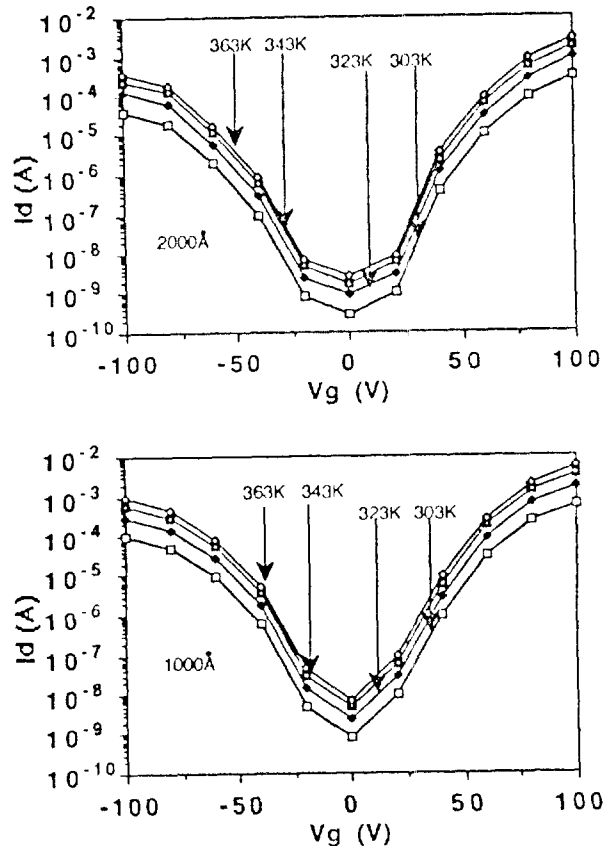


그림 3. (a) a-Si 두께 2,000 Å 일 때 303 K 363 K에서의 전달특성, (b) a-Si 두께 1,000 Å 일 때 303 K 363 K에서의 전달특성

Fig. 3. (a) Transfer characteristic curve at 303 K 363 K, (2,000 Å) (b) Thickness dependence transfer characteristic, (1,000 Å)

성화 된다고 생각된다.

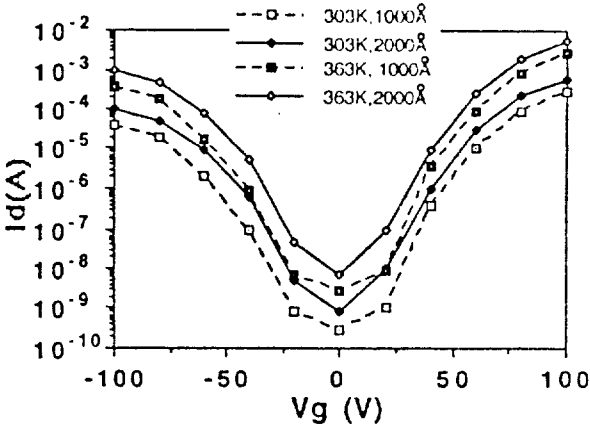


그림 4. 온도가 일정할 때 두께에 따른 전달특성  
 Fig. 4. Thickness dependence transfer characteristic at constant temperature

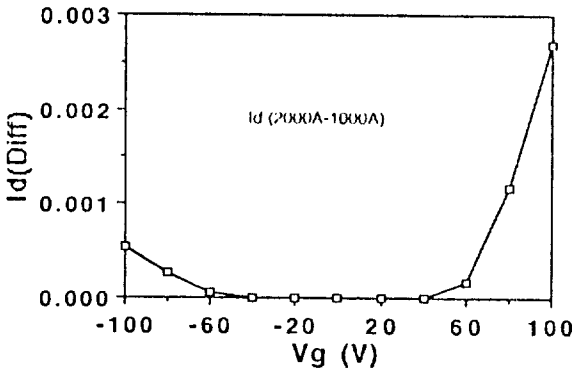


그림 5. 두께의 변화에 따른 드레인 전류의 편차  
 Fig. 5. Difference of drain current due to thickness variation

a-Si층의 두께를 1000Å로 일정하고 363 K를 기준으로 하여 363 K-343 K와 363 K-323 K의 경우  $I_d$ 의 편차를 그림 6에 나타낸다.  $I_d$ 는  $I_d(363 K-323 K)$  일 때가  $I_d(363 K-343 K)$ 보다 더 크게 되어서 온도 차이가 클수록  $I_d$ 의 차이도 크게 됨을 보여서 온도 증가에 따라서 드레인 전류가 증가되는 일반적인 특성과 같게 되었다.

온도 편차를 363 K-343 K가 일정히 하고 a-Si층의 두께를 1000 Å-2000 Å으로 변화시킬 때  $I_d$ 의 편차를 그림 7에 나타낸다. 비정질 실리콘층의 두께가 증가함에 따라서  $I_d$  편차는 증가함을 보였는데 두께가 두꺼울수록 a-Si층의 수소 함유량이 많아지기 때문에  $I_d$ 가 증가된다고 본다.

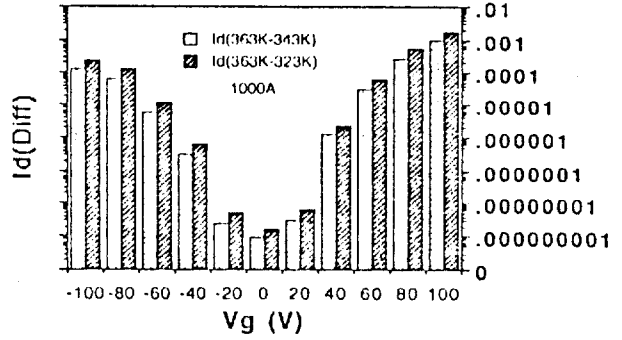


그림 6. 두께가 일정할 때 드레인 전류의 편차  
 Fig. 6. Difference of drain current due to constant thickness

온도가 303 K에서 363 K로 증가할 때  $I_d$ 의 변화를  $V_g$ 가 60 V, 80 V, 100 V 두께 1000 Å과 2000 Å에서 각각 그림 8에 나타낸다. 두께가 2000 Å으로 일정할 때 온도가 증가함에 따라서  $I_d$ 는 거의

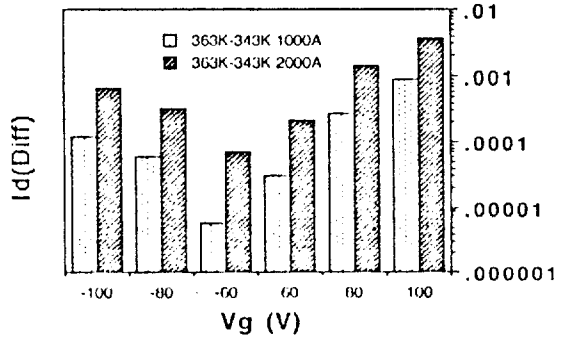


그림 7. 온도가 363 K-343 K로 일정할 때 드레인 전류의 편차  
 Fig. 7. Difference of drain current at constant temperature 363 K-343 K

선형적인 증가를 보였다.  $V_g$ 가 100 V인 높은 전압에서  $I_d$ 의 증가가 되어서 온도의 증가에 따른 활성화 전자는 더욱 더 활성화 되고, 전압이 높을수록 또 두께가 두꺼울 수록  $I_d$ 가 크게 되는 현상을 보였다.

드레인 전압  $V_d$ 를 0 V~100 V까지 증가함에 따른 드레인 전류  $I_d$ 의 변화를 게이트 전압 60 V, 80, 100 V a-Si 층의 두께 1000 Å과 2000 Å 범위에서 그림 9에 나타낸다.  $I_d$ 는  $V_g$ 가 증가함에 따라서 20 V까지는 선형적으로 증가하였고 40 V 이후 100 V까지는 포화 되어서  $I_d$  증가가 거의 되지 않음을 보였다.  $V_g$ 가 60 V에서 100 V로 증가함에

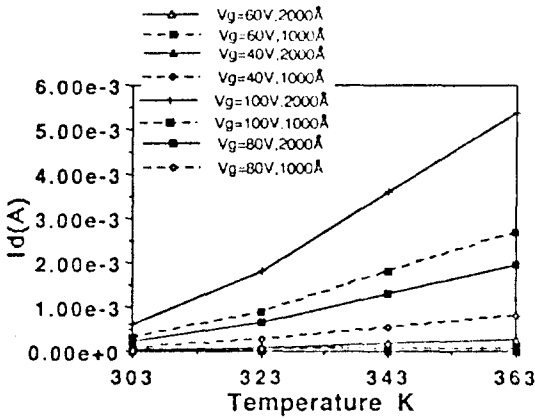


그림 8. 온도와 전압의 증가에 따른 드레인 전류의 변화  
 Fig. 8. Drain current variation by temperature and voltage increase

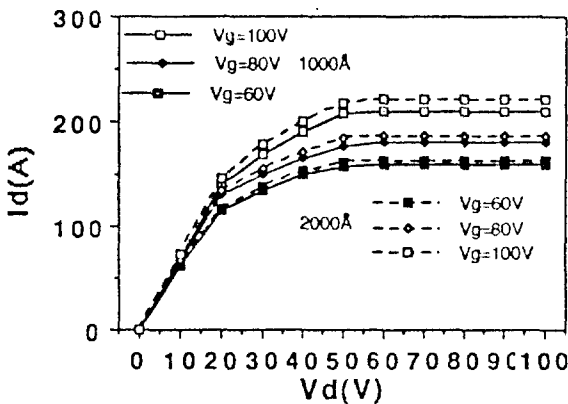


그림 9. 제작한 TFT의 출력특성 곡선  
 Fig. 9. Output characteristic curve of fabricated TFT

따라서  $I_d$ 가 약간 증가됨을 보였으며  $I_d$ 의 증가 폭도  $V_g$ 가 증가할 수록 더 증가됨을 보였다. 또 a-Si층의 두께가 1000 Å에서 2000 Å으로 증가함에 따라서  $I_d$ 는 증가하였으며  $I_d$ 의 상승 폭도 두께가 증가함에 따라서 더 증가됨을 보였다. 그 이유는 두께가 두꺼울수록 a-Si층의 수소 함유량이 많게 됨에 따라서 전자가 더 활성화 되고 TFT 채널에서의 전자의 터널링이 더 많아지게 되기 때문에  $I_d$ 가 증가 된다고 생각된다.

그림 10은 그림 9의  $V_g = 60 \text{ V} \sim 100 \text{ V}$  일 때 선형 영역에서의  $I_d$ 값을 컴퓨터에 의해서 simple curve fit 하여  $V_d$  전압값을 그래프의 x축에서 얻었다. 이  $V_d$ 값은  $V_g$ 가 100 V 일 때  $V_d$  값은 6.8

V,  $V_g$ 가 80 V 일때  $V_d$ 값은 7.0 V,  $V_g$ 가 100 V 일 때  $V_d$ 값은 8 V로 되어서  $V_g$ 가 낮을수록  $V_d$ 는 감소를 나타내었다.  $V_g$ 와  $V_d$  값의 상관 관계는 고전압과 게이트 길이의 길고 짧음에 따른 절연 물질의 유전율등 게이트와 관계되는 요인들 때문에  $V_d$ 가 감소한다고 본다.

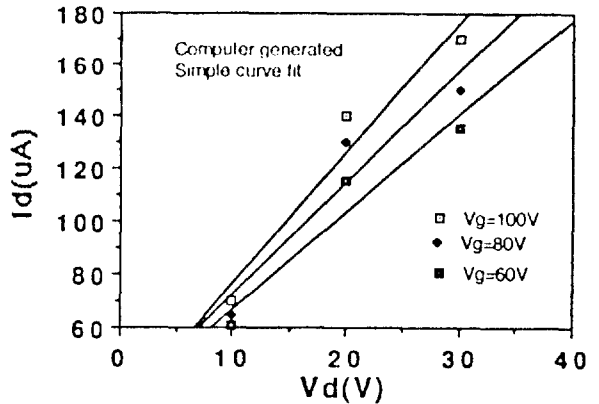


그림 10. 고전압에서 드레인 전압의 결정  
 Fig. 10. Determination of drain voltage at high voltage

#### 4. 결 론

100 V 이상의  $V_g$ 와  $V_d$ 를 가지는 고압용 TFT를 레이아웃 하여 설계하고 제작하여 온도영역 303 K ~ 363 K에서 전기적인 특성을 측정한 결과 다음과 같은 결론을 얻었다.

1. 게이트 전압 100 V, 드레인 전압 100 V, 드레인 전류 300  $\mu\text{A}$  인 인버티드 스테지형 고압 TFT를 설계하여 성공적으로 제작하였다.
2. 온도영역 303 K~363 K에서  $V_g$   $I_d$  전달특성 곡선에서 전하의 트래핑과 디트래핑 때문에  $V_g$ 가 낮을 때  $I_d$ 는 감소를 보이고  $V_g$ 가 높을 때  $I_d$ 가 지수 함수적으로 증가하는 특성을 보였다.
3. a-Si층의 두께가 1000 Å에서 2000 Å으로 증가 되었을 때 전달특성은 2000 Å일 때 더 많은 수소의 이온의 증가로 인하여  $I_d$ 가 증가함을 보였다.
4. 온도를 363K로 일정히 하고 a-Si층 두께를 증가시켰을 때  $I_d$  증가 편차는 100 V 이상의 고전압 구조로 인하여 낮은  $V_g$ 값에서 더 많은 증가를 보였고 높은  $V_g$ 값에서 더 적은 증가를 보였다.
5. a-Si층의 두께와 온도를 363 K로 일정히 하고

온도를 363 K-323 K 와 363 K- 343 K로 변화하였을 때의 온도 편차가 더 커짐으로 인해서 363 K-323 K일 때 더 높은  $I_d$ 의 편차를 보였다. 또 온도 편차가 일정할 때 a-Si층의 두께 증가에 따른  $I_d$ 의 편차는 수소의 함유량 증가로 인하여 두께가 더 두꺼울 때  $I_d$ 가 더 크게 되었다.

6.  $V_d$ 를 100 V로 일정히 하고  $V_g$ 를 80~100 V의 고전압이 인가되었을 때 온도증가에 따른  $I_d$ 는 선형적인 증가를 보여서 저전압에서의 특성과 비슷하게 되었다.
7.  $V_g$ 를 60~100 V,  $V_d$ 를 0~100 V의 고전압이 인가되었을 때  $I_d$ 는  $V_d=20$  V 까지는 선형적으로 증가하였고 40 V~100 V까지  $I_d$ 의 증가는 더 이상 일어나지 않고 포화되어서 저전압 TFT의 출력 특성곡선과 거의 비슷하게 되었다. 고전압과 게이트 길이의 길고 짧음에 따른 절연 물질의 유전율 변화로 인해서 출력 특성곡선의 선형 영역에서 simple curve fit하여 얻은  $V_d$  값은  $V_g$ 가 낮을 수록 감소함을 보였다.

본 연구는 온도 특성과 관련된 LCD와 전압제어용 TFT의 성능과 특성에 대한 설계와 공정의 기초와 응용 기술의 증진에 기여할 것으로 생각 된다.

※ 본연구는 1995년도 한국전력공사의 지원에 의하여 기초전력공학공동연구소 주관으로 수행되었음. (과제번호95-079)

### References

1. Y.Naara, Y.Kudou and M. Matsumura, "Application of amorphous field effect transistor in 3-dimensional integrated circuits," Japanese Journal of Applied Physics, vol.22,no.6, pp. L370-L372, June 1983.
2. T.L.Credelle, "Recent trends in color avionic LCD's," Soc.Information Display, vol.3, no.10, pp. 15-18, Nov. 1987.
3. F.OKumura and S. Kaneko, "Amorphous Si:H linear image sensor operated by a Si:H TFT array," Proc.Materials Res. Society Symposium, vol.33,M.J. Thompson Ed. New York:North Holland, pp 275-280, 1984.
4. Y.Nara and M.Matsumura, "An amorphous silicon integrated inverter," IEEE Trans. Electron Devices, vol. ED-29, no.10 pp. 1646-1649, 1982.
5. Woo Sun Lee, G.W. Neudeck, "A model for the temperature dependent I-V characteristics of a Si:H TFT", IEEE Trans. on Electron Devices, vol.38, no.9, Sept. 1991.
6. Woo Sun Lee, G.W. Neudeck, M.K. Han, "Temperature dependent I-V measurement and analytical model of TFT," Solid State Electronics, vol.37, no11, Nov. 1994

### 저자소개



**이우선**

1952년 1월 23일생. 1994년 조선대학교 공대 전기공학과 졸업. 1984년 중앙대학교 대학원 전기공학과(공학박사). 1982년~83년 Univ. of Massachusetts 문교부 파견교수. 1989년~90년 Purdue Univ. 과학재단 파견 포스트 닥터. 1992년 7월~8월 일본 동경공업대학 객원교수.

현재 조선대학교 공대 전기공학과 교수. 당 학회 산업협동이사. 분 학회 산학협동이사.



**김남오**

1967년 2월 9일생. 1994년 조선대학교 전기공학과 졸업. 1996년 조선대학교 전기공학과 석사. 1996년 동 대학교 전기공학과 박사과정.



**이 경 섭**

1956년 11월 9일생. 1983년 조선대학교 공대 전기공학과 졸업. 1991년 조선대학교 대학원 전기공학과 졸업(공학박사). 1994년 2월~1995년 2월 동경공업대학 전자물리공학과 객원연구원. 1988년~1996년 현재 동신대학교 공대 전기전자공학과 부교수