

L/L 진공시스템을 이용한 적층캐패시터의 하층산화막 박막화에 대한 연구

논문
9-5-7

A Study on the Bottom Oxide Scaling for Dielectric in Stacked Capacitor Using L/L Vacuum System

정양희*, 김명규**

(Yang-Hee Joung, Myoung-Kyu Kim)

Abstract

The multi-dielectric layer $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2(\text{ONO})$ is used to improve electrical capacitance and to scale down the memory device. In this paper, improvement of the capacitance by reducing the bottom oxide thickness in the nitride deposition with load lock(L/L) vacuum system is studied. Bottom oxide thickness under the nitride layer is measured by ellipsometer both in L/L and non-L/L systems. Both results are in the range of 3-10Å and 10-15Å, respectively, independent of the nitride and top oxide thickness. Effective thickness and cell capacitance for SONOS capacitor are in the range of 50-52Å and 35-37fF respectively in the case of nitride 70Å in L/L vacuum system. Compared with non-L/L system, the bottom oxide thickness in the case of L/L system decreases while cell capacitance increases about 4 fF. The results obtained in this study are also applicable to ONO scaling in the thin bottom oxide region of memory stacked capacitor.

Key Words(중요용어) : Nitride layer(질화층), Bottom oxide(하층산화막), Top oxide(상층산화막), L/L vacuum system(L/L 진공장치),

1. 서 론

DRAM 제작기술의 지속적인 발달로 최근 sub-micron 시대가 도래하였다. 소자의 고집적화에 따라 DRAM 캐패시터의 유전막으로 사용되는 열산화막은 고용량 캐패시터의 대응이라는 측면에서 임계 두께에 와있어 공정제어의 한계에 당면하게 되었다.

따라서 열산화막에 비해 전기용량을 향상시키고 scale down을 도모할 수 있는 유전막으로 질화막을 이용한 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2(\text{ONO})$ 구조 및 $\text{SiO}_2/\text{Si}_3\text{N}_4(\text{NO})$ 구조의 막이 DRAM 캐패시터 제조기술에 상용화되고 있다.^{1, 5)}

그러나 최근 16MEGA DRAM 혹은 64MEGA

DRAM급에서는 고집적화 및 전기용량 확대를 위해 유전막으로써 질화막 두께의 감소 또는 ONO 구조에서의 하층산화막이 거의 없는 NO 구조와 같은 유효두께의 박막화가 절실히 요구되어지고 있다.⁶⁾

본 논문에서는 질화막 하지의 산화막을 최소한 감소시키기 위해 load-lock(L/L)이라고 하는 진공시스템을 질화막을 증착시키는 기존 장치의 웨이퍼 loading부에 부착시켜 로내로 시료가 이동중에 성장되는 하층산화막의 성장을 억제하여 거의 NO 구조의 유전막을 갖는 질화막을 성장시키고 이를 적층 캐패시터 구조에 적용하였다. 또한 이것을 L/L 진공시스템이 없는 일반 저압 화학기상증착장치(non-L/L장치)에서 질화막을 성장시킨 적층 캐패시터와 비교하여 하층산화막의 성장, 유효두께의 차이 및 이들이 전기용량에 미치는 영향을 고찰하였다. 이와같은 하층산화막의 박막화를 위한 L/L 시스템은 질화막의 박막에서오는 이상산화를 방지하여 고품질, 고용량의 DRAM 캐패시터 기술 개발을 위한 공정기술에 적용될 수 있을 것으로 생각

* : 여수수산대학교 전기공학과

** : 충북대학교 전자공학과(대학원)

접수일자 : 1996년 1월 23일

심사완료 : 1996년 5월 10일

된다.

2. 시료제작 및 실험방법

본 실험에 사용되어진 L/L 진공시스템의 개략도는 그림 1과 같고 시료는 캐패시터 표면적이 $5.5\mu\text{m}^2$ 인 1.5FIN의 적층 캐패시터와 두께 측정을 위한 모니터 웨이퍼가 동시에 제작되었으며 이 캐패시터 구조의 완성 단면도는 그림 2와 같다.

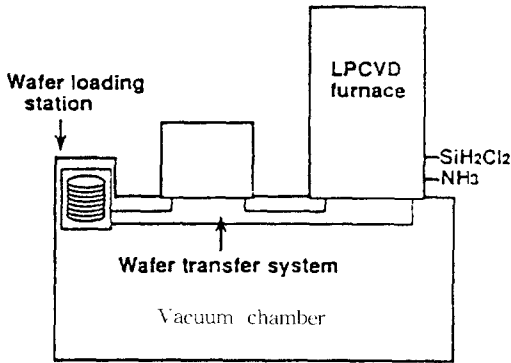


그림 1. L/L 진공시스템 LPCVD의 개략도
Fig. 1. Schematic diagram of LPCVD with L/L vacuum system.

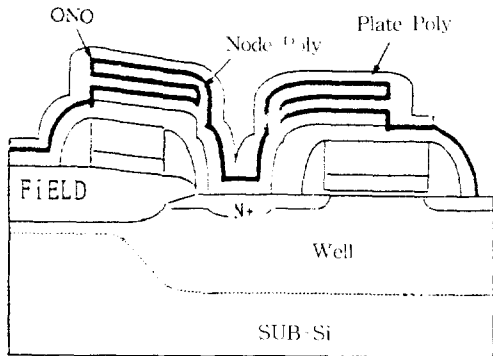


그림 2. Plate poly 증착후 캐패시터부의 단면도
Fig. 2. The cross section of capacitor after plate poly deposition.

FIN 구조의 캐패시터는 전기용량 증대를 위해 채택되었으며 그림 3은 node poly 증착후 긴식각과 습식각을 이용하여 1.5FIN의 형태를 나타낸 것이다.

질화막 성장시 non-L/L 장치의 경우 웨이퍼를 고온의 로내로 loading시킬 때 대기중의 산소가 웨이퍼의 이동과 함께 로내로 주입되어 웨이퍼 표면에 얇은 자연산화막을 성장시키고 이것은 결국 유

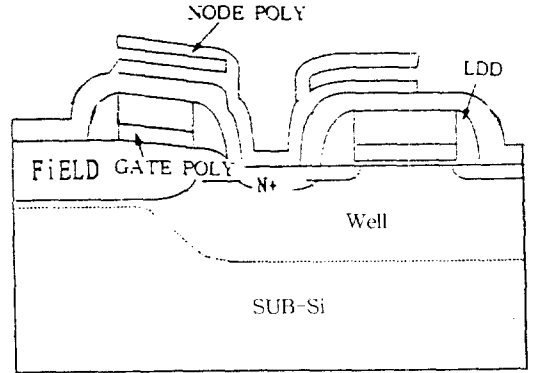


그림 3. ONO 유전막 증착전 캐패시터부 단면도
Fig. 3. The cross section of capacitor before ONO dielectric film deposition.

효두께가 두꺼워지는 결과를 초래하여 캐패시터의 전기용량을 저감시키게 된다. 그러나 그림 1과 같은 L/L장치에서는 웨이퍼가 로내로 들어가기전에 웨이퍼가있는 loading영역을 산소가 거의 없는 2ppm이하로 pumping후, 여기에 순수 N₂를 흘려 loading영역을 대기압으로 만들고 웨이퍼가 로내로 이동하기 때문에 웨이퍼의 로내로 이동중에 산소 영향에 의한 자연산화막 성장을 억제할 수 있도록 하였다. 따라서 질화막 증착시 성장되는 하층산화막 두께를 비교하기 위해 모니터 웨이퍼를 non-L/L과 L/L장치에서 웨이퍼 loading후 로내로 up-down을 진행시켜 RUDOLPH사의 model FE 4인 ellipsometer로 하층산화막 두께를 측정하였다.

하층산화막 두께 측정후 그림 3과 같은 적층 구조의 웨이퍼와 모니터 웨이퍼를 non L/L과 L/L 장치에서 각각 분리하여 질화막을 증착시켰다. 이 유전막으로써 질화막 증착은 1000Å의 node poly 위에 성장하게 되는데 이때 질화막 증착장치에 loading전, 공기중에 노출되어 성장된 자연산화막 및 불순물 제거를 위해 1:99HF에서 60초동안 전세정을 실시하였다.⁷⁾ 질화막 성장 조건은 NH₃와 SiH₂Cl₂의 비율을 10:1로 700~750°C의 고온에서 0.25Torr로 저압 증착을 하였으며 이때 질화막의 두께는 non-L/L, L/L 장치에서 각각 50, 60, 70, 80Å으로 증착하였다. 이 두께는 질화막 증착후 ellipsometer를 이용하여 측정하였다.

이들 시료는 상층산화막 성장을위해 다시 900°C에서 O₂와 H₂를 1:1.6의 비율로 모니터 웨이퍼상에서 약 490Å, 질화막이 있는 시료상에서는 15±3Å 두께로 성장시켰다. 여기까지 완성된 모니터 웨이퍼를 이용하여 두 장치간의 유효두께 차이를 비교하고, 마지막으로 plate poly를 증착하기 위해서 저

압 화학증착장치에서 SiH₄와 PH₃를 14:1의 비율로 0.8 Torr에서 실시하였으며, 이때 poly의 인 농도는 XRF로 측정되었고 대략 4.0-5.0E20원자/cm의 범위에 있다. 이렇게 완성된 캐패시터는 그림 2와 같다. 또한 모니터 웨이퍼와 적층 구조 웨이퍼의 캐패시터부의 확대된 증착모양은 그림 4와 같다.

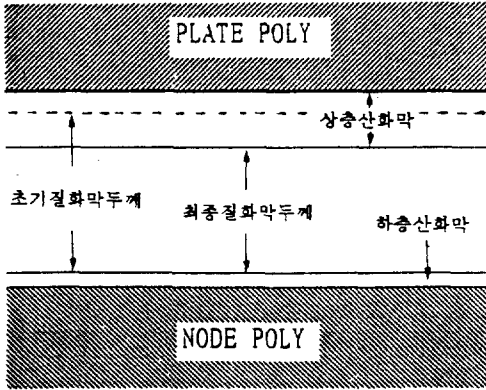


그림 4. SONOS 캐패시터 단면도
Fig. 4. The cross section of SONOS capacitor.

non-L/L 및 L/L 장치에서 각각 완성된 적층 캐패시터는 KEITHLEY, S-475 장치를 이용하여 하층산화막을 포함한 질화막두께에 따른 C_s 값을 측정함으로써 두 장치간의 최종 유효두께 차이 및 이것이 C_s에 미치는 영향을 조사하였고, C_s의 계산값과 측정값을 비교하였다.

3. 결과 및 논의

반도체 메모리 소자에서 중요한 요소의 하나인 캐패시터 제작시 유전막으로써 질화막을 non-L/L 장치에서 증착시킬 때 시료를 고온의 로내로 loading시 대기중의 산소가 웨이퍼의 이동과 함께 로내로 주입되어 웨이퍼 표면에 얇은 산화막을 성장시킨다. 이 질화막 하지의 산화막 성장은 결국 유효두께가 증가하는 결과를 초래하여 캐패시터 전기 용량을 저감시킨다. 이와같은 하층산화막 성장에 따른 전기용량 저하의 문제를 해결하고 질화막 증착 공정 진행시 두께에 대한 공정 여유를 확보하기 위한 방법 및 그 결과에 대해서 논의하기로 한다.

3.1. 하층산화막의 성장

전세정 실시 직후의 자연산화막 두께는 대략 2-3Å 정도이며 이 시료를 non-L/L과 L/L 장치에

서 각각 질화막 증착전 boat up-down에 의해 성장되는 하층산화막의 두께 차이는 그림 5, 6와 같다.

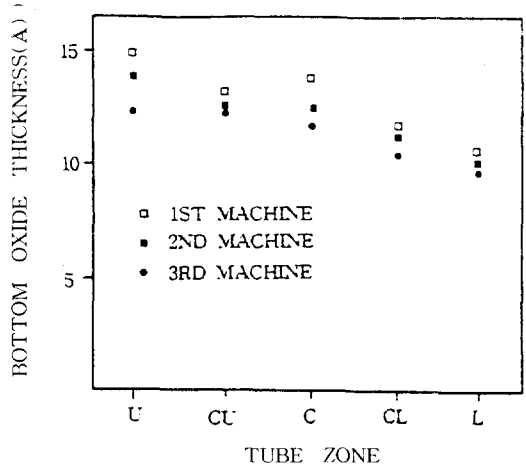


그림 5. NON-L/L 장치의 zone에 따른 하층산화막 두께의 측정치

Fig. 5. Experimental data for measurement of bottom oxide thickness with contents of zone in NON-L/L system.

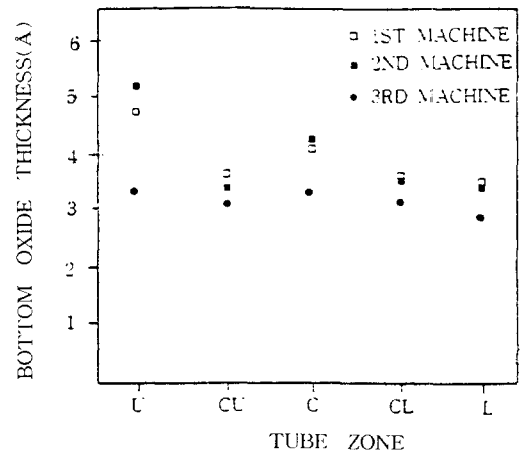


그림 6. L/L 장치의 zone에 따른 하층산화막 두께의 측정치

Fig. 6. Experimental data for measurement of bottom oxide thickness with contents of zone in L/L system.

그림 5, 6의 결과는 장치별 하층산화막 성장의 편차를 확인하기 위하여 L/L, non-L/L 각각 3대씩의 장치에서 얻어진 결과이며, 그림 1에서와 같이 boat의 대형화로 boat내의 웨이퍼 loading 위치별

균일성을 확인하기 위하여 boat의 up zone, center up zone등으로 구분하였다. 그림 5에서 알 수 있는 바와 같이 non-L/L 장치의 경우 하층산화막의 성장 두께는 기존의 자연산화막을 포함하여 약 10-15 Å으로 동일 type의 장치별로 편차를 보이며 동일 boat내의 zone별 유의차는 대략 3-4Å 정도 있음을 볼 수 있다. boat의 up zone이 low zone에 비해 다소 높은 경향을 갖고있음을 알 수 있는데 이는 웨이퍼 loading시에 up zone부터 웨이퍼가 loading되면서 boat가 올라가기 때문에 low zone의 웨이퍼 loading시까지 걸리는 시간 및 온도의 영향에 기인된 것임을 알 수 있다.

그림 6은 L/L 장치 및 boat의 zone별 하층산화막의 성장 두께를 나타낸 것으로 장치별 산화막 두께가 3-5Å이다. L/L 장치에서의 하층산화막 성장은 non-L/L 장치에 비해 약 10Å 정도 낮은 두께를 보이고 있으며 zone별 균일성은 non-L/L에 비하여 상대적으로 다소 떨어지는 것으로 약 1.5-2Å으로 나타났다. L/L 장치에서의 하층산화막 두께 감소는 웨이퍼가 로내로 들어가기 전에 웨이퍼가 있는 loading부 영역을 우선 산소가 거의 없는 2ppm 이하의 진공으로 pumping한 후 다시 순수 N₂를 흘려 대기압으로 만든 상태에서 로내로 웨이퍼가 이동하여 질화막 성장이 시작되기 때문에 로내로 loading중에 성장되는 하층산화막의 성장이 작게 됨을 알 수 있다. 따라서 L/L 장치는 non-L/L 장치보다 하층산화막의 균일성 측면에서는 다소 떨어지나 성장두께에 있어서 약 10Å의 저감효과를 얻을 수 있기 때문에 높은 전기 용량을 확보 할 수 있다.

3.2. 질화막 및 상층산화막의 성장

하층산화막의 성장후 유전막으로써 질화막의 성장은 non-L/L과 L/L 장치에서 동일 조건으로 성장되었으며 증착 시간에 따라 50, 60, 70, 80Å을 성장 하였다. 본 실험 조건에서의 질화막 성장은 증착 온도에 따라 그림 7과 같은 deposition rate를 나타냈으며 하층산화막의 두께에 따른 질화막성장의 영향은 나타나지 않았다.

이와 같은 질화막위에 상층산화막을 성장시켰으며 상층산화막 두께와 산화 시간과의 관계를 구한 결과는 그림 8과 같다. 그림 8에 따르면 산화 시간에 따라 일정한 비율로 산화막이 형성됨을 알 수 있다.⁸⁾

또한 질화막이 70Å인 시료에 상층산화막을 15Å 성장시킨 경우 상층산화막 두께 측정을 위하여 refractive index(Ri)를 1.462로하여 ellipsometer를 이용하여 측정하였고, 이 두께를 확인하기 위하여

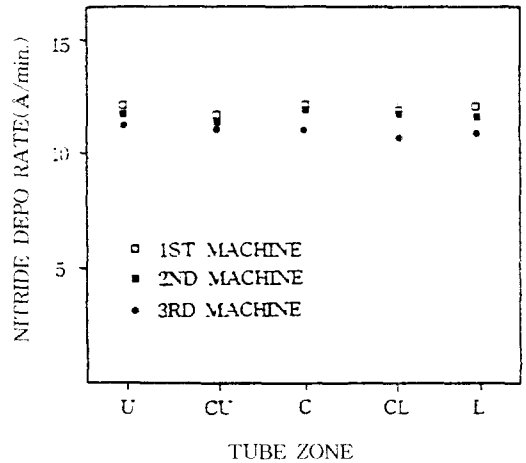


그림 7. Zone에 따른 질화막 증착율
Fig. 7. Nitride deposition rate with contents of zone.

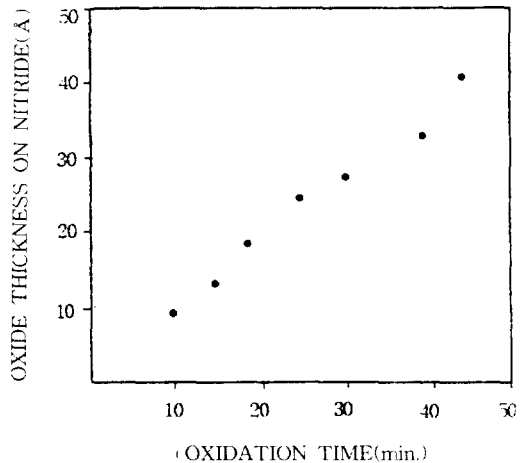


그림 8. 산화 시간 대 상층산화막의 두께(산화는 900°C, O₂:H₂가 1:1.6에서 수행됨)
Fig. 8. Top oxide thickness vs oxidation time (The oxidation was carried out at 900°C, O₂:H₂ = 1:1.6)

1:500 HF에서 100초씩 습식각하여 etch후의 산화막 두께를 반복 측정하였다. 이때 반복 측정된 값은 그림 9와 같다. 그림 9에서 100초씩 여러번 반복했을 때 포화되므로 상층산화막의 두께는 12-14Å임을 알 수 있어 측정치와 잘 일치함을 볼 수 있다.

질화막 위에서 상층산화막 성장에 있어서 non-L/L, L/L 장치간 및 동일 boat내 zone별 편차는 없는 것으로 확인 되었다.

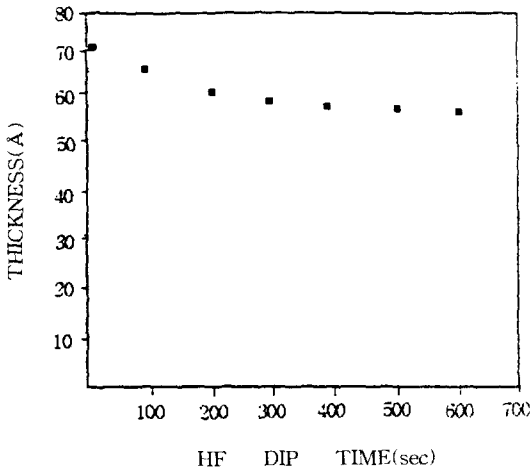


그림 9. 상층산화막의 두께 13Å의 측정치
 Fig. 9. Measurement data of top oxide thickness 13Å.

3.3. 유효 두께 및 CELL CAPACITANCE

상층산화막 형성시 초기 질화막의 감소가 일어나는데 이 영향에 대한 두께의 관계를 그림 10에 표시하였다.⁹⁾

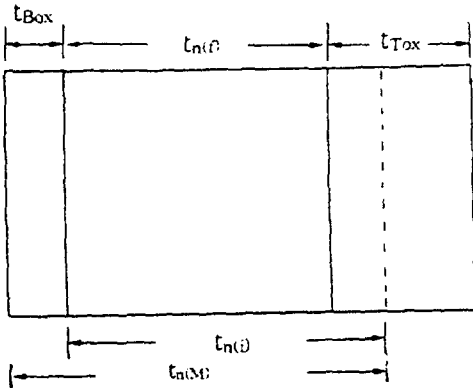


그림 10. 산화로 인해 변한 질화막의 두께와 상층산화막 두께의 관계
 Fig. 10. Relation of top oxide and nitride thickness converted by oxidation.

- $t_{n(f)}$: final nitride thickness
- $t_{n(i)}$: initial nitride thickness
- t_{Tox} : top oxide thickness
- t_{Box} : bottom oxide thickness
- $t_{n(M)}$: measurement thickness after nitride deposition

상층산화막 성장후 최종 질화막만의 두께는 식(1)과같이 표시되고 또한 질화막 및 산화막의 유효 두께 계산식은 각각 식(2), (3)과 같다.⁹⁾

$$t_{n(Act)} = t_{n(M)} - \frac{2}{3} t_{Tox} - t_{Box} \quad (1)$$

$$t_{n(eff)} = t_{n(Act)} \times \epsilon_{SiO_2} / \epsilon_{NiT} \quad (2)$$

$$t_{SiO_2(eff)} = t_{n(eff)} + t_{Tox} + t_{Box} \quad (3)$$

또한 식(3)으로부터 cell capacitance는 식(4)로써 나타낼 수 있다.

$$Cs = \epsilon_{SiO_2} \times S / t_{SiO_2(eff)} \quad (4)$$

여기서 Cs : cell capacitance

$t_{n(eff)}$: effective thickness as a function nitride

$t_{SiO_2(eff)}$: effective thickness as a function oxide

$t_{n(Act)}$: real nitride thickness by top oxidation

ϵ_{SiO_2} : oxide permittivity(3.8 ϵ_0)

ϵ_{NiT} : nitride permittivity(6.5 ϵ_0)

S : unit cell area

non-L/L 및 L/L 장치에서 하층산화막 성장의 차이에 따른 $t_{SiO_2(eff)}$ 와 $t_{n(M)}$ 및 cell capacitance와 $t_{n(M)}$ 의 관계는 그림 11, 12와 같다. 그림 11, 12에서와 같이 $t_{SiO_2(eff)}$ 와 $t_{n(M)}$ 은 장치별로 일정한 차이를 나타내고 있으며 질화막이 70Å으로 동일한 경우 L/L 장치는 non-L/L 장치에 비해 유효두께가 약 3-4Å 낮게 나타나고 있으며 이것이 cell capacitance에서 4fF 정도의 차이를 나타낼 수 있다.

따라서 L/L 장치에서 약 10Å의 하층산화막 성장 억제를 통하여 동일 질화막 두께에서 non-L/L 장치보다 높은 전기 용량을 얻을 수 있으므로 L/L 장치의 경우 질화막의 성장 두께를 60Å에서 70Å으로 상향조정하여 공정을 진행 하더라도 non-L/L 장치의 60Å과 거의 동일한 전기용량을 갖을 수 있다. 이것은 막막화된 질화막 성장에 있어서의 공정 여유를 확보할 수 있는 것으로도 해석할 수 있다.

더욱이 질화막 성장의 여유는 상층산화막 성장시 발생할 수 있는 이상산화의 억제를 가능케 함으로서 캐패시터의 안정성과 신뢰성에 기여할 수 있게 된다.

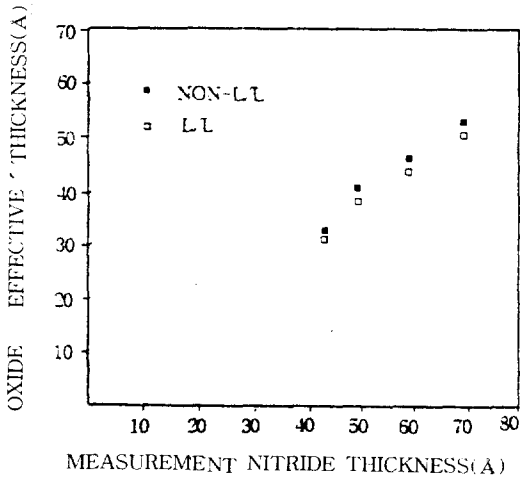


그림 11. 질화막 증착후 측정두께 대 유효두께
 Fig. 11. Measurement data after nitride deposition vs oxide effective thickness.

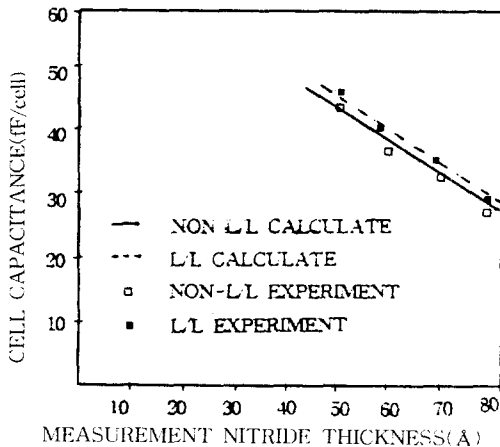


그림 12. 질화막 측정두께와 cell 캐패시턴스의 관계
 Fig. 12. Relation of measurement data after nitride thickness and cell capacitance.

4. 결 론

본 논문에서는 반도체 메모리 소자에서 중요한 요소의 하나인 캐패시터 제작 과정에서 질화막 증착시에 하지의 산화막 성장을 억제하기 위하여 질화막 증착 장치에 L/L 진공 시스템을 부착하여 loading부에 대기중의 산소가 거의 없는 2ppm 이하를 유지하면서 로내로 웨이퍼를 loading함으로써 자연산화막 성장을 억제하여 다음과 같은 결론을

얻었다.

1. L/L 장치에서의 하층산화막은 3-5Å으로 non-L/L 장치에 비해 약 10Å의 감소 효과가 있다.
2. L/L 장치의 사용에 따른 zone별 하층산화막의 균일성은 1.5-2Å이다.
3. 하층산화막 성장의 억제에 따른 유효두께의 박막화는 약 4fF의 cell capacitance가 증가한다.
4. L/L 장치의 경우 질화막을 70Å으로 상향조정하여 공정을 진행 하더라도 non-L/L 장치에서 60Å의 질화막에 해당하는 약 35-37fF의 cell capacitance를 갖는다.
5. 따라서 L/L 장치를 이용함으로써 박막화된 질화막 성장의 공정 여유를 확보 할 수 있고 이 여유 확보는 상층 산화막 성장시 발생할 수 있는 이상산화를 방지하여 고집적 캐패시터의 안정성과 신뢰성에 기여할 수 있다.

참 고 문 헌

1. S. Mori, E. Araki, Y. Kaneko " ONO inter-poly dielectric scaling for nonvolatile memory application", IEEE Trans. Electron Devices, vol. 38, p. 386, 1991.
2. S. Mori, Y. Kaneko, N. Arai " Scaled EPROM cell technology in 0.6um regime ", presented at the IEEE NVSMW, Vail, CO, Aug., 1989
3. A. Bergemont, S. Deleonibus, " High performance CMOS process for submicron 16Mb " IEDM Dig. Tech. papers, p. 591, 1989.
4. K. Wu, C. S. Pan, J. J. Shaw, P. Freiberger, and G. Sery " A model for EPROM intrinsic charge loss through ONO inter-poly dielectric ". in Proc. 28th 1990 IEEE IRPS, p. 145, 1990.
5. C. S. Pan, K. Wu, P. Freiberger. " A scaling methodology for oxide-nitride-oxide inter-poly dielectric for EPROM application ". IEEE Trans. Electron Devices, vol. 37, no. 1, p. 1439, 1990.
6. Y. Ohji, T. Kusaka, I. Yoshida " Reliability of nano-meter thick multi-layer dielectric films on polycrystalline silicon ". in Proc. 1987 IEEE IRPS, p. 55, 1987.
7. M. Yoshimaru, N. Inoue, M. Itoh, H. Kurogi, H. Tamura " High quality ultra thin nitride film selectively deposition on poly silicon electrode by LPCVD with in situ HF vapor

cleaning ". IEDM 92, p. 271, 1992.

8. E. Suzuki, Y. Hayashi, K. Ishii. " Traps created at the interface between the nitride and the oxide on the nitride by thermal oxidation ". Appl. Phys. Lett, vol. 42(7), p.

608, 1983.

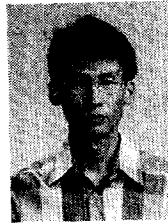
9. YH. Joung, YS. Lee, YG. Park, ". The oxidation of silicon nitride layer " 전기전자 재료학회 vol. 7, no. 3 1994

저자소개



정양희

1960년 12월 25일생. 1983년 단국대학교 응용물리과 졸업. 1985년 인하대학 응용물리학과 졸업(석사). 1993년 동대학교 대학원 응용물리학과 졸업(공학). 1994년 금성일렉트론 선임연구원. 현재 여수수산대학교 전기공학과 전임강사.



김명규

1962년 12월 17일생. 1988년 고려대학교 물리학과 졸업. 1988년 현재 LG 반도체 재직중. 1994년 현재 충북대학교 대학원 전자공학과 재학중.