

# 비정질 실리콘 박막 트랜지스터 히스테리시스 특성의 온도의존성

논문  
9-3-7

## Temperature Dependent Hysteresis Characteristics of a-Si:H TFT

이우선\*, 오금곤\*, 장의구\*\*

(Woo-Sun Lee, Kum-Kon Oh, Eui-Goo Chang)

### Abstract

The temperature dependent characteristics of hydrogenated amorphous silicon thin film transistor (a-Si:H TFT) with a bottom gate of N-Type <100> Si wafer were investigated. Drain current on the hysteresis characteristic curve showed an exponential variation. Hysteresis area of TFT increased with the gate voltage increased and decreased with the small gate voltage. According to the variation of gate voltages, drain current of TFT increased by temperature increase, and hysteresis characteristics mainly depended on the temperature increase. The hysteresis current showed negative characteristics curve over 383K. The hysteresis occurrence area and the differences of forward and reverse sweep were increased at the higher temperature. Hysteresis current of  $I_d(\text{on/off})$  ratio decreased at the lower temperature and increased at the higher temperature.

**Key Word(중요용어)** : TFT(박막트랜지스터), Hysteresis(히스테리시스), Temperature dependent(온도의존), PECVD(플라즈마 화학 기상증착)

### 1. 서 론

오늘날 산업에서 중요한 부분을 차지하게된 수산화 비정질 실리콘 박막 트랜지스터(a-Si:H TFT)는 제조 공정상 증착하기가 쉽고 많은 물질들중 큰 면적에 균일하고 쉽게 증착 할 수 있고 전 공정과정이 350°C 보다 낮은 온도에서 공정을 진행 할 수 있다. LCD(Liquid Crystal Display)의 기관으로 그라스(glass)를 사용할 수 있는 장점이 있으며 시스템 비용이 저렴하게 되기 때문에 고체영상 감지기<sup>1)</sup>, 박막형 논리회로<sup>2)</sup>, 반도체 표시기<sup>3)</sup>, 랩-탑(lap-top) 컴퓨터<sup>3)</sup>, HD-TV 등에 이용이 증가되고 있는 새로운 표시기 반도체 소자이다.

비정질 실리콘 TFT 제조공정시 플라즈마 CVD를 사용하므로 진공 상태에서 계속적으로 게이트 절연막과 비정질 실리콘을 증착 할 수 있으며 저온상태에서 수행하므로 아주 양호한 계면을 얻을 수 있다. 1970년대 초부터 비정질 실리콘은 반도체 디바이스 응용에 관한 물질로서 관심을 갖게 되었다. 비정질 실리콘이 단결정 실리콘과 비슷한 특성을 가지고 있기 때문에 많은 반도체 소자에 비정질 실리콘을 이용하기 위해 연구되었다. 지금

까지 연구된 TFT는 HD-TV display, Computer display, Image sensor, Airplane cockpit, 등 저전압용이 대부분으로, TFT에 관한 주요 연구내용을 보면, TFT 구조에 대한 이론적 분석과 I-V 특성을 에너지갭의 국부적인 상태에서 분석 하였으며<sup>4)</sup>, TFT의 정적, 동적 및 CAD 모델에 대해서 연구의 진전이 있었고<sup>5)</sup>, I-V 온도 변화 특성에 대한 CAD 모델을 규정화 한 것은 반도체 소자로서 TFT를 이용한 대규모 면적의 디스플레이에서 로직회로에 들어가는 단자수를 줄일 수 있게되어 새로운 첨단 로직회로의 개발에 기여 하게 되었다. Active Matrix 방식에 따라서 배열 되는 디스플레이가 개발 되었고<sup>6)</sup>, 2차원 수치 시뮬레이션 프로그램이 개발 되었으며<sup>7)</sup>, Ambipolar TFT와 모델이 개발 되었고<sup>8)</sup>, 이것을 제어 할수 있는 로직회로<sup>9)</sup>가 개발 되었다.

일반적으로 TFT 상용화 및 대량 생산을 할려면 I-V 및 C-V 특성의 온도의존성에 대한 연구가 선행 되어야 할 것이다. 히스테리시스 현상을 최소화한 I-V 온도의존 특성을 규명한 후 TFT 디바이스를 설계 하는 것이 해결의 한 방안이다. TFT I-V 특성에 영향을 미치는 요인으로는 여러가지가 있으나 순방향과 역방향 전압인가시에 발생하는 히스테리시스 현상으로 인한 전류의 감소가 제일 큰 요인으로 인식되고 있으며 이는 온도 변화에 따라서 크게 달라진다<sup>10)</sup>. 따라서 실용화되고 있는 휴대용 컴퓨터 및 정보기기의 LCD 패널

\* : 조선대학교 공대 전기공학과

\*\* : 중앙대학교 공대 전기공학과

접수일자 : 1995년 8월 17일

심사완료 : 1996년 2월 15일

및 HD-TV의 화면 디스플레이 등 큰 면적의 디스플레이에 주로 사용되는 반도체 소자인 비정질 실리콘 박막트랜지스터에 대하여 본 논문에서는 첫째, Bottom 게이트형 비정질 실리콘 박막트랜지스터를 PECVD(plasma enhanced chemical vapour deposition) 방법에 의해서 제작 하고, 둘째 온도영역 303K-383K 범위에서 TFT 히스테리시스 특성과 온도의존 특성 및 발생원인 결과분석을 하였으며 셋째, TFT의 히스테리시스 발생 현상에 대한 전기적인 온도변화 특성을 TFT 히스테리시스 발생 on/off 비를 중심으로 하여 실험적으로 연구 하였다.

**2. Bottom 게이트형 비정질 실리콘 박막 트랜지스터의 제작**

본 연구에서 설계하여 제작한 a-Si:H TFT의 구조도는 그림 1 과 같다. 웨이퍼는 N-type <100>방향 4인치 실리콘 웨이퍼이며 웨이퍼 세척은 H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>SO<sub>4</sub>=1:1 용액에 초음파 세척 한 후 고순도 3차 증류수에서 세척 하였다. 세척한 실리콘 웨이퍼에 dry oxidation 하여 1500Å 두께의 SiO<sub>2</sub>를 성장하였으며 방전 플라즈마 CVD (chemical vapour deposition) 방법에 의해서 a-Si:H 층을 증착한 다음 전면에 PR(photo resistor) 코팅하고 하드 베이킹 한 다음 웨이퍼 뒷면의 a-Si층을 RIE(reactive ion etch) 로 제거 하였다. a-Si:H 증착은 SiH<sub>4</sub> 가스를 이용 하였고 증착조건은 RF Power = 6 W, Temperature = 260 °C, Pressure = 0.35 Torr, SiH<sub>4</sub> = 50 sccm, Time = 10 minutes 상태에서 진행하였으며, 두께가 700Å 되게 하였다.

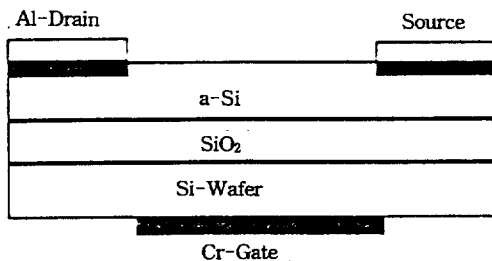


그림 1. 비정질 실리콘 박막트랜지스터의 제작구조도

Fig 1. Fabricated a-Si:H TFT

드레인과 소오스의 옴믹(ohmic) 콘택을 위하여  $1 \times 10^{16}$  ions/cm<sup>2</sup>, 30 KeV 의 N<sup>+</sup> 이온을 이온주입기로 주입하고 그 위에 알미늄을 1,000Å 두께로 증착하고 어닐링 하여 드레인 소오스 전극을 형성 하였다. 소오스와 드레인 전극 증착은 Al-Si(1%)을 RF스퍼터링 시스템을 이용하여 증착 하였고 어닐링을 행하였으며 Metal etch 한후

450°C에서 1시간 alloy하였다. 어닐링 조건은 Temperature = 200°C, Pressure = 0.48T, N<sub>2</sub>/H<sub>2</sub> = 30 sccm/45sccm, Time= 30 minutes 에서 진행 하였다.

공정을 간단하게 하기 위해 세 단계로 마스크 작업을 하였다. 세 단계 마스크 작업은 게이트 형성 마스크, a-Si:H 형성 마스크 그리고 소오스-드레인 형성 마스크이며 소오스-드레인 마스크는 이온주입과 금속화에 공동으로 사용되므로 공정이 단순화 되는 잇점이 있다. 제작된 디바이스 폭은 1,000μm이고 채널 길이는 각각 25,50,75,100,150,200μm로 한 웨이퍼 다이(die)에 설계 하였다. 그중2개의 디바이스는 500,1,000μm의 채널 폭에 채널 길이는 10μm로 제작 하였다.

TFT 히스테리시스 온도의존성 실험을 하기 위해서 위와같이 제작된 웨이퍼를 Tempress Device Die Saw 를 이용하여 자른다음 각각의 디바이스를 캡케이징(packaging) 하여서 온도를 303-383K 범위로 제어 할 수있는 전기오븐 속에 넣고 알루미늄-크로멜(alumel-chromel) 열전대를 디바이스에 연결하고 다시 이 열전대선을 외부로 연결하여서 computerized thermocouple meter (MH51) 을 이용하여 디바이스 온도를 측정 하였다. 디바이스 온도변화에 따른 히스테리시스 I-V 및 제반 특성은 IBM 80586 컴퓨터에 의해서 제어되는 HP4145A Semiconductor Parameter Analyser 를 사용하여 질소 분위기의 Dark Probe Station에서 측정 하였다.

**3. 실험결과 및 분석**

채널폭 1000 μm 와 채널길이 100 μm 의 비가 W/L = 10 일때 제작된 TFT 게이트 전압과 드레인 전류의 V<sub>g</sub>-I<sub>d</sub> 히스테리시스특성 곡선을 온도범위 303K -363K에서 그림2에 나타낸다. 게이트전압을 -15V에서 15V 까지 증가시켰을때 제작된 TFT에서는 히스테리시스 특성곡선을 나타내었다. V<sub>g</sub>가 -15V 부터 증가함에 따라서 I<sub>d</sub>는 최초에는 약간 감소를 보이며 363K 의 경우 턴온 전압(turn on voltage)이 되는 -6V를 지나면서 I<sub>d</sub>는 점차 증가하기 시작하여 -2V에서는 급상승을 보이다가 턴오프 전압(turn off voltage)인 13V 에서 순방향으로 포화되어 더 이상의 상승을 보이지 않는다. 또한 15V에서 부터 -15V로 전압을 감소시키면 8V 부근에서 I<sub>d</sub>가 급격히 감소함을 보이다가 3V 에서 I<sub>d</sub>는 더이상 감소하지 않고 역방향으로 불완전 포화 됨을 보인다. 이와 같은 순방향(forward sweep)과 역방향(reverse sweep)에 의한 히스테리시스특성을 나타내는 I<sub>d</sub>는 -15V인 저전압에서 적게되고 15V인 높은 전압에 온도 증가와 더불어 높아지게 되었다. 온도가 증가할수록 I<sub>d</sub>가 높아지게 되는 것은 TFT 채널에 의 비정질 실리콘의 원자가 고온으로 인하여 더욱더 활성화되어

활성화 전자가 계속 불어나게 되므로 전도대로의 더 많은 전자의 여기가 일어나서 전자의 활성화 에너지가 증가되기 때문이라 생각된다. 순방향과 역방향 전류의 지수함수적인 변화는 비정질 실리콘의 에너지 밴드 가장자리에 국부적인 상태밀도의 존재로 인한 국부적인 원자결합이 생기며, 덩굴링 본드에 의한 상태결합에 의해서 확장상태와 국부적인 상태의 원자 결합이 생긴다. 따라서 순방향과 역방향 전류의 지수함수적인 변화가 일어나고 결과적으로 드레인 전류의 히스테리시스는 순방향과 역방향 전류의 차이가 된다[5].

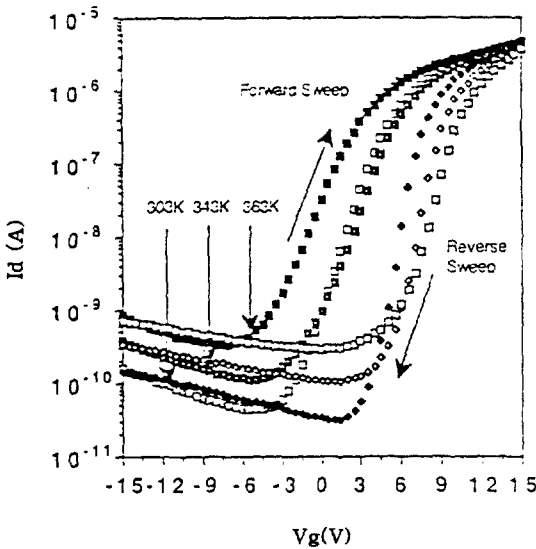


그림 2. 온도 303K-363K에서의 히스테리시스 특성곡선

Fig 2. Hysteresis curves at 303K-363K

게이트 전압  $V_g$  증가에 따른 히스테리시스 현상을 나타내는 드레인전류  $I_d$ 의 히스테리시스 순방향 특성곡선의 온도 의존성을 그림3에 나타낸다.  $V_g$ 가 -15V 에서 온도가 303K - 383K 까지 증가할 때  $I_d$ 는 증가함을 보였으나  $V_g$ 가 15V 에서는 온도가 303K 부터 363K까지  $I_d$ 는 증가하고 고온인 383K에서  $I_d$ 는 감소하게 되어서 게이트 전압 9V 이상에서 TFT의  $I_d$ 는 온도에 대한 부정 특성을 나타냄을 보였다. 부정특성이 일어나는 현상은 MOSFET IC에서와 같이 디바이스 채널에서 고온으로 인한 활성화 전자 이동이 감소되기 때문이다.

TFT 히스테리시스특성 곡선중 역방향 특성곡선의 온도의존성을 그림4에 나타낸다. 역방향 특성곡선은 303K에서 383K까지 온도가 증가함에 따라서 순방향 특성 곡선 보다 턴온 전압이 높고 턴오프 전압이 빠르게 되었다. 그 이유는 비정질 실리콘 층에 한하여 존재하는 국부적인 상태결합으로

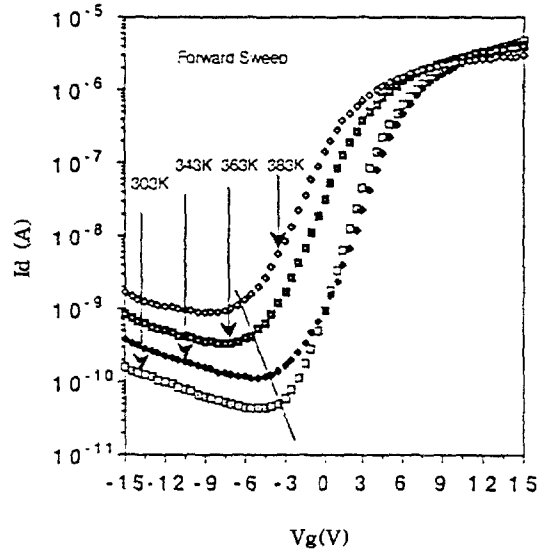


그림 3. 순방향 드레인 전류의 온도의존성

Fig 3. Temperature dependency of forward drain current

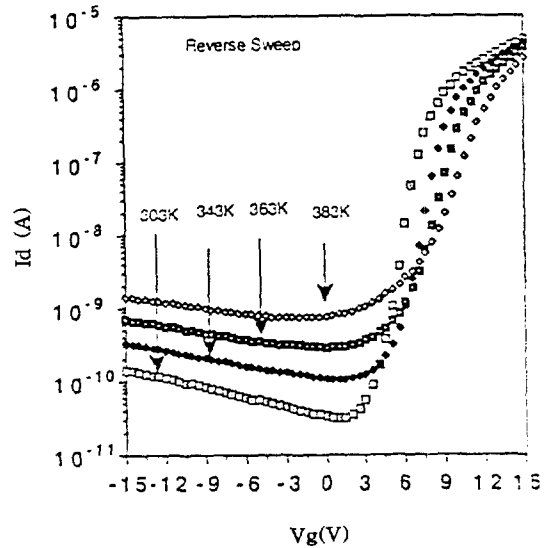


그림 4. 역방향 드레인 전류의 온도의존성

Fig4 4. Temperature dependency of reverse drain current

인해서 전하 축적으로 인한 시간지연 때문에 턴온과 턴오프의 시간적인 차이가 생기고 히스테리 발생의 주요한 일부 요인으로 생각된다.

온도영역 303K부터 383K 일때  $V_g$  증가에 따른  $I_d$  히스테리시스 발생영역을 그림5에 나타낸다. 게이트 전압 -15 - 15V, 온도영역 303K 부터 383K 범위에서 역방향 전류와 순방향 전류를 기준으로

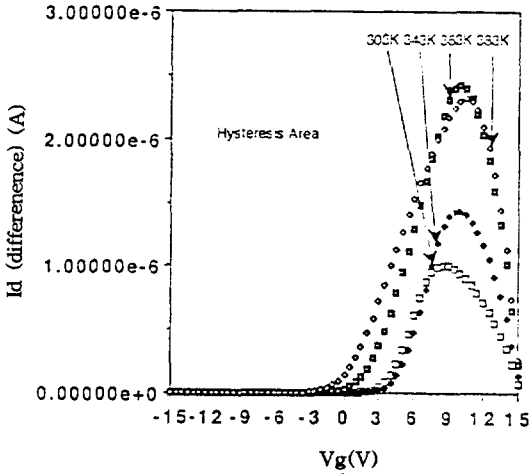


그림 5. 히스테리시스 발생영역의 온도의존성  
Fig 5. Temperature dependency of hysteresis area

하여 그 차이로서 나타나는 히스테리시스 발생영역은 온도가 증가 할수록 크게 되었으며 발생전압의 범위도 넓게 되었다. 383K에서  $V_g$ 가 9V 일 경우  $I_d$ 가 363K일 때보다 적어짐을 보였다. 이와 같이 히스테리시스 발생영역이 온도가 증가함에 따라서 커지는것은 고온일수록 비정질 실리콘층의 국부적인 상태결함으로 전자의 트래핑 현상이 더욱 증대되기 때문이다.

온도증가에 따른 히스테리시스특성 곡선중 순방향 특성 곡선의 턴-온 전압  $V_{gr}(on)$ 과 역방향 특성 곡선의 턴-온 전압  $V_{gr}(on)$ 을 비교하여 그림6에

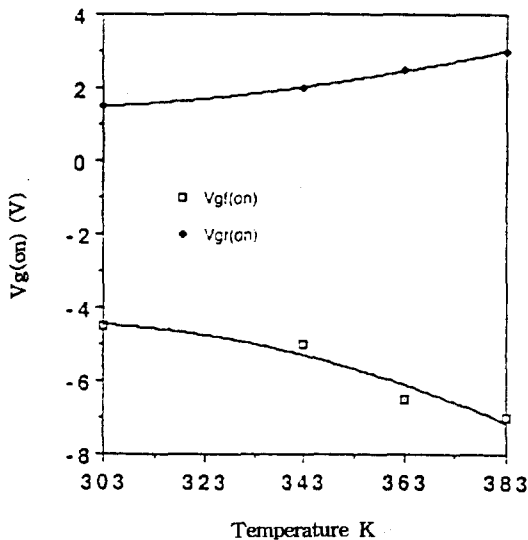


그림 6. 턴-온과 턴-오프 전압의 비교  
Fig 6. Comparison of turn-on and turn-off voltage

나타낸다.  $V_{gr}(on)$ 은 온도증가에 따라서 증가 하였으나  $V_{gr}(on)$ 은 온도증가에 따라서 감소함을 보였는데 303K-383K 범위에서  $\Delta V_{gr}(on)$ 은 1.5V 였고  $\Delta V_{gr}(on)$ 은 2.5V를 나타내서  $\Delta V_{gr}(on)$ 이 1V 크게 되었다. 이것은 비정질 실리콘층의 활성화 전자의 에너지가  $\Delta V_{gr}(on)$ 에서 더 크게 변화하게 되기 때문이다.

온도범위 303K-383K에서 히스테리시스특성을 나타내는 순방향 온전압  $V_{gr}(on)$ 과 역방향 온전압  $V_{gr}(on)$ 의 차이 곡선을 그림7에 나타낸다. 이는 히스테리시스 발생 시작전압이 되는데 온도가 증가할수록 히스테리시스 발생시작 전압은 거의 선형적으로 증가 됨을 나타내어서 일반적으로 반도체 특성에서 볼수 있는 온도에 대한 포지티브(positive)특성을 나타 내게 된다.

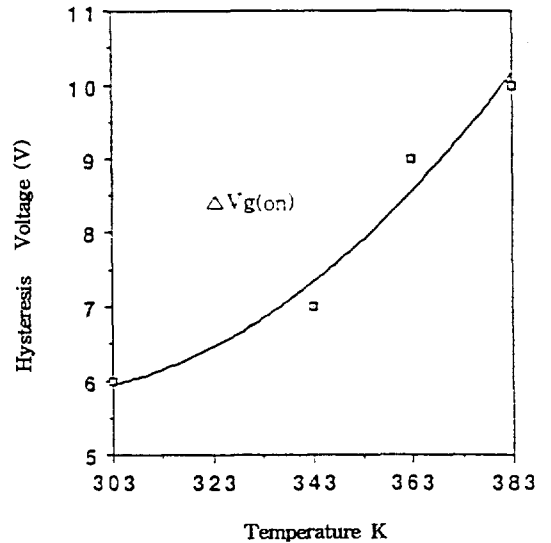


그림 7. 히스테리시스 발생 시작전압의 비교  
Fig 7. Comparison of hysteresis occurrence voltage

온도증가에 의한 히스테리시스 순방향 온-전류  $I_{dr}(on)$ 과 역방향 온-전류  $I_{dr}(on)$ 의 비교를 컴퓨터에 의한 polynomial curve fit하여 그림8에 나타내었다. 히스테리시스 순방향및 역방향의 온-전류 특성  $I_{dr}(on)$ 과  $I_{dr}(on)$  둘다 모두 온도증가에 따라서 비직선적으로 증가함을 보였고 높은 온도에서 활성화 전자가 더욱더 활성화 되기 때문에 고온에서  $I_d$ 의 차이는 더 크게 되었다.

순방향과 역방향의 온-오프 전압  $V_{gr}(on)$ ,  $V_{gr}(off)$ 을 서로 비교한 것을 그림9에 나타내는데 온도증가에 따라서 이들 전압은 선형적으로 약간의 감소를 보였고 이들 전압의 차이도 거의 변하지 않음을 보였다.

온도 영역 303K 부터 383K 까지 온도가 증가함

에 따른 히스테리시스 순방향전류  $I_d(on)$  과  $I_d(off)$  전류의 범위를 그림10에 나타낸다.  $I_d(on)$ ,  $I_d(off)$ 사이의 범위차는 낮은 온도에서 크게 나타났고 높은 온도에서 적게 되었고 저온인 303K에서  $I_d(on)$ 과  $I_d(off)$ 는 고온인 383K에서 보다도 적게 되었다. 이는 고온에서의 활성화 전자의 활성화로 인하여 전류는 높게 되나 비정질 실리콘의 국부적인 상태결함으로인한 활성화 전자의 전하축적 때문에 전류의 범위는 고온에서 적게 된다.

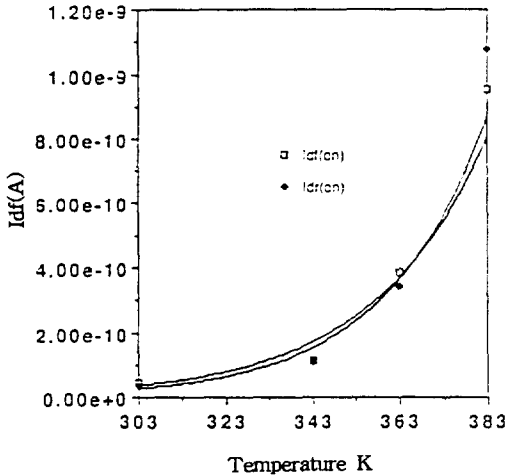


그림 8. 히스테리시스 턴-온 전류의 비교  
Fig 8. Comparison of hysteresis turn-on current

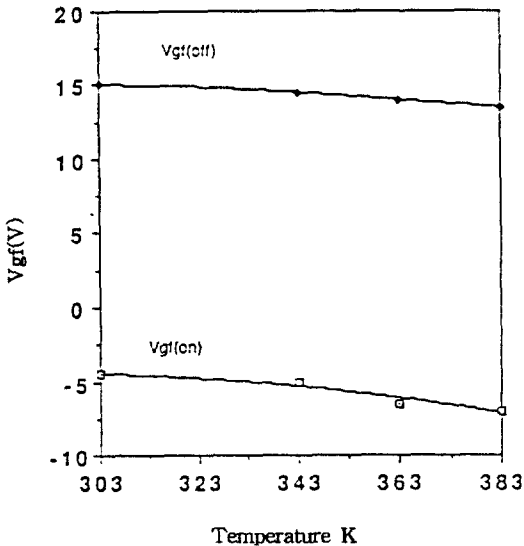


그림 9. 턴-온과 턴-오프 전압의 비교  
Fig 9. Comparison of turn-on and turn-off voltage

TFT 히스테리시스 전류  $I_d(on/off)$  비를 그림11에 나타내는데 303K에서 높게 되고 383K에서 낮

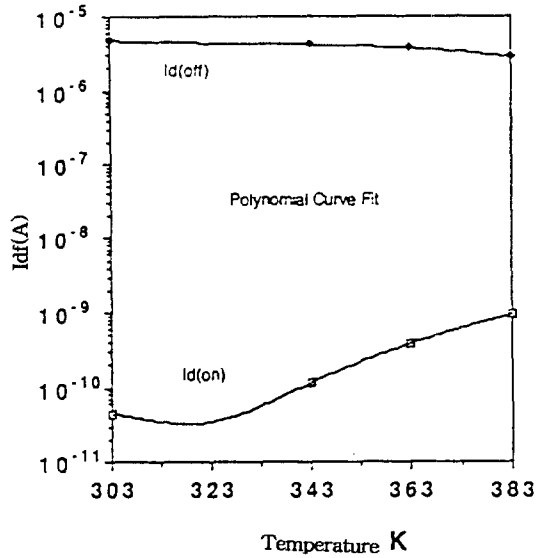


그림 10. 턴-온과 턴-오프 전류의 비교  
Fig 10. Comparison of turn-on and turn-off current

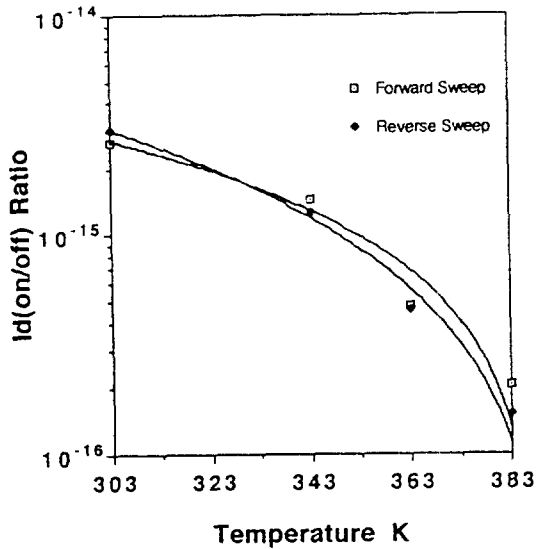


그림 11. 히스테리시스 발생 온-오프 비  
Fig 11. Hysteresis occurrence  $I_d(on/off)$  ratio

게 되어서  $I_d(on/off)$  비는 온도가 증가함에 따라서 적어지게 되어서 전형적인  $I_d(on/off)$ 특성과 같은 특성을 보였다.

#### 4. 결 론

본연구에서는 N-Type<100> Si 웨이퍼를 게이트로 한 Bottom 게이트 TFT를 제작 하여서 온도

의존성에 대해서 특성 측정하고 실험결과를 분석하였다. 게이트전압이 증가하고 온도가 증가함에 따라서 TFT 드레인 전류가 지수함수적으로 증가하였고  $V_g$ 와 온도가 감소함에 따라서 드레인 전류가 지수함수적으로 감소하였다. 이와같이 온도가 증가함에 따라서 TFT 드레인 전류가 지수함수적으로 변화되어서 드레인 전류의 히스테리시스 현상은 온도에 크게 의존함을 나타 내었다. 383K 이상의 고온에서 TFT의 순방향 히스테리시스 전류는 활성화 전류의 감소로 인하여 부성특성을 나타 내었으며, 303K 부터 383K 범위에서 역방향 전류는 TFT 전하축적으로 인한 시간지연 때문에 순방향 전류보다 턴온전압이 높고 턴오프 전압이 빠르게 되었다. 히스테리시스 발생 영역과 발생 전압은 고온으로 될수록 크게 되었으며, 순방향 턴-온 전압은 온도가 증가함에 따라서 증가하였고 활성화 전자의 에너지가 역방향시 크게 변화하여 역방향 온전압은 온도가 증가함에 따라서 비직선적으로 증가하였으며 고온에서 순방향 전류의 차이는 더욱 크게 되었다. 히스테리시스 특성을 나타내는 전류  $I_d(\text{on/off})$  비는 고온에서 낮았고 저온에서 높게 되었다. 온도가 증가함에 따라서 온-드레인 전류는 점진적으로 증가하였고 오프-전류는 약간의 감소를 보여서 온도가 증가함에 따라서  $I_d(\text{on})$ 과  $I_d(\text{off})$ 사이의 편차가 적어지게 되는 특성을 보였으며 온도와 관련한  $I_d(\text{on/off})$  비는 낮은 온도에서 크게 되었고 높은 온도에서 적게 되어서 전형적인 특성과 같게 되었다.

※ 본 연구는 서울대학교 반도체 공동연구소의 반도체분야 교육부 학술연구조성비(95-E-1034)에 의해 수행 되었음.

### 참 고 문 헌

1. T.Sunata, K.Miyake, M.Yasui, Y.Murakami, Y.Ugai, J.Tamamura and S.Aoki, "A 640x400 pixel active-matrix LCD using a-Si TFTs", IEEE Electron Devices, vol.ED-33, no.8, August 1986
2. C.H.Ling, C.Y.Kwok, K.Prasad, "Silicon nitride films prepared by plasma enhanced chemical vapour deposition of  $\text{SiH}_4/\text{NH}_3/\text{N}_2$  mixture "Japanese Journal of Applied Physics, vol.25 no.10, pp. 1490-1494, 1986
3. T.Toyabe, H.Masuda, Y.Kaneko, A.Sasano, H.Fukushima and T.Tsukada, "A two-dimensional numerical model of amorphous silicon thin-film transistors", IEEE International Electron Device Meeting, pp. 575-578, 1986
4. G.W.Neudeck, H.F.Bare and K.Y.Chung, "Modeling of ambipolar a-Si:H thin film transistor, "IEEE Trans.Electron Devices, vol. ED-34, no.2, pp. 344-349, Feb.1987
5. G.W.Neudeck, K.Y.Chung, H.F.Bare, "An accurate CAD model for the ambipolar a-Si:H TFT", IEEE Trans.Electron Devices, vol.ED-34, no.4, pp. 866-871, Apr.1987
6. T.Leroux, "Static and dynamic analysis of amorphous silicon field effect transistor", J.Appl.Phys.vol.29, no.1, pp.47-56, 1986
7. M.Shur, C.Hyun, "New high field effect mobility legimes of a-si:H TFT operation", Journal of the Applied Physics, vol.59, no.7, 1986
8. M.Shur, M.Hack, "Physics of amorphous silicon based alloy Field Effect Transistor", J.Appl.Phys.vol.55, no.10, pp.3831-3842, 1989
9. Woo-Sun Lee, G.W. Neudeck, Min-Koo Han, "Temperature Dependent  $I_D$ - $V_D$  Measurement and Analytical Model of Thin Film Transistor", Solid State Electronics, Vol.37, No.11, Nov. 1994
10. Woo-Sun Lee, G.W.Neudeck, "A Model for the temperature dependent I-V characteristics of a-Si:H Thin Film Transistor", IEEE, Trans.on Electron Devices, vol.38, no.9, Sept.1991.