

# 금속기판에서 재결정화된 규소 박막 트랜지스터

논 문
9-1-5

## Recrystallized Poly-Si TFTs on Metal Substrate

이 준신  
(Junshin Yi)

### ABSTRACT

Previously, crystallization of a-Si:H films on glass substrates were limited to anneal temperature below 600 °C, over 10 hours to avoid glass shrinkage. Our study indicates that the crystallization is strongly influenced by anneal temperature and weakly affected by anneal duration time. Because of the high temperature process and nonconducting substrate requirements for poly Si TFTs, the employed substrates were limited to quartz, sapphire, and oxidized Si wafer. We report on poly-Si TFT's using high temperature anneal on a-Si:H/Mo structures. The metal Mo substrate was stable enough to allow 1000 °C anneal.

A novel TFT fabrication was achieved by using part of the Mo substrate as drain and source ohmic contact electrode. The as-grown a-Si:H TFT was compared to anneal treated poly-Si TFT's. Defect induced trap states of TFT's were examined using the thermally stimulated current (TSC) method. In some case, the poly-Si grain boundaries were passivated by hydrogen. A Si:H and poly-Si TFT characteristics were investigated using an inverted staggered type TFT. The poly-Si films were achieved by various anneal techniques; isothermal, RTA, and excimer laser anneal. The TFT on as-grown a-Si:H exhibited a low field effect mobility, transconductance, and high gate threshold voltage. Some films were annealed at temperatures from 200 to 1000 °C. The TFT on poly-Si showed an improved  $I_{on}/I_{off}$  ratio of  $10^6$ , reduced gate threshold voltage, and increased field effect mobility by three orders. Inverter operation was examined to verify logic circuit application using the poly-Si TFTs.

**Key Words(중요용어)** : TFT(Thin Film Transistor);(박막 트랜지스터), Anneal(온도처리), a-Si:H (수소화된 비결정 규소), poly-Si (다결정 규소), Insulator (절연체)

### 1. 서 론

비정질 박막 규소는 박막 트랜지스터(TFT), 태양전지, 평면화면 표시기, 이미지 센서, 복사기, 신경 회로망 등에 그 응용 범위를 넓혀가고 있다. 비결정질 규소 박막 트랜지스터는(a-Si:H TFT) CdSe에 비해 대면적에 균질한 박막 성장이 용이하고 재현성이 높지만, 반송자 이동도가 높지 못해 액정화면 구동회로와 같은 주변기기를 지원할 만한 속도를 보이지 못한다. 반면에 다결정질 박막 트랜지스터는 (poly-Si TFT) 반송자 이동도가 높

아서 구동회로를 TFT 배열과 함께 하나의 기판 위에 모두 성장할 수 있어서 액정화면 생산비용을 절감할 수 있다.<sup>1)</sup> 다결정 박막을 만들기 위한 방법으로는 직접 다결정층 성장과 고체, 액체상태 등의 열처리를 통한 다결정화 방법이 있다. 유리기판 위에 성장된 a-Si:H층을 고체상태로 결정화하는 방법은 기판의 수축현상 때문에 온도 600°C 이하에서 10시간 이상 처리하는 제한적인 요소를 가지고 있다.<sup>2,3)</sup> 다결정화 연구결과에 따르면 a-Si:H film의 결정화는 열처리 온도에 크게 영향을 받으며 열처리 시간에는 작게 영향을 받았다.<sup>4,5)</sup> 다결정 규소를 직접 성장하기 위해서 기판의 온도는 고온 700°C이상 유지가 필요하다. 다결정 박막 트랜지스터의 기판재료는 고온처리와 절연특성 등을 만족시켜야하기 때문에 사용되는 기판은 단가가

\* : 성균관대학교 전기공학과  
접수일자 : 1995년 7월 11일  
심사완료 : 1995년 9월 11일

높은 quartz, 사파이어, 산화막을 성장한 단결정 규소 등이 사용된다.<sup>6,7,8)</sup>

본 연구는 낮은 온도에서 (250°C) 몰리브데니움 (Mo) 기판 위에 비결정 박막 규소를 성장하고 고온에서 처리해 다결정화한 후 박막 트랜지스터를 제작하였다. 금속기판 Mo는 1000°C의 고온처리에도 안정한 특성을 보여주었다.<sup>9)</sup> 몰리브데니움 기판을 드레인과 소스 전극으로 사용하는 새로운 TFT 제조공정을 개발하였다. 낮은 기판온도에서 증착한 박막 a-Si:H TFT는 고온 처리된 poly-Si TFT와 비교하였다. 열처리 처리 온도에 따른 물성적인 특성, 구조적, 광학적, 전기적 특성 변화를 규명하였다. 본 논문은 온도처리에 따른 전기적인 특성변화에 대한 결과이며 결정 구조적인 측면과 광 특성은 이미 보고하였다.<sup>10,11)</sup> 고온 처리로 다결정화된 입자계면은 수소화를 통하여 개선하였다.

## II. 실험 방법

비정질 박막 규소는 10cm x 20cm 크기의 Mo 기판 위에 DC 글로우 방전으로 싸이렌 가스를 분해하여 성장했다. 성장온도는 225°C에서 300°C 범위였고 성장속도는 약 0.1~0.5  $\mu\text{m}/\text{min}$  이었다. 진성 비정질 규소층을 성장하기 전에 고농도 도너 불순물을 함유한 n+ a-Si:H층을 양호한 접촉저항을 얻기 위해 20nm 두께로 성장시켰다. 금속기판 Mo 위에 성장된 a-Si:H은 Fourier Transform Infrared 스펙트럼, X-선 회절과, Raman 스펙트럼 등을 통하여 비정질 구조를 규명하였다. 고온처리 방법으로는 질소분위기, 진공상태, Rapid Thermal Anneal(RTA), Excimer Laser Anneal 등을 이용하였다. 각종 열처리를 통해 다결정화된 규소 박막 위에 절연물질층을 성장하고 게이트 전극으로 Al과 Au를 사용하였다. 금속 Mo 기판을 화학적으로 식각하여 트랜지스터의 드레인과 소스로 사용하는 새로운 TFT 제조 공정을 그림 1에 도시하였다. 박막 트랜지스터 드레인과 소스 사이에 증착된 n+ 층은 식각 속도가 결정구조와 무관한 Isotropic한 규소 식각용액에서 제거하였다. Inverted Staggered형 TFT의 특성은 소스와 채널간 그리고 드레인과 채널 사이의 직렬저항에 크게 영향을 받아서 규소 박막 두께는 0.5  $\mu\text{m}$  이하를 연구하였다.

본 연구에 사용된 절연물질은 진공 증착된 SiO<sub>2</sub>, RF Sputter성장된 SiO<sub>2</sub>, RF Magnetron Sputter 성장된 비결정질 Si<sub>3</sub>N<sub>4</sub>, BaTiO<sub>3</sub>, MgO 등이다. Denton DV-502 장치의 진공도를 1x10<sup>-7</sup> Torr 까

지 유지한 다음 산소 가스를 주입하여 진공도를 1x10<sup>-1</sup> Torr 되게 하여 SiO를 증착하였다. RF Sputter장치의 주파수는 13.56MHz이고, 주입 가스는 아르곤 가스를 사용하고 기판과 산화막 타겟의 거리를 5cm로 하여 성장시켰다. 절연물체 질적 특성을 조사하기 위하여 MIS(Metal Insulator Semiconductor) 구조 용량기에 대한 고주파수 C-V 측정과 Quasi-static C-V는 HP4280A 1MHz 와 Keithley 595를 이용하였다. 암 전류 특성을 보기 위한 MIM(Metal Insulator Metal) 구조의 전류-전압 특성은 Keithley 617과 Keithley 230을 사용하여 측정하였다.

TFT 특성에 영향을 미치는 요인에 대한 연구로서는 열처리 온도, 게이트 크기, 규소박막의 두께, 절연물질의 종류와 그 두께, 다결정질 입자 경계면의 분석과 수소화 영향을 연구하였다. 열처리 온도

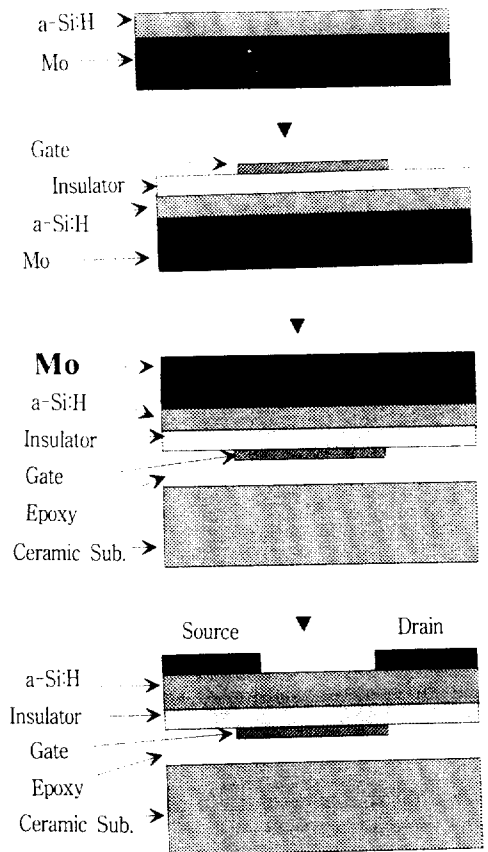


그림 1. 새로운 박막 트랜지스터 제작 방법 순서도.

Fig. 1. The fabrication procedure of a new inverted staggered type TFT.

범위는 200°C에서 1000°C까지 100°C씩 증가시켜가면서 그 영향을 살펴보았다. RTA 열처리에는 AG Associate Heat Pulse 210T를 사용하여 각 온도에서 2분간 하였다. 진공 상태 열처리에는 진공도를  $10^{-6}$ Torr 정도의 진공을 유지하는 석영관으로 밀봉된 캡슐 속에서 4시간동안 처리하였다. 질소분위기 속에서 열처리에는 Lindberg 51442 전기로를 이용해 각 온도에서 4 시간씩 처리했다. ArF Excimer Laser Anneal은 빔 크기가 4mm x 4mm이고 출력 전력을 90mJ에서부터 350 mJ까지 20mJ에서 30mJ 간격으로 증가하면서 행하였다. TFT 게이트 길이는 25 $\mu$ m에서 200 $\mu$ m 까지 변화하였고 게이트 폭은 500 $\mu$ m로 고정하였다. 절연물질의 두께에 대한 영향을 조사하기 위하여 산화막 두께를 50에서 1000 nm까지 변화시켜가며 특성을 살펴보았다. TFT의 전류-전압 특성은 HP4145B 반도체 변수 분석기와 컴퓨터 자료 수집장치로 측정하였다. 온도처리에 따른 TFT의 빛에 대한 반응도는 드레인과 소스 사이의 규소층에 빛을 조사하여 드레인 전류를 측정 비교하였다. 다결정 입자 경계면의 트랩은 Thermally Stimulated Capacitance (TSCAP)와 Thermally Stimulated Current (TSC)로 측정하여 조사하였다. 박막 트랜지스터의 온도를 액화 질소로 냉각시켜 트랩을 다수 반송자로 채운 다음 일정한 속도로 온도를 증가할 때 방출되는 반송자의 변화량인 용량성분이나 전류를 측정하였다. 온도를 일정한 속도로 증가시키기에 따라 전자와 정공의 트랩이 측정된다. 활성화 에너지는 충만대 또는 전도대로부터 트랩이 존재하는 곳까지의 에너지로 정의된다 ( $E=E_c-E_T$ ,  $\Delta E=E_c-E_T$ ). 트랩이 존재하는 온도가( $T_m$ ) 측정되면 활성화 에너지는 단순화한 식 (1)에서 구할 수 있으며  $\beta$ 는 온도 증가 속도에 의존하는 상수이고,  $K$ 는 볼츠만 상수이다.<sup>12)</sup>

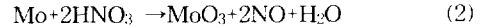
$$\Delta E = K T_m \ln (K T_m^4 / \beta) \quad (1)$$

RTA 장비로 850°C, 2 분간 열처리된 다결정질 규소를 수소화하여 다결정 입자 경계면 트랩을 줄이기 위한 연구에 사용하였다. 수소화 연구에 주요 변수는 수소화 시의 기판온도 (275-400 °C), 수소화 시간, 수소화시 플라즈마의 어떤 위치에서 최적의 상태를 보이는가를 조사하기 위해 RF 플라즈마 전극과 기판과의 거리를 변수로 하여 연구하였다.

### III. 결과와 고찰

화학적 식각은 H<sub>2</sub>SO<sub>4</sub>:HNO<sub>3</sub>:H<sub>2</sub>O를 1:1:3의 체적

비율로 만든 용액에서 하였다. 금속 Mo 기판의 식각은 질산용액이 식 (2)에 따라서 반응한다.<sup>13)</sup>



산화된 MoO<sub>3</sub>가 질산에 쉽게 식각되지 않으므로 황산을 첨가하여 금속 Mo 기판의 식각율을 증가시켰다. 위의 화학식각 용액은 과도 식각 시에 수평으로 식각 (undercut)되는 현상을 보여 인산과 질산을 혼합한 용액(H<sub>3</sub>PO<sub>4</sub>:HNO<sub>3</sub>:H<sub>2</sub>O 5:3:5) 사용하여 향상된 목표 식각 상을 얻었다.

박막트랜지스터 절연체의 질을 최적화하기 위하여 MIS Capacitor를 사용하였다. 산화막 SiO와 Si<sub>3</sub>N<sub>4</sub>는 정 고정전하가 존재하였고 상당히 높은 유동전하가 측정되었다. RF Sputter 성장된 SiO<sub>2</sub>는 고전력 RF 입력(>400Watt)으로 성장되면 부 고정전하가 관측되고, 저 전력 RF 입력(<200 Watt)에서 성장된 산화막은 정 고정전하가 관측되었다. 이 고정전하는 이중 산화막을 저, 고전력 RF 입력을 사용해 성장시켜서 서로 정, 부 고정전하를 보상할 수 있었다. 이중 구조를 가진 RF Sputter 된 SiO<sub>2</sub>를 이용한 MIS Capacitor Flatband 전압 이동 검사로부터 포획된 전하가 크게 줄었음을 알았다.<sup>14)</sup> 산소를 주입하여 진공 증착된 SiO를 절연체로 사용한 MIS 용량기에 대한 고주파와 Quasi-Static C-V 결과를 그림 2에 보였다. 계산된 계면상태 밀도는 약 10<sup>11</sup>에서 10<sup>12</sup> cm<sup>-2</sup>eV<sup>-1</sup>의 범위에 존재하였다.<sup>15)</sup> MIM 구조 용량기의 전류-전압 특성은 절연층의 단위 면적당 용량성분과 낮은 압 전류 특성을 규명하기 위함이다. 건식 열산화 절연층을 이용한 용량기가 가장 낮은 압 전류와 가장 높은 파괴전압 특성을 보였다. 그 다음으로 이중구조 RF 증착된 SiO<sub>2</sub>, 산소 가스를 주입하여 증착된 SiO 순이었으며 RF Magnetron Sputter로 성장된 절연체(Si<sub>3</sub>N<sub>4</sub>, BaTiO<sub>3</sub>, MgO)는 상대적으로 높은 압 전류 특성을 보여서 박막 트랜지스터 제작에는 RF Sputter 성장된 이중구조 산화막과 산소주입으로 증착된 산화막을 주로 사용하였다. 산화막 두께는 게이트 문턱전압과(V<sub>T</sub>) 단위 면적당 용량성분(C/A)에 영향을 미친다. 산화막 두께가 증가함에 따라 V<sub>T</sub>는 증가하였다. 산화막 두께가 50nm일 때 V<sub>T</sub>는 1.5V이고 산화막 두께가 800nm일 때에 V<sub>T</sub>는 10V로 증가하였다. 이는 박막트랜지스터의 산화막 두께가 박막 규소층의 두께, 박막규소의 결정구조, 게이트의 크기 등과 함께 스위칭 전압에 중요한 영향을 미치는 요소임을 보여준다.

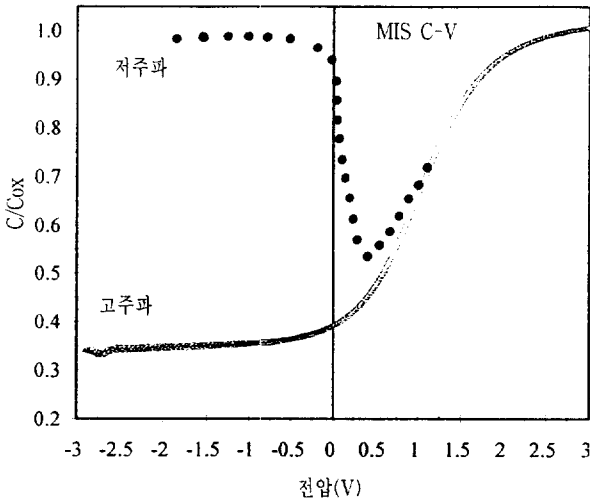


그림 2. MIS 용량기 고주파와 저주파 C-V 곡선.  
 Fig. 2. High and low frequency C-V characteristics for MIS.

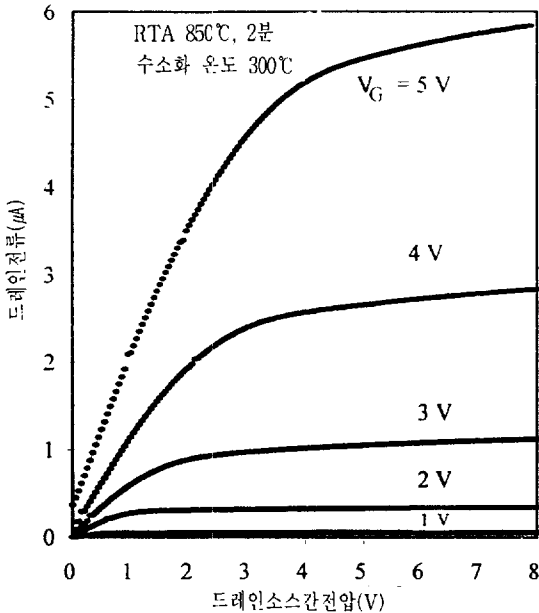


그림 3. 다결정질 규소 박막 두께 0.3 μm 트랜지스터의 전류-전압 특성 ( $I_d$ - $V_{ds}$ ).  
 Fig. 3. The  $I_d$ - $V_{ds}$  characteristics for the TFT using 0.3 μm thick poly-Si.

박막 규소층 두께가 얇아짐에 따라 게이트 문턱 전압 값은 줄어들었다. 새로운 방법으로 제작된 Inverted Staggered형 박막트랜지스터의 규소 박막 두께가 0.3μm에서 최적의 소자 출력특성을 보

였다. 그림 3은 규소 박막의 두께가 0.3μm 일 때의 출력으로서 규소층이 보다 얇거나 두꺼울 때 보다 향상된 드레인 전류( $I_d$ )와 전달 컨덕턴스( $g_m$ )를 보였다. 규소 박막층의 두께가 0.1μm 이하일 때 TFT의 출력이 저하하였다. 이는 Mo 기판의 표면이 균질하지 못한데서 기인한 것으로 사려된다. 규소 박막의 두께가 감소하면서 TFT의 드레인 전류, 전달 컨덕턴스, 전계효과 이동도가 낮아졌고, 드레인 전류의 급작스런 증가를 보이는 Kink Effect가 더욱 뚜렷이 관측되었다.

열처리 온도에 의하여 변화하는 결정구조에 따른 박막 트랜지스터의 출력 특성을 조사하기 위하여 산화막 두께를 250nm으로 고정시키고 게이트 크기도 고정하였다. 열처리하지 않은 a-Si:H 박막 트랜지스터의 전계효과 이동도가  $1.6 \times 10^{-3} \text{ cm}^2/\text{V} \cdot \text{s}$  이고 상대적으로 높은 게이트 문턱 전압 값인 12V 그리고 TFT 동작시와 부 동작시 전류비율인  $I_{on}/I_{off}$ 가 낮은 10 정도를 보였다. RTA 600°C에서 2 분간 열처리한 TFT의 출력특성은 드레인 전류의 포화특성과 개선된 전달 컨덕턴스, 게이트 문턱 전압 값이 낮아짐을 보였다. TFT 소

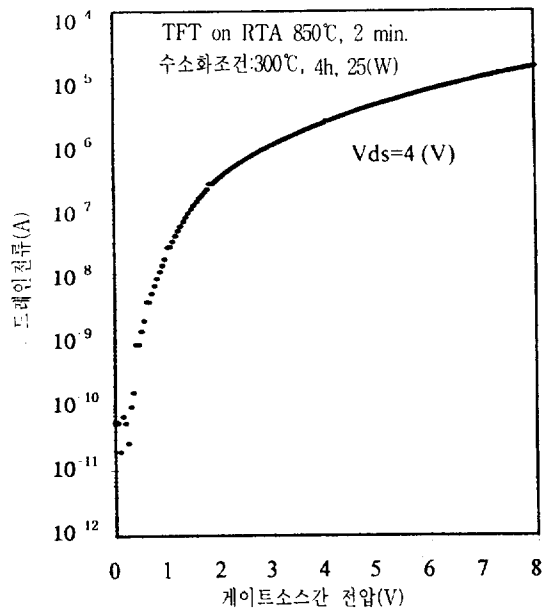


그림 4. 다결정 규소 박막을 RF 플라즈마 300°C에서 4시간 수소화한 후 게이트 전달 특성 ( $I_d$ - $V_g$ ).

Fig. 4. The transfer characteristics for the TFT using poly-Si treated with RTA 850 °C, 2min. and RF rehydrogenated at 300 °C, 4 h.

자의 응답은 700°C 이상에서 열처리된 후 더욱 개선된 높은 동작시 전류, 낮은 부 동작시 전류를 보였다. RTA 850°C, 2 분간 열처리된 TFT의  $I_{on}/I_{off}$  비율을  $10^5$  정도이고 수소화로 개선된 게이트 전달 특성을 그림 4에 보였다. 제작된 TFT의 전류-전압 특성과( $I_d-V_d$ ) 게이트 전달특성( $I_d-V_g$ )을 암 상태와 빛 조사시에 전류 변화량을 비교함으로써 광 민감도를 측정하였다. 그림 5는 RTA 600°C, 2분간 열처리된 TFT의  $I_d-V_g$  특성을 다양한 빛 세기에서 보여준다. 드레인 전류의 암과 조사시의 비율이( $I_{light}/I_{dark}$ ) 비정질인 경우 31이며, 600°C 열처리 후에는 3.6으로 줄어들었으며, 850°C 열처리된 시료에서는 1.3으로 감소하였다. 광 반응 비율 결과로부터 a-Si:H TFT는 빛에 민감하여 빛을 차단하는 층이 필요하며 다결정 Poly-Si TFT는 광 반응도가 낮아 차단층이 필요없음을 보여준다.

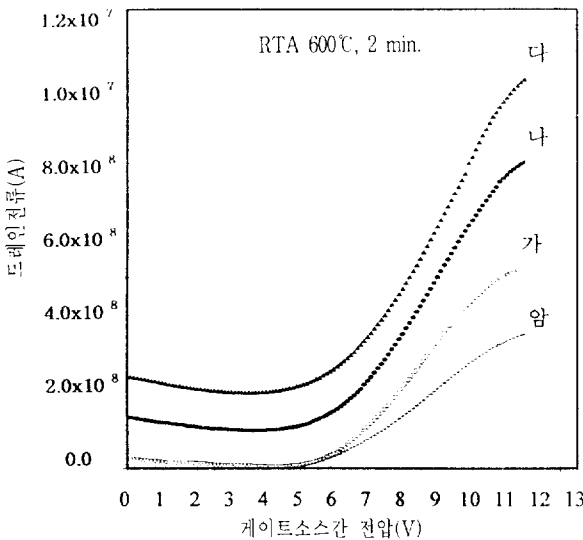


그림 5. RTA 600°C 열처리 처리된 TFT의 암, 빛 조사시 게이트 전달 특성 (빛의 세기: 가=100, 나=250, 다=330mW/cm<sup>2</sup>).

Fig. 5. The transfer characteristics for the TFT in light and dark on RTA 600 °C, 2 min. annealed Si (Intensity: Ga=100, Na=250, Da=330mW/cm<sup>2</sup>).

TSCAP 실험결과는 온도에 의한 용량성분의 완만한 증가로 결과분석에 어려운 점이 있었다. TSC는 전류의 변화량을 측정하기 때문에 트랩에서 정공이 방출되면 양전류 곡선을 그리고 전자가 방출되면 음전류 곡선을 형성하여 트랩이 존재하

는 온도를 규명하기가 쉬웠다. 비정질이 가지고 있는 전자와 정공 트랩과 다양한 온도처리 후 다결정질 입자에 의해서 생성되는 트랩에 대한 변화를 TSC로 측정하여 표 1에 정리하였다. 진성 a-Si:H 일 때 전자와 정공 각각 1개의 트랩이 확인되었다. 그림 6에 RTA 700 °C에서 2 분간 열처리된 다결정질 TFT에서 증가된 전자와 정공 트랩을 보여준다. 비정질에서 보이지 않았던 전자 트랩이 활성화 에너지 0.18, 0.25, 0.27 eV 상태가 열처리 후에 증가하였다. 열처리 온도 850°C 이상으로 고온 처리된 박막 규소는 정공 트랩이 주된 트랩이었다.

표 1. TSC로 측정된 트랩 형태와 활성화 에너지.

Table 1. Trap Type and Activation Energy from TSC Study.

Anneal (°C)	Tm (K)	Trap Type	△E(eV)
As grown	T <sub>tr1</sub> =345	정공	0.45
a-Si:H 600	T <sub>tr1</sub> =370	전자	0.49
	T <sub>tr1</sub> =330	정공	0.42
700	T <sub>tr1</sub> =370	전자	0.49
	T <sub>tr1</sub> =170	전자	0.18
	T <sub>tr2</sub> =200	정공	0.22
	T <sub>tr2</sub> =225	전자	0.25
	T <sub>tr2</sub> =235	전자	0.27
850	T <sub>tr1</sub> =370	전자	0.49
	T <sub>tr1</sub> =370	정공	0.49
850+수소화	T <sub>tr1</sub> =370	정공	0.49

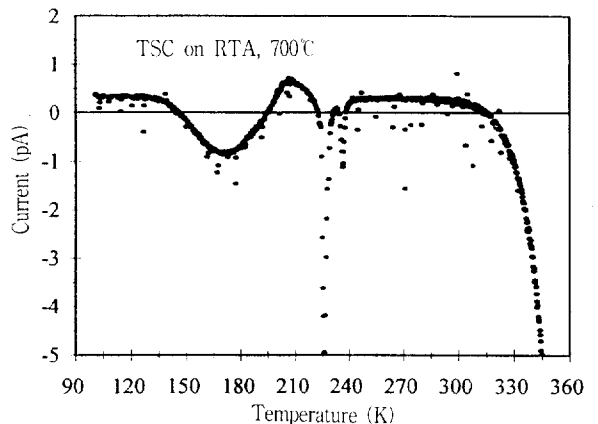


그림 6. RTA 700°C, 2 분 처리된 TFT의 TSC 결과.

Fig. 6. TSC result for the TFT after RTA at 700 °C, 2 minutes.

이런 다결정질 규소의 트랩을 줄이기 위해 수소화 연구에 RTA 850°C에서 2 분간 처리된 시료를 사용하였다. RF 플라즈마 수소화시 기판의 온도가 275°C에서 350°C일 때 TFT의 전달 컨덕턴스와 전계효과 이동도가 개선되었다. RF 플라즈마 수소화시 가장 최적의 기판온도는 300°C 이었다. 수소화하는 시간에 대한 영향을 30분에서 8시간까지 30에서 60 분 간격으로 조사한 결과 수소화 시간이 6 시간에서 최적의 TFT 출력특성을 보였다. 수소화시 시편이 플라즈마가 생성된 내부에 잠기는 진극과 기판의 간격이 1.2cm 일 때 가장 좋은 수소화 특성을 보였다.

열처리 방법상으로 크게 고체상태 열처리인 RTA, 질소분위기, 진공상태에서 열처리와 액체상태로 다결정화하는 Laser Anneal을 하였다. 진공상태와 질소 분위기에서의 열처리 온도와 시간이 동일하여 결정구조상의 결과는 유사하였으나 TFT의 전기적인 특성은 진공상태에서 열처리된 시료가 보다 좋은 소자출력특성을 보였다. 이는 질소분위기 열처리시 공기 중에 잔류한 불순물이 작용하여 박막의 전기적인 특성을 악화시킨 것으로 분석된다. Laser에너지 130mJ이하의 Anneal에서는 비정질에 가까운 결과를 보였고, 에너지가 130mJ에서 270mJ까지는 출력특성에 약간의 개선이 있었다. 에너지가 270mJ 이상에서는 규소 박막 표면에 심한 손상으로 출력특성이 현저히 저하하였다. Laser Anneal 방법은 표면이 산화하거나 손상 입는 것을 방지하기 위하여 비정질 규소층 위에 보호막을 증착하고, 진공상태 또는 아르곤과 같은 안정한 가스 분위기에서 다결정화하는 것을 권유한다. 고온처리에 따른 TFT 출력특성과 연관된 변수들을 표2에 정리하였다. 열처리 온도가 600°C이상 처리될 때 비정질이 다결정화하기 시작함에 따라 전달 컨덕턴스가 증가하였고 TFT의 드레인 포화전류가 되기 시작하는 드레인과 소스간의 전압이 낮아졌다. 다결정질 규소를 수소화시킨 후에는 전달 컨덕턴스와 전계효과 이동도가 개선됨을 보였다. 전달 컨덕턴스로부터 계산된 전계효과 이동도는 그림 7에서 열처리에 의한 변화량을 보였다. 이동도는 온도가 600°C이하에서 약  $10^{-3} \text{ cm}^2/\text{V}\cdot\text{s}$ 에서부터 700°C이상의 고온처리 후에는 3차수 이상 증가하여 최고  $67 \text{ cm}^2/\text{V}\cdot\text{s}$  까지 개선되었다.

제작된 박막 트랜지스터의 인버터 스위칭 특성은 게이트 전달특성( $V_T$ ), 드레인 저항 ( $R_d$ ), 열처리 온도, 수소화 등에 의하여 크게 영향을 받았다. 산화막 두께가 증가함에 따라 인버터 스위칭 전압은 증가하였다. 드레인 저항  $R_d$ 는 TFT의 부 동작

표 II. 열처리 온도 영향에 대한 결과.

Table II. A Summary of the Anneal Temperature Effect.

온도 처리 형태	온도 (°C)	W/L ( $\mu\text{m}$ )	C/A (F/cm)	$V_{ds}$ (V)	$g_m$ (moh)	$\mu_{FE}$ ( $\text{cm}^2/\text{V}\cdot\text{s}$ )
RTA	비정질	500/114	$1.2 \times 10^{-8}$	25	$1.6 \times 10^{-9}$	$1.6 \times 10^{-3}$
	400	500/200	$1.3 \times 10^{-8}$	15	$18.3 \times 10^{-9}$	$39.0 \times 10^{-3}$
	600	500/200	$1.2 \times 10^{-8}$	6	$7.0 \times 10^{-9}$	$22.7 \times 10^{-3}$
	850	500/200	$1.9 \times 10^{-8}$	6	$2.0 \times 10^{-6}$	3.6
	850 수소화	500/200	$1.9 \times 10^{-8}$	5	$4.5 \times 10^{-6}$	19.4
진공	200	500/200	$1.6 \times 10^{-8}$	12	$7.0 \times 10^{-10}$	$2.2 \times 10^{-3}$
	400	500/200	$1.9 \times 10^{-8}$	8	$1.1 \times 10^{-9}$	$2.9 \times 10^{-3}$
	600	500/200	$1.9 \times 10^{-8}$	4	$3.0 \times 10^{-10}$	$8.1 \times 10^{-3}$
	700	500/200	$1.9 \times 10^{-8}$	5	$9.0 \times 10^{-6}$	24.3

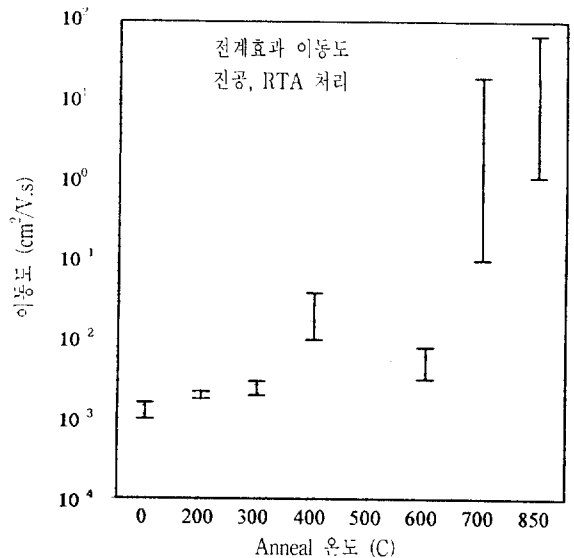


그림 7. 어닐링 온도에 따른 전계효과 이동도.

Fig. 7. The field effect mobility of the TFT as a function of anneal temperature.

시의 저항 성분보다 작고 동작시의 저항보다 크게 잡아주었다. 일반적으로, 인버터의 스위칭 특성은  $R_d$ 가 클 경우에 급격한 스위칭 특성을 보이고  $R_d$

가 작을 경우에 완만한 특성을 보인다. 그림 8에서 다결정질 규소 박막 트랜지스터는 산화막 두께가 250nm일 때 게이트 전압 5V 이하에서 쉽게 사용 가능함을 보여준다. 수소화 처리를 한 후에 인버터를 구성한 TFT는 매우 급격한 ON과 OFF 스위칭 특성으로 향상되었다. 인버터의 스위칭 전압은 게이트 문턱 값과 마찬가지로 열처리 온도 증가, 절연막 두께 감소, 게이트 길이를 감소시킴에 따라 낮아졌다.

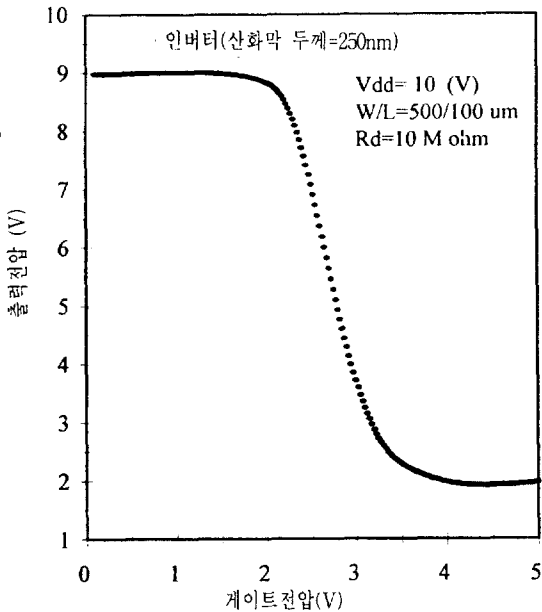


그림 8. 산화막 두께가 250nm인 다결정 규소 박막 트랜지스터 인버터의 특성.

Fig. 8. The performance of the poly-Si TFT inverter with 250 nm-thick oxide.

#### IV. 결 론

금속 기판 Mo 위에서 증착된 a-Si:H과 다양한 열처리 후의 물성적 특성과 TFT 응용을 고찰하여 개선된 소자특성을 규명하였다. Mo 기판을 TFT의 소스와 드레인으로 사용하여 새로운 Inverted Staggered형 박막 트랜지스터를 제작하여 비정질과 다결정질의 특성을 연구하였다. 열처리된 Sample은 600°C이상에서 다결정화 됨을 보였고, 850°C에서 고온 처리된 다결정박막을 이용한 트랜지스터는 출력특성이 개선됨을 보였다. 기존에 접합 계면에 트랩 분석에만 사용되던 TSC 방법을 진성 규소 박막 트랜지스터의 트랩상태 변화를 관

찰하여 열처리에 따른 변화를 관찰하였다. TSC 결과분석에서 단순화된 식으로 활성화 에너지를 구하였지만 다양한 열처리 후에 변화하는 트랩상태를 비교하는 데는 효율적인 측정 방법이었다. 비정질과 다결정질을 이용한 TFT 출력 특성에 영향을 미치는 절연층, 규소층, TFT 게이트 크기 등과 수소화 처리 등의 요인들을 분석하여 개선된 소자 제작에 최적화 조건을 구하였다. 다결정 TFT의 이동도가 67 cm<sup>2</sup>/V·s을 보였고 Ion/Ioff 비율을 10<sup>6</sup> 까지 달성하였다. 본 연구에서 제작한 TFT는 평면화면의 능동소자 배열에는 쉽게 응용될 수 있으나 구동회로를 집적하기 위해선 Mo 기판 위에 p+층과 n+층을 선별하여 성장하고 열처리한 후 구동회로의 기본이 되는 보상형 트랜지스터(CMOS형)를 구성하기 위한 공정에 대한 연구가 필요하다.

#### 참 고 문 헌

1. T. King and K. C. Saraswat, "Low-Temperature Fabrication of Poly-Si Thin Film Transistors", IEEE Electron Device Lett., Vol. 13, p. 309, 1992.
2. W. Czubyti, D. Beglau, G. Wicker, D. Jablonski, and S. Guha, "Low Temperature Polycrystalline-silicon TFT on 7059 Glass", IEEE Electron Device Lett., Vol. 10, p. 349, 1989.
3. R. K. Watts and J. T. C. Lee, "Tenth-Micron Polysilicon Thin Film Transistor", IEEE Electron Device Lett., Vol. 14, p. 515, 1993.
4. J. Yi, R. Wallace, and W. A. Anderson, "Crystallized Amorphous Silicon for Low-cost Solar Cells", Solar Cells, Vol. 30, p. 403, 1991.
5. J. Yi, R. Wallace, J. Palmer, and W. A. Anderson, "Thin Film Amorphous and Microcrystalline Si for Solar Cells", Solar Energy Materials and Solar Cells, Vol. 33, p. 145, 1994.
6. H. Zhang, N. Kusumoto, T. Inushima, and S. Yamazaki, "KrF Excimer Laser Annealed TFT with Very High Field-Effect Mobility of 239 cm<sup>2</sup>/V.s", IEEE Electron Device Lett., Vol. 13, p. 297, 1992.
7. J. H. Whang, M. S. Jin, V. H. Ovguz, and S. H. Lee, "N-channel Metal-Oxide-

- Semiconductor Transistors Fabricated in a Silicon Film Bonded onto Sapphire", Appl. Phys. Lett., Vol. 66, p. 724, 1994.
8. C. T. Liu and K. H. Lee, "High-Performance Submicrometer Undegraded Thin Film Transistors without High-Temperature Rapid Thermal Annealing or Plasma Hydrogenation", IEEE Electron Device Lett., Vol. 14, p. 383, 1993.
  9. J. Yi, "Properties and Applications of Thin Film Amorphous and Microcrystalline (Poly) Silicon", Ph. D Dissertation at State University of New York, p. 157, 1994.
  10. J. Yi, R. Wallace, and W. A. Anderson, "Amorphous and Microcrystalline Silicon for Photovoltaic Application", The 23rd IEEE Photovoltaic Specialists Proc., p. 977, 1993
  11. J. Yi R. Wallace, B. Jaganathan, X. Gu, K. Etimadi, and W. A. Anderson, "An Analysis of Thin Film Silicon for Photovoltaic Energy Conversion", First World Conference on Photovoltaic Energy Conversion, p, 1571, 1994.
  12. M. G. Buehler and W. E. Philips, "A Study of the Gold Acceptor in a Silicon p+n Junction and an n-type MOS Capacitor by Thermally Stimulated Current and Capacitance Measurements", Solid-State Electron, 19, p. 777, 1976.
  13. L. Gmelin, Gmelin Handbuch der Anorganischem Chemie, Springer Verlag, New York, Vol. 1925, p. 188, 1983.
  14. J. Yi, R. Wallace, and W. A. Anderson, "Amorphous Silicon Crystallization for TFT Application", Mat. Res. Soc. Proc., Vol. 321, p. 695, 1993.
  15. D. K. Schroder, "Semiconductor Metal and Device Characterization", John Wiley & Sons Inc., New York, p. 269, 1990.

#### 저자소개



#### 이준신

1962년 12월 7일생. 1989년 성균관대학교 전기공학과 졸업. 1991년 뉴욕주립대학교 전기전자공학과 졸업(석사). 1994년 동 대학원 전기전자공학과 졸업(박사). 현재 성균관대학교 전기공학과 조교수.