

## 실리콘 질화막의 산화

논문
7-3-7

### The Oxidation of Silicon Nitride Layer

정 양 회\*, 이 영 선\*\*, 박 영 곽\*  
(Yang-hui Chung, Young-sun Lee, Young-guol Park)

#### Abstract

The multi-dielectric layer  $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$  (ONO) is used to improve charge retention and to scale down the memory device. The nitride layer of MNOS device is oxidize to form ONO system. During the oxidation of the nitride layer, the change of thickness of nitride layer and generation of interface state between nitride layer and top oxide layer occur.

In this paper, effects of oxidation of the nitride layer is studied. The decreases of the nitride layer due to oxidation and trapping characteristics of interface state of multi-layer dielectric film are investigated through the C-V measurement and F-N tunneling injection experiment using SONOS capacitor structure.

Based on the experimental results, carrier trapping model for maximum flatband voltage shift of multi-layer dielectric film is proposed and compared with experimental data. As a results of curve-fitting, interface trap density between the top oxide and layer is determined as being  $5 \times 10^{11} \sim 2 \times 10^{12} [\text{eV}^{-1} \text{cm}^2]$ .

**Key Words(중요용어)** : Memory device(기억장치), Nitride layer(질화층), Top oxide layer(상층산화막), Interface trap(계면트랩).

#### I. 서 론

기억소자의 전하보유 능력을 향상시키고 scale down을 도모할 수 있는 게이트 절연막으로  $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$  구조의 다층절연막이 각광을 받고 있다.<sup>1-5)</sup> ONO 막을 형성함에 있어 MNOS 소자의 질화막을 산화하게 되는데 이 산화로 인하여 질화막의 두께가 변하고 상층산화막과 질화막 사이에 새로이 계면트랩이 생성되고 이것이 새로운 memory site로 작용한다.<sup>6,7)</sup> 본 연구에서는 질화막을 산화함으로써 생기는 여러 효과를 조사하였다. 산화 시간과 생성 산화막의 두께의 관계, 산화로 인한 질화막 두께의 감소를 측정하였으며 산화로 인하여 생성되는 계면트랩은 C-V 측정과 Fowler-Nordheim 주입실험을 통하여 추정하였다. 측정된

flatband 변화를 설명할 수 있는 model을 세우고 이 model을 이용하여 계산된 flatband 변화를 실험치와 비교함으로써 상층산화막과 질화막에 생성되는 계면트랩 밀도를 추정할 수 있다.

#### II. 시료 제작

본 실험에서는 비저항이  $12 \sim 25 \Omega \cdot \text{cm}$ 이고 결정면이 (100)인 p 형실리콘 웨이퍼를 사용하여  $775^\circ\text{C}$ 에서 10분동안 산화하여 약 13Å 두께의 하층산화막을 성장시켰다. 성장한 하층산화막위에 압력과 온도를 각각 45 Pa,  $715^\circ\text{C}$ 로 하고  $\text{SiH}_2\text{Cl}_2/\text{NH}_3$ 를 15대 150CC의 조건에서 LPCVD로 질화막을 성장시키고 그위에 상층산화막을 건식 산화 방법으로 제작하였다. 상층산화막의 두께는 10, 20, 28, 35Å으로 성장시켰다. 다층 절연막(ONO)의 각 절연체의 두께는 엘립소미터 및 Prometrics사의 FT-750을 이용하여 측정하였고 습식각(1:99 HF) 방법에 의하여 상층산화막 및 질화막의 두께를 확인하였다.

\* : 인하대학교 전자재료공학과

\*\* : 울산공업전문대학

접수일자 : 1993년 7월 30일

심사완료 : 1994년 1월 3일

### III. 결과 및 논의

#### III-1. 질화막의 산화

MNOS의 질화막위에 상층산화막을 900℃, O<sub>2</sub> 15ℓ로 건식 산화 할때 상층산화막 두께와 산화 시간과의 관계를 구한 결과가 그림 1 이다. 그림 1 에 따르면 산화 시간에 따라 일정한 비율로 산화막이 형성됨을 알 수 있다.

일반적으로 질화막을 산화시키면 산화시 주입된 O<sub>2</sub>와 질화막의 Si의 반응에 의하여 초기 질화막의 두께가 감소하게 된다. 상층산화막 형성시 질화막과 상층산화막 두께의 관계를 그림으로 표시하면 그림 2와 같다. 질화막이 70Å인 시료에 상층산화

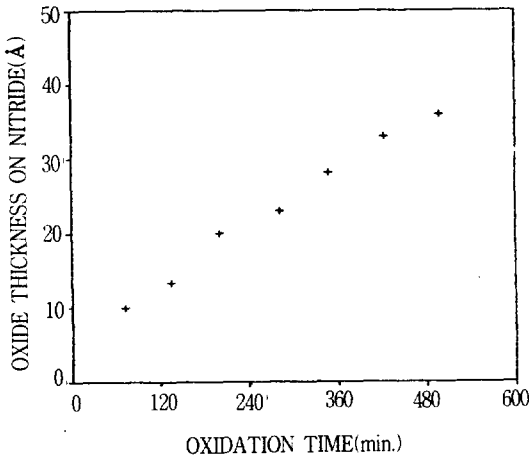


그림 1 산화시간 대 상층산화막의 두께 (산화는 900℃에서 행해졌음)

Fig. 1 Top-oxide thickness vs oxidation time. (The oxidation was carried out at 900 °C).

막 20Å을 성장시킨 경우 엘립소미터를 이용하여 Reflectance index(Ri)를 1.460으로 하여 film 두께를 측정하고 1:99 HF에서 10sec씩 식각하여 etch 후의 film 두께를 반복 측정한다. 반복측정한 data는 그림 3과 같다. 그림 3에서 10sec씩 식각을 여러번 반복 했을 때 포화되므로 산화층의 두께는 19~20Å임을 알 수 있다.

이와같은 방법으로 70Å의 질화막위에 상층산화막을 10, 20, 28, 35Å으로 성장시킨 후 전체의 두께를 측정하여 얻은 최종질화막의 두께를 측정 한 결과가 그림 4이다. 측정결과에 의하면 질화층을 산화할 때 변질된 질화층과 산화층의 비는 2 : 3이 된다. 이것을 이용하면 질화층의 두께에 대한 실험식은 식 (1)와 같이 표현된다.

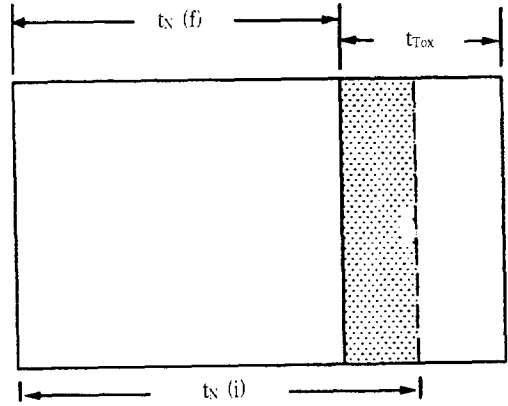


그림 2 산화로 인해 변한 질화층의 두께와 상층산화막의 두께의 관계

Fig. 2 Relation of top oxide and nitride thickness converted by oxidation.

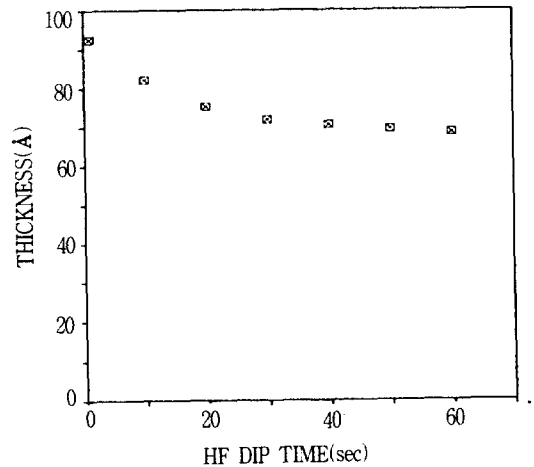


그림 3 상층산화막의 두께 20Å의 측정치

Fig. 3 Measurement data of top oxide thickness 20Å.

$$t_N(f) = t_N(i) - \frac{2}{3} \cdot t_{Tox} \quad (1)$$

$t_N(f)$  : final nitride thickness

$t_N(i)$  : initial nitride thickness

$t_{Tox}$  : top oxide thickness

그림 4에는 실험식 (1)에서 얻은 질화막의 두께도 같이 표시되고 있으며 실험치와 잘 일치함을 볼 수 있다.

#### III-2. 다층절연막 (ONO)에서의 트랩 모델

질화막을 산화하면 얇은 질화막의 표면지역은

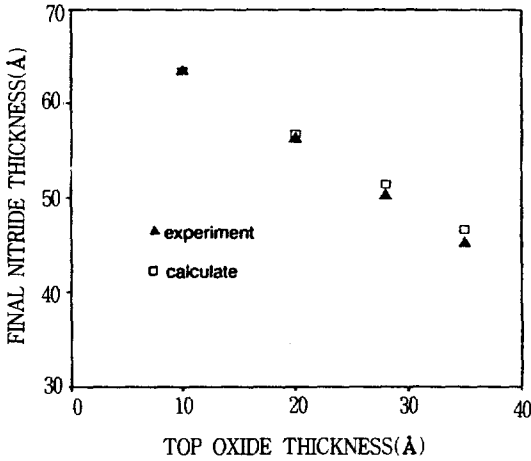


그림 4 상층산화막을 입혔을 때의 질화층의 최종 두께의 측정치

Fig. 4 Experimental data for measurement of final nitride thickness after top oxidation.

산화막으로 변화된다. 이로 인해 상층산화막과 질화막 계면에는 많은 수의 계면트랩이 생성되고 이들 트랩은 축소된 SONOS 구조의 메모리 트랩 구실을 하게 된다.

다층절연막에서 캐리어 트래핑은 질화막의 트랩과 상층산화막과 질화막의 계면 트랩(top SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>)에서 주도적으로 일어나므로 축소된 SONOS 구조는 질화막 두께가 줄어들어도 불구하고 메모리 효과는 커지는 것으로 나타난다.

질화막을 산화하면 질화층의 일부가 산화막으로 변한다. 산화로 인해 변질된 질화층의 초기 질화층에 대한 부피의 비를  $\gamma$ 라 하고 변질된 질화층과 전 산화층의 부피의 비를  $\alpha$ 라 하면 다음식이 성립한다.

$$\alpha = \frac{t_{ox}}{\gamma t_N} \quad (2)$$

연속적인 식각과 그에 따른 두께 측정을 통해서  $\alpha$ 의 값 1.5를 결정할 수 있다.

질화막에 트랩된 캐리어들이 막내에 고르게 분포하고 계면트랩에 트랩된 캐리어들이 질화막과 상층산화막 사이 계면에 분포한다고 가정하면 질화막과 상층산화막의 캐리어 분포는 그림 5와 같다.

그림 5에서 Q1은 상층산화막과 질화막 사이의 계면에 트랩된 캐리어이며 Q2는 질화막에 트랩된 캐리어이고 Q3는 하층산화막과 질화막 사이의 계면에 트랩된 캐리어이다. F-N 주입으로 다층절연

막의 모든 트랩들이 점유되었을 때 최대 flatband voltage shift( $\Delta V_{FBmax}$ )는 다음 식으로 표시된다.

$$\begin{aligned} \Delta V_{FBmax} &= \frac{1}{\epsilon_N} [Q_1 X_1 + Q_2 X_2 + Q_3 X_3] \\ &= \frac{1}{\epsilon_N} [N_{on} q E_g \beta t_{ox1} + N_t q (1 - \gamma) t_N \{ t_{ox1} + (1 - \gamma) t_N / 2 \} + N_{bon} q E_g \beta \{ t_{ox1} + (1 - \gamma) t_N \}] \\ &= \frac{1}{\epsilon_N} [N_{on} q t_N E_g \alpha \beta \gamma + N_t q (1 - \gamma) t_N \{ \alpha \gamma t_N + (1 - \gamma) t_N / 2 \} + N_{bon} q t_N E_g \{ \alpha \beta \gamma + (1 - \gamma) \}] \quad (3) \end{aligned}$$

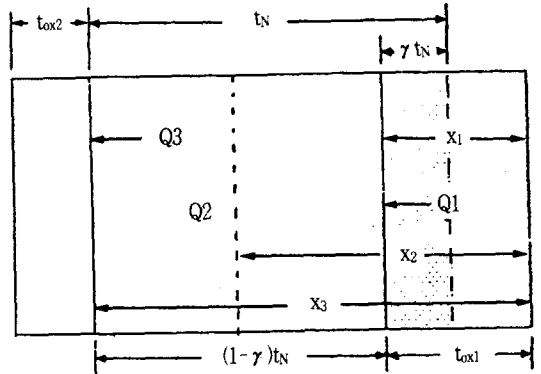


그림 5 질화층과 상층산화막에 트랩된 전하의 분포

Fig. 5 Distribution of carriers trapped at nitride and top oxide interface trap.

여기서

- $t_N$  : nitride thickness
- $t_{ox1}$  : top oxide thickness
- $\epsilon_N$  : nitride permittivity
- $\alpha$  : the volume ratio of the oxide to the nitride converted by oxidation
- $\gamma$  : the fraction of nitride converted by oxidation
- $\beta$  : the ratio of dielectric constant of the nitride to that of the oxide
- $N_t$  : the concentration of the traps assumed to be uniformly distributed in the thin nitride
- $N_{on}$  : the density of the traps assumed to be created at the top-oxide-nitride interface

- $N_{\text{bon}}$  : the density of the traps assumed to be created at the bottom-oxide-nitride interface
- $q$  : electric charge
- $E_g$  : energy band gap of nitride

식 (3)에서 처음 질화층이 45, 55, 63Å인 막에 대해서 계면트랩 밀도를 parameter로 하여 최대 flatband 변화를  $\gamma$ 의 함수로써 나타낸 것이 그림 6, 7, 8이다.

여기서  $\beta=2$ 이며 질화막에 트랩되는 전하밀도는 상층 산화막이 없는 MNOS 소자에서 일반적으로 알려져 있는 트랩밀도  $N_t = 4 \times 10^{18} [\text{cm}^{-3}]$ 로 취하였다.<sup>8)</sup> 그림 6~8에서 실선은 식 (3)에서 생성된 트랩밀도  $N_{\text{on}}$ 을 표시된 값으로 취할때 계산된 최대 flatband 전압 변화량이고 \*는 실험에서 얻은 값이다.  $N_{\text{on}}$ 이 0인 경우의 실선은 상층 산화막과 질화막의 계면에 트랩이 생성되지 않는 경우를 나타낸 것이다. 그림에서 보면 계면트랩 밀도가  $N_{\text{on}} = 5 \times 10^{11} \sim 2 \times 10^{12} [\text{eV}^{-1} \text{cm}^{-2}]$ 의 범위에 분포한다고 보면 측정치와 계산치가 거의 일치한다. 이 값은 quasi C-V에서 측정된 계면트랩 밀도와 거의 일치한다.<sup>9)</sup> 산화로 인해 변질된 질화막의 비  $\gamma$  값이 커짐에 따라 메모리 효율은 증대되며  $\gamma$  값이 커질수록 상층산화막과 질화막 사이 계면트랩은 증가하여 max  $\Delta V_{\text{FB}}$ 에 더 많은 영향을 주는 것으로 나타났다. 또한 메모리 효과의 범위가 양의 방향으로 향하고 있어 열산화에 의해 새로 생성된 트랩

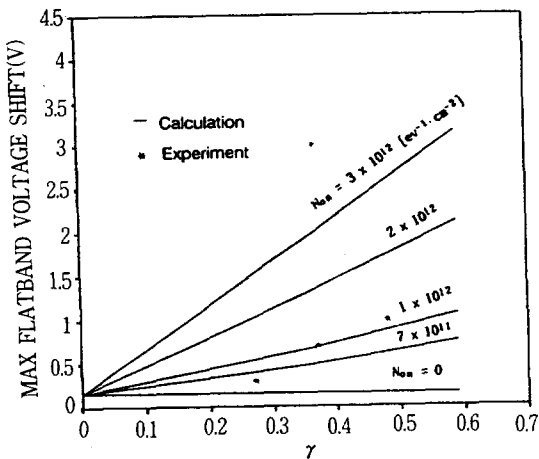


그림 6  $\gamma$ 의 함수로 표시된 최대 평탄전압 (질화층의 초기 두께 45Å)

Fig. 6 Maximum flatband voltage shift as a function of  $\gamma$ . (The initial nitride thickness 45Å).

은 전자 트랩으로 작용하고 있는 것으로 해석된다.

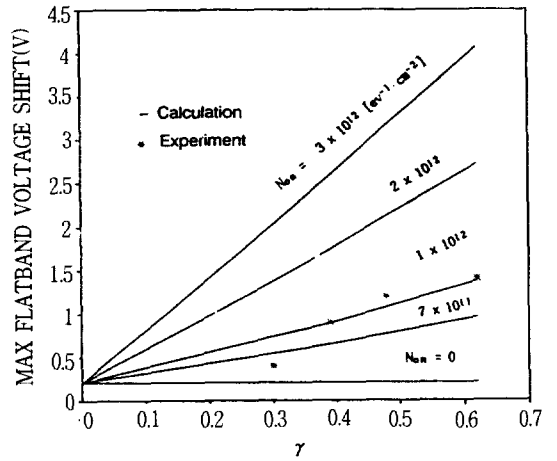


그림 7  $\gamma$ 의 함수로 표시된 최대 평탄전압(질화층의 초기 두께 55Å)

Fig. 7 Maximum flatband voltage shift as a function of  $\gamma$ . (The initial nitride thickness 55Å).

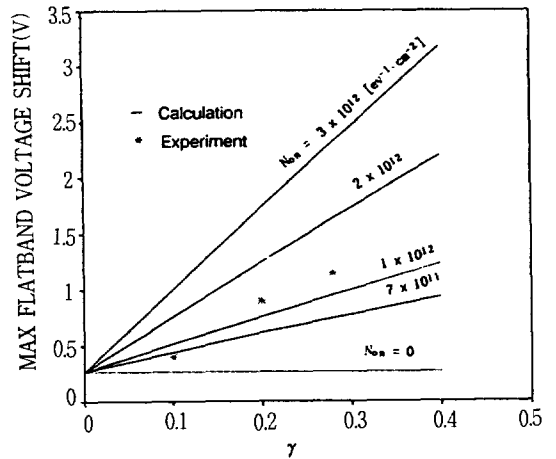


그림 8  $\gamma$ 의 함수로 표시된 최대 평탄전압(질화층의 초기 두께 63Å)

Fig. 8 Maximum flatband voltage shift as a function of  $\gamma$ . (The initial nitride thickness 63Å).

#### IV. 결 론

본 논문에서는 기억소자의 전하보유능력을 향상시키고 scale down에 이용되는 SONOS 캐패시터를 제작하여 질화막을 산화시킬 때 생기는 여러

현상을 조사했다. 질화막을 산화시키면 질화막의 두께가 감소하는데 그 변질된 질화막의 두께는 생성된 산화막의 두께의 2/3에 해당된다.

질화막을 산화하면 질화층과 상층산화층의 계면에 계면트랩이 생성되는데 그 트랩 밀도를 결정하기 위해 캐리어 트래핑에 관한 새로운 모델을 제시하고 이 모델에 의한 이론식과 실험치를 curve fitting 하므로써 계면트랩 밀도를 추정할 수 있었다. 계면트랩 밀도는  $5 \times 10^{11} \sim 2 \times 10^{12} [eV^{-1}cm^2]$  범위에 있다.

■ 본 연구는 1993년도 인하대학교 교내 연구비의 지원으로 이루어 졌음.

### 참 고 문 헌

1. M.M. Heyns, and R.F De Keersmaecker, "Comparision of high-field stress effects in metal-oxide-semiconductor structures with aluminum and polycrystalline silicon gates using internal photoemission measurements". J. Appl. Phys. 58(10), 1985.
2. P. Olivo, B. Ricco and E. Sangiorgi, "Electron trapping/detrapping within SiO<sub>2</sub> films in the high field tunneling regime". J.Appl.Phys.54(9), 1983.
3. M.S. Liang, J.Y. Choi, P.K. Ko and C. Hu, "Inversion-layer capacitance and mobility of very thin gate-oxide MOSFET's". IEEE Trans. Electron Devices, ED-33, 1986.
4. Z.A. Weinberg and R.A. Pollak, "Hole conduction and valance-band structure of Si<sub>3</sub>N<sub>4</sub> films on Si". Appl. Phys. Lett. Vol. 27, No.4, 1975.
5. T. Hori, T. Yasui and S. Akamatsu, "Hot-carrier effects in MOSFET's with nitride oxide gate-dielectrics prepared by rapid thermal processing." (IEEE Transactions on Electron Device, Vol. 39, No. 1, 1992).
6. E. Suzuki and Y. Hayashi, "A model of degradation mechanisms in metal-nitride-oxide-semiconductor structures." Appl. Phys. Lett. 35. 1979.
7. M. Aminzadeh, S. Nozaki and R.V. Giridhar, "Conduction and charge trapping in polysilicon-silicon nitride-oxide-silicon structures under positive gate bias." IEEE Trans. Electron devices, Vol. 35, No. 4, 1988.
8. E. Suzuki, Y. Hayashi, K. Tsuchija. Appl. Phys. Lett. 42(7), 1983.
9. Y.H. Choung, Y.S. Lee and Y.K. Park, "Interface state density between the top oxide layer and the nitride layer" (to be published)

### 저자소개



#### 정양희

1960년 12월 25일생. 1983년 단국대학교 응용물리학과 졸업. 1985년 인하대학교 응용물리학과 석사. 1993년 인하대학교 응용물리학과(공박). 1993년 현재 금성 일렉트론 재직.



#### 박영걸

1929년 3월 7일생. 1952년 2월 서울대학교 물리학과 졸업. 1974년 2월 인하대학교 응용물리학과(공박). 1994년 현재 인하대학교 응용물리학과 교수.



#### 이영선

1945년 8월 3일생. 1966년 3월 5일-1971년 2월 24일 인하대학교 공대 응용물리학과(공학사). 1972년 3월 5일-1974년 2월 18일 연세대학교 산업대학원 전자계산과(석사). 1979년 3월 5일- 1982년 2월 24일 인하대학교 대학원 응용물리학과(석사). 1982년 3월 5일-1989년 2월 24일 인하대학교 대학원 응용물리학과 (공박). 1978년 2월 20일-1994년 6월 현재 울산전문대학 원자력과 교수.