

서브마이크론 MOSFET의 파라미터 추출 및 소자 특성(II) -제작된 소자의 특성-

논문
7-3-6

Parameter Extraction and Device Characteristics of Submicron MOSFET'S(II) -Characteristics of fabricated devices-

서 용 진*, 장 의 구*
(Yong-jin Seo, Eui-goo Chang)

Abstract

In this paper, we have fabricated short channel MOSFETs with these parameters to verify the validity of process parameters extraction by DTC method.

The experimental results of fabricated short channel devices according to the optimal process parameters demonstrate good device characteristics such as good drain current-voltage characteristics, low body effects and threshold voltage of $\leq \pm 1.0V$, high punchthrough and breakdown voltage of $\geq 12V$, low subthreshold swing(S.S) values of $\leq 105mV/decade$.

Key Words(중요용어) : Impact Ionization(충돌전리), Body effect(몸체효과), Substrate current(기판전류), Subthreshold(서브쓰레쉬홀드), DIBL(Drain-Induced Barrier Lowering).

1. 서 론

VLSI 회로에 있어서 소자면적이 고집적과 고속을 얻기위해 채널길이, 산화막 두께, 접합깊이는 스케일 다운 되는 반면에 채널도핑은 스케일 업되고 있다. MOSFET 소자면적이 서브마이크론 영역으로 스케일 다운 됨에 따라 감소된 채널길이, 산화막 두께, 접합깊이 및 증가된 채널도핑 사이의 여러가지 디자인 트레이드 오프(trade off)가 중요하게 되었다.¹⁾ 이와같이 소자특성이 공정에 기인하는 예측할 수 없는 여러 변수들로 인해 제작된 칩의 성능이 매우 감소함으로 공정으로 부터 전도되는 변화성(process transmitted variability)을 감소시켜야 한다.²⁾ 그러나 실험적 접근법은 시행착오로 인해 비경제적이고 느려서 집적회로 제조의 경쟁적인 환경에도 뒤떨어진다. 하지만 시뮬레이션은 개발비용 및 시간단축면에서 효과적이며 실험을 위한 최적 파라미터를 제공하며, 또한 소자제작

및 특성화(characterization)의 피드백(feedback)을 통해 최적화된 공정을 개발할 수 있다.^{3,4,5)}

따라서 본 논문에서는 서브마이크론 nMOSFET 및 pMOSFET의 경우 짧은 채널 효과를 최소화할 수 있는 최적의 공정 파라미터 추출을 위해 공정 및 소자 시뮬레이션에 의해 디자인 경향 곡선(Design Trend Curve : DTC)을 구한 후⁶⁾, 공정 파라미터의 변화에 대한 소자특성의 의존성으로부터 추출된 공정 파라미터를 중심으로 MOSFET 소자를 제작하여 짧은 채널 특성을 고찰함으로써 DTC에 의한 파라미터 추출법의 타당성을 검증하고자 한다.

2. 소자 제작

비저항이 2-3 Ω -cm이고 인(phosphorus)이 도핑된 (100) n형 Si 웨이퍼위에 300Å의 초기산화막을 성장시킨 후, p-well 형성을 위해 Bu^+ 이온을 $1.0 \times 10^{13}cm^{-2}$, 150 KeV로 이온주입을 하였다. p-well위에 $3600 \pm 180\text{Å}$ 의 두꺼운 산화막을 성장시켜 n-well 이온주입을 위한 차폐산화막(mask oxide)을 형성한 후, 1150°C, N_2 분위기에서 440분 동안 p-well을 드라이브인(drive in)하였고, n-well

* : 중앙대학교 전기공학과
접수일자 : 1993년 11월 24일
심사완료 : 1994년 1월 17일

은 $1.8 \times 10^{12} \text{cm}^{-2}$ 의 P_{31} 이온을 150KeV로 이온주입한 후, 1100°C, N_2 분위기에서 60분 동안 드라이브인 하였다. n채널 영역의 필드 문턱전압을 높이기 위해 p-well영역에만 채널 정지 영역(channel stop region)을 형성하기 위해 BF_2^+ 이온을 $1.5 \times 10^{13} \text{cm}^{-2}$, 100KeV로 이온주입 하였다. 필드산화막을 $5200 \pm 250 \text{Å}$ 정도 성장시킨 후, 편치쓰루를 방지하기 위해 p-well 영역에서만 Bu^+ , $2.5 \times 10^{12} \text{cm}^{-2}$ 120KeV의 깊은 이온주입을 하였으며 nMOS 및 pMOS 소자의 문턱전압을 대칭적으로 조정하기 위해 Bu^+ 이온을 $1.3 \times 10^{12} \text{cm}^{-2}$, 20KeV로 얇은 이온주입을 하였다. 계속해서 200Å의 게이트 산화막을 성장시킨 후, $1500 \pm 150 \text{Å}$ 의 다결정 실리콘을 LPCVD로 도포(deposition)하였고, $POCl_3$ 을 도핑하여 n^+ 다결정 실리콘 게이트를 형성하였다. 또한 게이트와 소오스/드레인 확산영역의 오버랩(overlap)된 캐패시턴스를 감소 시키고, 소오스/드레인 형성을 위한 이온주입 동안 얇은 게이트 산화막 및 다결정 실리콘의 손상을 방지하기 위해 n^+ 다결정 실리콘을 산화막으로 보호하였다. n^+ , p^+ 소오스/드레인은 As_{75} 와 BF_2^+ 이온을 각각 $6.0 \times 10^{15} \text{cm}^{-2}$, 60KeV와 $3.0 \times 10^{15} \text{cm}^{-2}$, 70KeV로 이온주입한 후, 900°C에서 20분 어닐링하였다. 그리고 나서 웨이퍼의 전체 표면에 LTO(Low Temperature Oxide) SiO_2 막을 형성하고나서 접촉구(contact window)를 open하기 위해 에칭하였다. LPCVD로 첫번째 텅스텐 실리사이드(WSi_2)를 증착한 후 내부연결선(interconnection line)을 형성하기 위해 패턴하였고, 다음공정으로 웨이퍼의 표면을 평탄화(planarization) 시키기 위해 LTO 산화막으로 도포한 후, 두번째 WSi_2 를 형성하였다. 마지막으로 BPSG로 보호막을 입힌 후 전극을 형성하고 얼로이(alloy)하였다.

그림 1은 twin-well CMOS 소자의 공정 흐름도이고, 그림 2는 제작된 소자의 단면을 개략적으로 나타낸 것이다.

3. 결과 및 고찰

3.1 드레인 전류-드레인 전압 특성

그림 3은 필드산화막이 5200Å, 게이트 산화막이 20nm이며 소자면적(W/L)이 50/0.8 μm 인 nMOS 및 pMOS소자의 드레인 전류-드레인 전압 특성을 나타낸 것이다. nMOS 소자의 경우 6V이상의 드레인 전압에서 전자의 높은 충돌전리(impact ionization)에 기인하여 드레인 전류는 상당히 높았으나, 3V 구동에서는 충분한 여유(margin)를 가지고

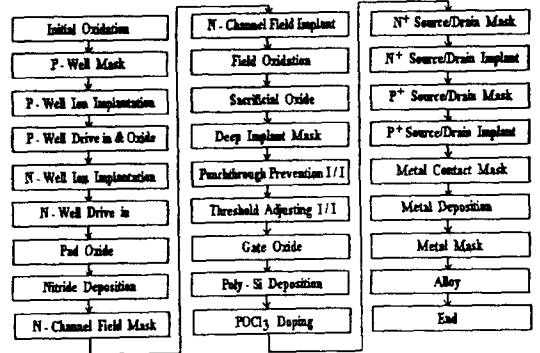


그림 1 공정 흐름도
Fig. 1 Process flow chart.

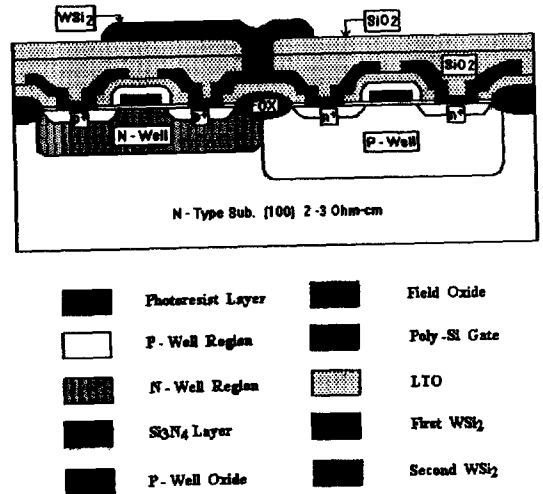
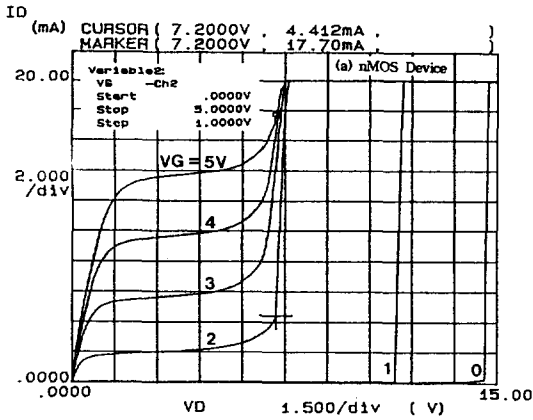


그림 2 제작된 소자의 단면
Fig. 2 Cross section of fabricated devices.

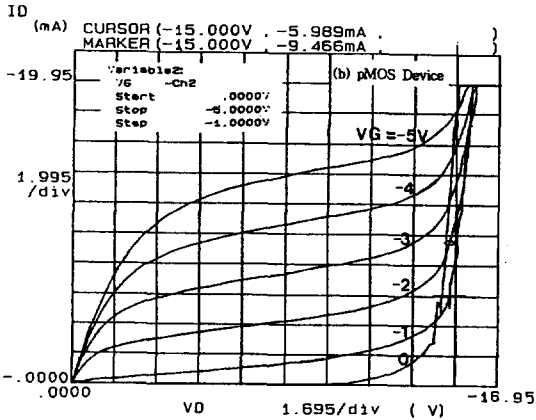
있다고 볼 수 있다. 또한 게이트 전압이 증가함에 따라 브레이크다운 전압은 감소하였다. 그러나 pMOS 소자는 충돌전리에 의한 영향은 나타나지 않았으나 포화영역에 들었을 때에도 드레인 전류가 포화되지 않고 약간의 증가를 보였다. 이는 매물체널 특성을 갖는 pMOS소자는 채널이 표면으로 부터 떨어져 있으므로 가로방향의 전계(transversal electric field)가 작아지게 되어 표면과의 산란(scattering)이 적어지므로 정공의 이동도가 커져서 트랜스컨덕턴스가 증가하기 때문으로 생각된다.

3.2 몸체(body) 효과

그림 4는 소자면적이 50/0.8 μm 인 경우 드레인 전압을 $\pm 0.1V$ 로 고정시킨 후, 게이트 전압에 따른



(a) nMOS 소자

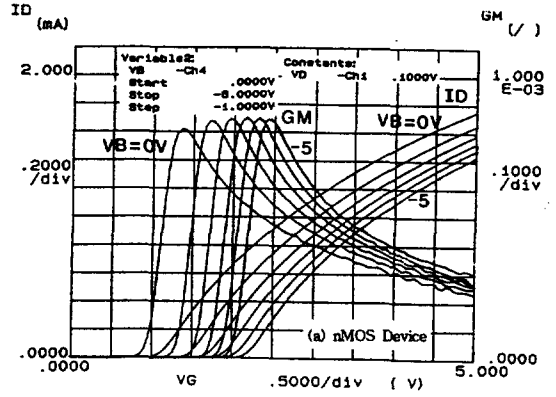


(b) pMOS 소자

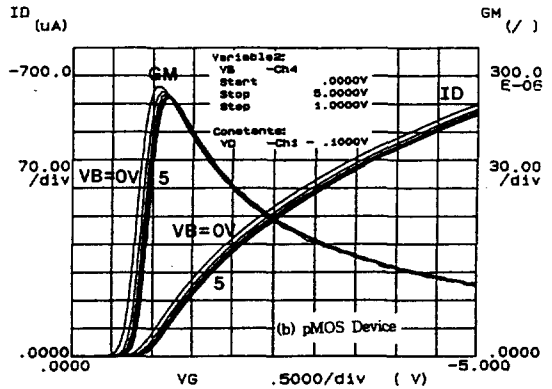
그림 3 50/0.8 μ m 소자의 드레인 전류 대 드레인 전압 특성

Fig. 3 Drain current vs. drain voltage characteristics of 50/0.8 μ m devices.

드레인 전류 및 트랜스컨덕턴스를 기판전압(V_{BS})의 변화에 따라 나타낸 것이다. 기판전압이 증가함에 따라 문턱전압 및 트랜스컨덕턴스가 오른쪽으로 변위하였으며 기판전압에 따른 문턱전압의 변화분(ΔV_T)이 pMOS 소자보다는 nMOS 소자의 경우에 더 컸는데, 이는 전자의 충돌전리율이 정공보다 훨씬 크기 때문에 pMOS 소자보다는 nMOS 소자가 기판전압에 더 강한 영향을 받아 몸체 효과가 더 큼을 알 수 있다. 또한 nMOS 소자보다는 pMOS 소자의 트랜스컨덕턴스값이 작은 것은 전자와 정공의 이동도 차이에 의한 원인도 있지만 짧은 채널 소자에서는 거의 동일한 포화속도(= 이동도 \times 전계)를 가지므로 이동도 차이에 의한 영향이라기 보다는 pMOS 소자가 매몰채널을 형성하기



(a) nMOS 소자



(b) pMOS 소자

그림 4 50/0.8 μ m 소자의 기판전압 변화에 따른 게이트 전압 대 드레인 전류 및 트랜스컨덕턴스 특성

Fig. 4 Gate voltage vs. drain current and transconductance characteristics as a function of substrate voltage variation of 50/0.8 μ m devices.

때문인 것으로 생각된다. 즉 pMOS 소자는 문턱전압 조절을 위한 붕소이온주입으로 채널에 p-n 접합을 형성하므로 게이트 전압의 증가는 p-n 접합에 역방향 전압을 증가시키는 결과가 되어 채널 p-n 접합의 공핍층 영역에 IR 전압강하를 유발시키게 되고, 그 결과 직렬기생저항이 더 증가하기 때문으로 생각된다.

3.3 기판 전류

그림 5는 소자면적이 50/0.8 μ m인 nMOS 및 pMOS 소자의 경우 게이트 전압에 따른 기판전류 및 게이트 전류의 변화를 드레인 전압을 달리하면서 측정한 것이다. nMOS 및 pMOS 소자 모두 게

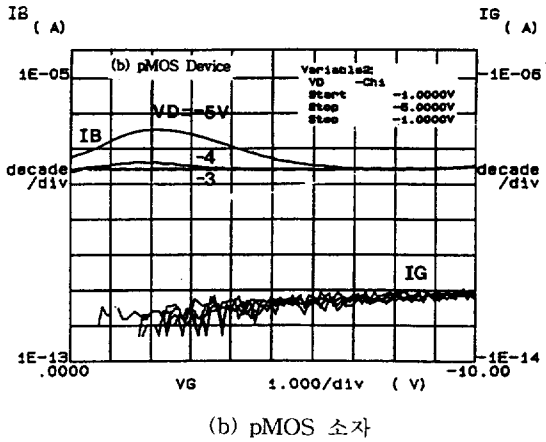
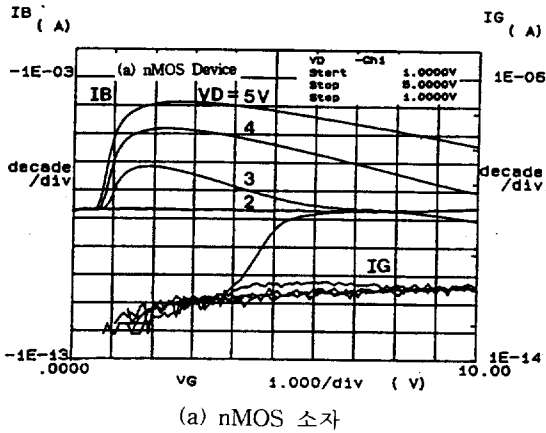


그림 5 50/0.8 μ m 소자의 드레인 전압 변화에 따른 게이트 전압 대 기판전류 및 게이트 전류 특성.

Fig. 5 Gate voltage vs. substrate current and gate current characteristics as a function of drain voltage variation of 50/0.8 μ m devices.

이트 전압이 약 $\pm 2V$ 일 때 최대치를 보이다가 게이트 전압이 더 증가함에 따라 감소하는 이상적인 (ideal) 특성을 나타내었다. $V_{GS} = \pm 2V$ 에서의 최대 기판전류는 채널전류의 증가에 기인한 것이며, 드레인 전압이 증가함에 따라 기판전류의 레벨이 상승하였는데 이는 드레인 전압의 증가로 인해 드레인 근처의 전계가 증가하여 충돌전리가 증가하였기 때문으로 생각된다. 그리고 $\sim pA$ 이하의 낮은 게이트 전류를 나타내었는데 이는 MOS-FET에서 발생하는 열전자(hot electron)가 Si-SiO₂ 계면의 에너지 장벽을 뛰어 넘어 산화막내에 트랩(trap)되어⁷⁾ 문턱전압 감소와 트랜스컨덕턴스의 열화를 초래하고 게이트 전류를 흐르게 한 것으로

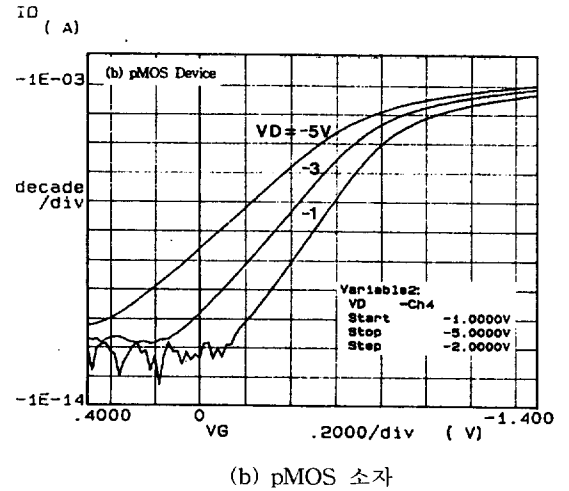
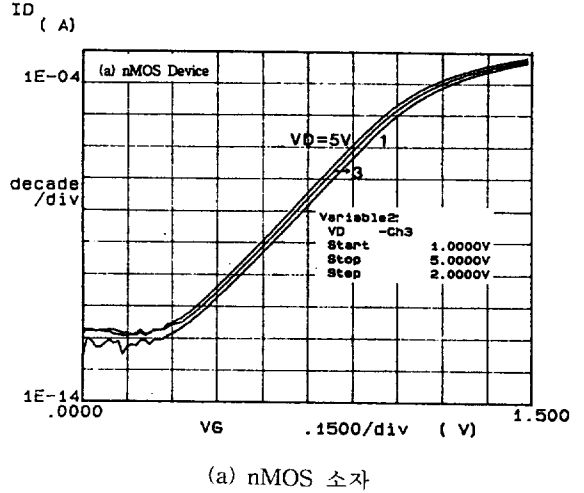


그림 6 50/0.8 μ m 소자의 드레인 전압 변화에 따른 subthreshold 특성

Fig. 6 Subthreshold characteristics as a function of drain voltage variation of 50/0.8 μ m devices.

생각된다. 한편 nMOS 소자보다는 pMOS 소자가 더 낮은 기판전류를 나타내었는데 이는 전자보다는 정공의 질량이 더 크기 때문에 pMOS 소자가 기판전류의 형성에 있어서는 더 유리함을 알 수 있다.

3.4 서브쓰레쉬홀드 특성

그림 6은 50/0.8 μ m의 소자면적을 갖는 경우 nMOS 및 pMOS 소자의 드레인 전압 변화에 따른 서브쓰레쉬홀드 특성을 보인 것이다. 소자의 문턱 전압을 드레인 전류가 $1\mu A$ 인 경우의 게이트 전압

으로 정의할 경우 nMOS 소자는 드레인 전압이 1V일때 약 0.95V에서 드레인 전압이 5V인 경우 약 0.9V로 약 0.05V 정도의 양호한 평행이동을 보였으나 pMOS 소자의 경우는 -0.7V에서 -0.35V로 감소하여 약 0.35V의 큰 변위를 보였다. 이는 채널 길이가 짧아짐에 따라 드레인 전압이 소오스쪽의 전위장벽에 영향을 주게되어 문턱전압 감소로 인해 드레인 전류가 급격히 증가하는 DIBL(Drain-Induced Barrier Lowering)에 의한 영향인 것으로 생각된다.⁸⁾ 한편 nMOS 소자는 드레인 전압이 1V에서 5V로 증가하여도 평행이동만 보일뿐 S.S값은 약 100mV/decade로서 거의 일정하였으나, pMOS 소자의 S.S값은 -1V의 드레인 전압에서 100mV/decade 이었고 -5V에서 140mV/decade로 증가하였다. 이와같이 드레인 전압의 증가에 따라 게이트 스윙(swing)이 크게 변하는 것은 드레인 전압에 의한 소오스쪽의 전위장벽의 저하현상이 매몰채널을 갖는 pMOS소자에서 더 심하게 일어나남을 보여주는 것이다.

3.5 산화막의 절연 파괴 특성

그림 7은 소자면적이 50/0.8 μ m인 nMOS 및 pMOS소자의 경우 두께가 20nm인 게이트 산화막의 절연파괴 특성을 고찰하기 위해 MOS 커패시터로 만들어 전류-전압을 측정된 결과로서 nMOS 소자는 ~nA, pMOS 소자는 ~10pA의 범위에서 누설전류가 측정되었다. nMOS소자의 경우 15V 이상에서 부터 누설전류가 증가를 시작하여 약 30V의 전압에서 부터 급격히 증가하는 것을 볼수 있는데 이 지점의 전압을 브레이크다운 전압으로 간주하였다. 또한 pMOS 소자의 경우는 약 15V 이상에서 누설전류가 증가를 하다가 약 20V에서 브레이크다운이 일어나 두 소자 모두 매우 양호한 브레이크다운 특성을 나타내었다.

4. 결 론

본 논문에서는 공정 및 소자 시뮬레이션을 사용하여 얻은 디자인 경향 곡선(Design Trend Curve ; DTC)으로 부터 추출된 공정 파라미터를 중심으로 MOSFET 소자를 제작하여 DTC에 의한 파라미터 추출법의 타당성을 검증하였다.

DTC에 의해 추출된 공정 파라미터로 소자를 제작하여 측정된 결과를 표 1에 나타내었다. 0.8 μ m의 서브마이크론 채널길이를 갖는 경우에도 양호한 드레인 전류-전압 특성, 낮은 몸체 효과 및 $\pm 1.0V$ 이하의 문턱전압, $\geq 12V$ 이상의 높은 편치

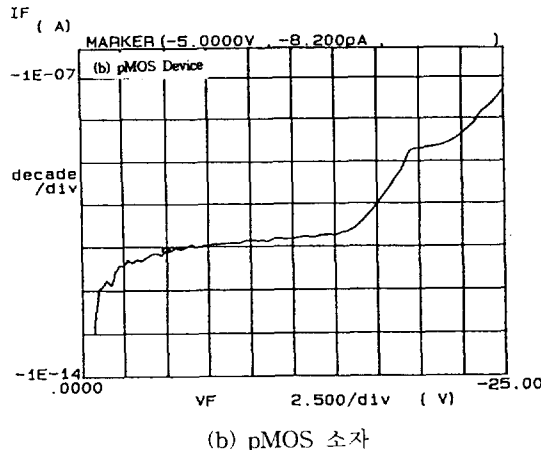
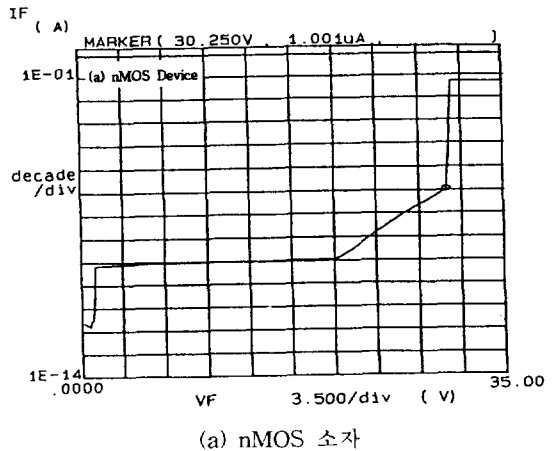


그림 7 20nm의 두께를 갖는 게이트 산화막의 브레이크다운 특성(50/0.8 μ m)

Fig. 7 Breakdown characteristics of gate oxide with 20nm thickness(50/0.8 μ m devices).

쓰루 전압 및 브레이크다운 전압, $\leq 105mV/decade$ 이하의 낮은 S.S 값 등 짧은 채널 효과가 최소화된 양호한 소자특성을 얻을 수 있었으며 이들 대표적인 소자특성은 시뮬레이션 결과와도 비교적 잘 일치함을 알 수 있었다.

따라서 본 논문에서 논의한 DTC를 이용한 파라미터 추출법은 실리콘 공정 사이클(cycle)없이도 컴퓨터의 반복 실험을 통해 많은 초기 실험을 수행할 수 있으므로 최소한의 실험을 통해 시뮬레이션 결과를 검증함으로써 최종 공정을 세밀하게 조절하는데 매우 효과적일 것으로 생각되며 향후 deep 서브마이크론 MOSFET 소자의 제작을 위한 초기단계로서 적절히 활용될 수 있을 것이다.

표 1 대표적인 소자특성

Table 1 Typical device characteristics.

Device Parameter	nMOS Device		pMOS Device	
	Experimental	Simulation	Experimental	Simulation
Threshold Voltage ($V_{BS}=0V$) [V]	1.09	1.2	-0.85	-0.7
Threshold Voltage ($V_{BS}=\pm 3V$) [V]	1.77	1.9	-1.15	-1.0
Field Threshold Voltage [V]	15	-	-10	-
Punchthrough Voltage [V]	13.0	-	-12.2	-
Breakdown Voltage [V]	13.0	-	-12.2	-
Drain Saturation Current [A]	1.56×10^{-2}	1.63×10^{-2}	-6.5×10^{-3}	-7.1×10^{-3}
Peak Gate Voltage [V]	2.7	2.3	-2.12	-2.0
Substrate Current [A]	-7.6×10^{-5}	-2.0×10^{-4}	2.6×10^{-8}	8.0×10^{-9}
Mobility [$cm^2/v \cdot sec$]	350	-	136	-
Body Factor [$V^{1/2}$]	0.85	-	0.35	-
Transconductance [A/V]	6.6×10^{-4}	5.26×10^{-4}	-1.26×10^{-4}	-1.5×10^{-4}
Subthreshold Swing [mV/dec.]	105	125	80	111

참 고 문 헌

1. J.E. Chung, M.C. Jeng, J.E. Moon, P.K. Ko and C. Hu, "Performance and Reliability Design Issues for Deep-Submicrometer MOSFET's." IEEE Trans. Electron Dev., Vol. ED-38, No.3, pp.545-553, 1991.
2. S. Sharifzadeh, J.R. Koehler, A.B. Owen and J.D. Shott, "Using Simulators to Model Transmitted Variability in IC Manufacturing," IEEE Transaction on Semiconductor Manufacturing, Vol. 2, No. 3, pp.82-93, 1989.
3. K.M. Cham, S.Y. Oh, D.J. Chin and J.L. Moll, "Computer-Aided Design and VLSI Device Development," Kluwer Academic publishers, Ch. 5, p. 128, 1986.
4. T. Shibata, K. Hieda, M. Sato, M. Konaka, R.L.M. Dang and H. Iizuka, "An Optimally Designed Process for Submicrometer MOSFET's," IEEE Trans. Electron Dev., Vol. ED-29, No. 4, pp.531-535, 1982.
5. K.M. Cham, S.Y. Oh and J.L. Moll, "Computer-Aided Design in VLSI Device Development," IEEE J. Solid-State Circuits, Vol. SC-20 No. 2, pp.495-500, 1985.
6. 서용진, 장의구, "서브마이크론 MOSFET의 파라미터 추출 및 소자특성(1) -DTC에 의한 공정 파라미터 추출-, "한국전기전자재료학회, 제 7권 2호, pp.107-116, 1994.
7. K.K. Ng and G.W. Taylor, "Effects of Hot Carrier Trapping in n- and p-Channel MOSFETs," IEEE Trans Electron Dev., ED-30, p.871, 1983.
8. H.B. Bakoglu, "Circuits, Interconnections and Packaging for VLSI," Addison-Wesley Publishing Co., Ch. 2, pp.28-43, 1990.

저자소개



서용진

1964년 3월 13일생. 1987년 중앙대학교 전기공학과 졸업. 1989년 중앙대학교 전기공학과 석사. 1994년 2월 중앙대학교 전기공학과 졸업(공학). 현재 중앙대학교 전기공학과, 동신대학교 전기전자공학과 강사.



장의구

1943년 3월 9일생. 1972년 중앙대학교 공대 전기공학과 졸업. 1975년 2월 중앙대학교 전기공학과 석사. 1983년 2월 동대학원 전기공학과 (공학). 1987년 1월 -88년 1월 Arizona주립대 연구교수. 1994년 현재 중앙대학교 전기공학과 교수.

수.