

졸-겔법으로 형성한 강유전체 PZT 박막의 고온 단시간 열처리효과 및 전자 디바이스에의 응용

논문
7-2-9

The Rapid Thermal Annealing Effects and its Application to Electron Devices of Sol-Gel Derived Ferroelectric PZT Thin Films

김 광 호
(Kwang-ho Kim)

Abstract

The rapid thermal annealing effects of Sol-Gel derived ferroelectric PZT thin films were investigated. It was found that rapid thermal annealing(RTA) of spin coated thin films on silicon typically 800°C for about 1 min. was changed to the perovskite phase. Rapid thermally annealed films recorded maximum remanent polarization of about 5 $\mu\text{C}/\text{cm}^2$, coercive field of around 30kV/cm. The switching time for polarization reversal was about 220ns. The films of RTA process showed smooth surface, and high breakdown voltages of over 1 MV/cm and resistivity of $1 \times 10^{12} \Omega \text{ cm}$ at 1 MV/cm. It was verified that the polarization reversal of the PZT film was varied partially with applying the multiple short pulse.

Key Words(중요용어) : Sol-Gel method(졸-겔 법), ferroelectric thin film(강유전체 박막), RTA process (고온 단시간 열처리 공정), neuron devices(뉴런 디바이스)

1. 서 론

최근, 강유전체와 반도체를 직접 조합시킨 기능 디바이스의 연구가 진행되어 특히 MOSFET의 게이트 절연막으로서 강유전체 박막을 사용한 구조 등이 잘 알려져 있다.¹⁾ 이 FET에서는 강유전체 박막의 분극에 의해 반도체 표면에 전류가 흐를 수 있는 채널이 형성되는 점이 동작의 본질이기 때문에 디바이스를 제작하기 위해서는 전기적으로 양호한 강유전체/반도체 계면을 형성시키는 것이 필수 불가결하다. 현시점에 있어서는 아직 충분히 만족할 만한 결과들이 얻어지지 않고 있지만, 양호한 계면이 얻어지기만 한다면 FRAM용의 대규모 고집적회로의 실현과 뉴럴 네트워크용의 적응-학습(adaptive-learning)디바이스²⁻³⁾ 등에 응용이 기대되기 때문에 기초적인 연구가 정력적으로 진행되고 있다.

종래부터 널리 연구되어온 이러한 강유전체의 종류에는 BaTiO₃, PbTiO₃, PZT, KNbO₃ 등의 페롭

스카이트형의 산화물을 들 수가 있다. 특히, PZT는 Zr과 Ti의 비율을 1:1정도로 잡으면 큰 잔류분극 및 높은 비저항(양호한 박막인 경우에는 각각 20-30 $\mu\text{C}/\text{cm}^2$, 10^{12} - $10^{13} \Omega \text{ cm}$)이 얻어지며, 또한, 큐리 온도도 350°C 이상으로 유지되므로 메모리용 재료로서 가장 기대되고 있다. 또한 같은 페롭스카이트형 구조를 갖고 있는 SrTiO₃ 및 Ba_xSr_{1-x}-TiO₃는 강유전체는 아니지만 그 비유전율이 300-600정도로 아주 크기 때문에 DRAM용의 유전체로서 기대되고 있다.

산화물 강유전체인 PZT박막을 Si 기판위에다 형성시키는데 있어서의 문제점은 디바이스에의 응용에 있어서는 여러 단계의 고온에서의 공정이 필요하므로 인해, 각 구성 원소들의 상호 확산이나 계면 특성의 열화 등이 일어날 수 있으며, 특히, Sol-Gel 방법을 이용할 때에는 복잡하고 긴 공정이 필요하게 되는 단점이 있다. 이를 해결하기 위해 장벽금속을 삽입하거나 공정의 단순화를 위한 궁리를 모색하고 있는 실정이다.

본 연구에서는 DRAM용, FRAM용, 및 뉴럴 네트워크용의 적응-학습 디바이스의 실현을 목적으로 실리콘 기판위에다 졸-겔법으로 spin coating시켜 형성한 PZT박막을 고온에서 짧은 시간동안 열

* : 청주대학교 반도체공학과
접수일자 : 1993년 11월 11일
심사완료 : 1994년 3월 7일

처리(RTA) 형성시켜 공정의 단순화와 강유전체 박막의 결정화를 실현하였다. 이렇게 형성시킨 박막의 결정학적 구조 관계, 막의 전기적인 특성등에 대하여 검토하여 뉴럴 네트워크용의 적용-학습 디바이스에의 적용 가능성을 논의하였다.

2. 실험 방법

본 연구에서는 기본적으로 졸-겔법을 써서 spin coating 박막을 형성시켰다. 그림 1에 실험의 flow chart를 보인다. PZT 피막의 형성액으로는 (주)미쓰비시 머티리얼제인 $Pb_{1.05}Zr_{0.32}Ti_{0.48}O_{3.05}$ 인 조성액을 사용하였다. n형 Si(100)기판을 유기세정 및 RCA법⁴⁾에 의한 세정후, wet산화에 의해 190nm의 SiO_2 막을 형성하였다. 그 후, 전자빔 증착기를 사용하여 Si의 Pt에로의 확산 방지용 및 Si의 산화 방지용 하부 전극으로 Ti 및 Pt을 각각 100nm씩 증착시켰다. 졸-겔 용액을 기판위에 떨어뜨려 3000rpm, 15초 동안 spinning시킨 후, 150℃에서

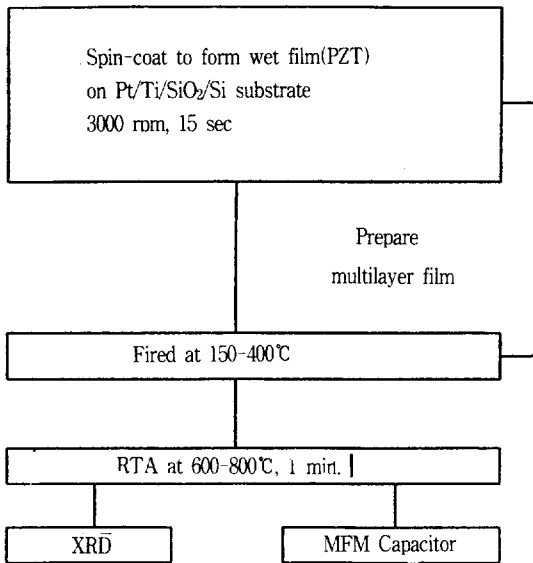


그림 1 실험 순서의 개략도
Fig. 1 Flow chart of the experiment.

10분간 건조시키고 다시 400℃에서 20분동안 열분해시켰다. 이와같은 공정을 1-8회까지 반복하여 막의 두께를 변화시킨 시료를 준비하였다. 그 후, 기판 온도를 600-800℃, 1분 동안 O_2 분위기에서 RTA처리를 행하였다. 전기적 특성을 평가하기 위해 열처리시킨 PZT 박막위에다 metal mask를 써서 Ag전극을 증착시켜 상부 전극으로 이용하였고, 하부 전극은 박막의 일부분을 etching시켜 나타난

Pt 전극을 이용하였다. 형성시킨 PZT 박막의 구조는 XRD로 평가하였으며, 잔류 분극(Pr) 및 항전계(Ec)등의 강유전성 평가는 Sawyer-Tower 회로와 필스를 이용한 측정 방법을 이용하였다.

3. 결과 및 고찰

그림 2에 시료의 온도를 600℃부터 800℃까지 변화시켜 1분 동안 O_2 분위기에서 RTA처리를 행한 X선 회절 패턴의 결과를 보인다. 600-700℃까지의 열처리로는 페롭스카이트상의 결정으로 변하지 않으며, 800℃까지 온도를 올려야 비로서 페롭스카이트 상으로 변함을 알 수 있다. 한편, 결정 배향성은 (101)/(110)방향이 강한 막임을 알 수 있다. 이와같은 강유전체 상에로의 변화는 전기적인 특성에도 영향을 미치게 되어 600-700℃에서 열처리시킨 박막의 경우에는 막의 누설 전류가 커서 측정이 불가능하였다. 그러나, 800℃에서 열처리한 시료의 경우에는 누설 전류가 작아 성공적으로 전기적인 특성의 평가를 할 수가 있었다. 이 사실로부터 800℃의 RTA로 인해 결정학적으로는 페롭스카이트 상으로 변화하면서 동시에 막의 치밀화가 이루어졌다고 판단할 수 있다.

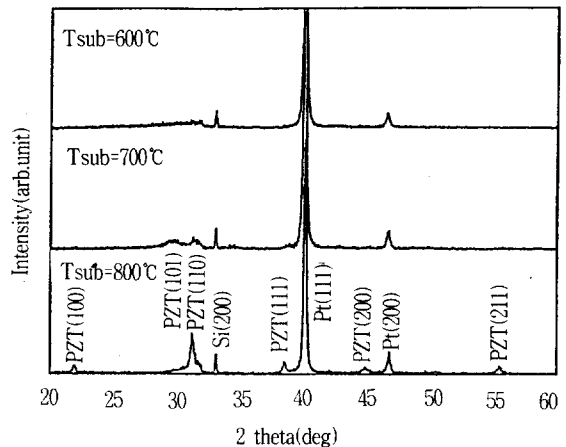
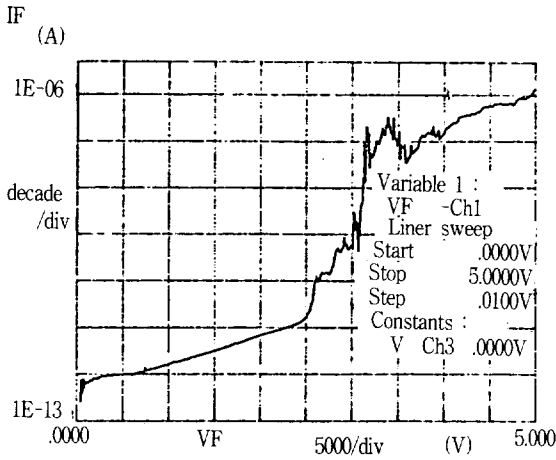
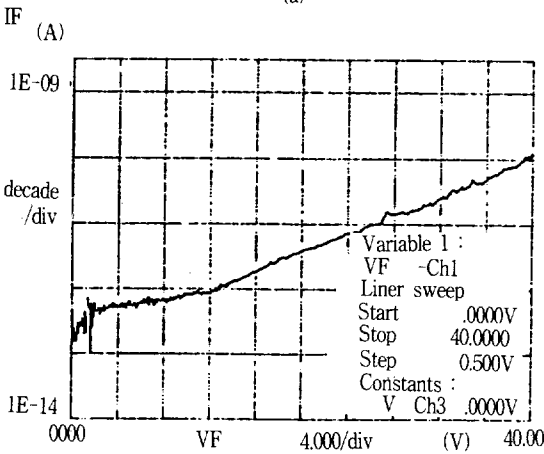


그림 2 열처리 온도 변화에 따른 X선 회절 패턴
Fig. 2 XRD pattern of annealed films at different temperatures.

그림 3에 700℃와 800℃에서 열처리한 시료의 I-V(전류-전압)특성을 보인다. 이 시료들은 박막 두께가 390nm, 전극의 면적은 $8 \times 10^{-5} cm^2$ 이다. 그림에서 보듯이, 700℃에서 열처리한 시료(a)는 막의 불완전성으로 인해 낮은 전계에서 항복이 일어나지만, 800℃의 경우(b)에는 1MV/cm이상의 고전계에도 견디어 1MV/cm에서의 저항율은 약 $1 \times$



(a)



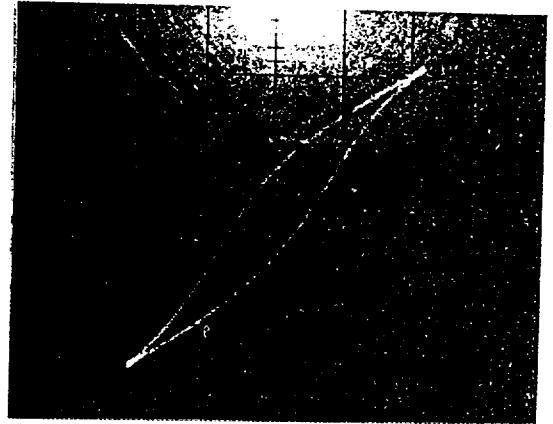
(b)

그림 3 (a) 700°C 및 (b) 800°C에서 열처리한 시료의 전류-전압 특성

Fig. 3 Current-Voltage(I-V) characteristics of annealed samples at (a) 700°C and (b) 800°C.

$10^{12} \Omega \text{cm}$ 가 되어 디바이스에의 응용에도 무리가 없다고 판단된다. PZT 시료의 항복 메커니즘에 관해서는 일반적으로 공간 전하 전류(space charge limited current)에 의한 것으로 보고되고 있으나 이 시료에 관한 항복 메커니즘은 현재 검토 중에 있다.

Sawyer-Tower 회로를 써서 측정한 히스테리시스 파형을 그림 4에 보인다. 이 시료는 막 두께가 390nm, 전극의 면적은 $8.1 \times 10^{-5} \text{cm}^2$ 이다. Sawyer-Tower 회로에서의 측정은 진폭 10V, 200Hz의 저주파를 이용하였으며, 시료와 직렬로 삽입시킨 기준 커패시터의 용량은 10nF를 사용하였다. 측정된



Vertical : $6.5 \mu\text{C}/\text{cm}^2/\text{div}$
Horizontal : $51 \text{ kV}/\text{cm}/\text{div}$

그림 4 D-E 히스테리시스 곡선
Fig. 4 D-E hysteresis curve.

잔류 분극은 $5 \mu\text{C}/\text{cm}^2$ 이었으며, 항전계는 $30 \text{ kV}/\text{cm}$ 이었다. 이 값들은 각각 bulk PZT의 그것들($45 \mu\text{C}/\text{cm}^2$ 및 $17 \text{ kV}/\text{cm}$)에 비하여 잔류 분극은 작고, 항전계는 약간 크다. 잔류 분극이 작은 이유는 본 연구에 있어서는 적용 학습 디바이스인 MISFET³⁾의 제작을 고려하여 강유전성이 나타나는 범위내에서 가능한 박막화되도록 설계하여 $0.39 \mu\text{m}$ 의 막두께를 이용하였기 때문에 결정입(grain size)이 작게되어⁶⁾ 그로 인해 작게되었다고 추정되며, 또한, 앞의 그림 2의 XRD의 결과에서 보듯이 (101/110)배향성이 강한 막이지만 아직도 결정성이 불완전(단결정이 아님)하기 때문에 기인된다고 판단하고 있다. 강유전체를 비휘발성 메모리의 대규모 집적 회로에 응용하는 데에 중요한 파라미터인 스위칭 특성을 그림 5에 보인다. 인가 전압 펄스는 삼입도와 같은 더블 펄스 파형을 사용하였다. 펄스 전압은 5V, 펄스폭은 1μsec, 부하 저항은 50Ω 이었다. 이 시료는 박막 두께가 390nm, 전극의 면적은 $3.1 \times 10^{-4} \text{cm}^2$ 이다. 그림 5(a)의 실선은 펄스 1을 인가한 경우로서 분극의 전류(즉, 변위 전류)를 포함하고 있으며, 점선은 펄스 2를 인가한 경우의 비반전 전류(즉, 충전 전류)만이 흐를 경우의 결과이다. 그림 5(a)의 두 파형의 차인 반전 전류를 그림 5(b)에 보인다. 이 전류를 시간으로 적분하여 구한 분극 반전에 있어서의 전기량은 약 $10 \mu\text{C}/\text{cm}^2$ 으로서 이 시료의 잔류 분극($5 \mu\text{C}/\text{cm}^2$)의 2배와 거의 일치한다. 분극의 반전에 필요되는 스위칭 시간을 전류가 최대 전류의 10%로 감소할 때까지의 시간이라고 정의하면⁷⁾ 이 경우의 스위칭 시간은 약 220ns이다.

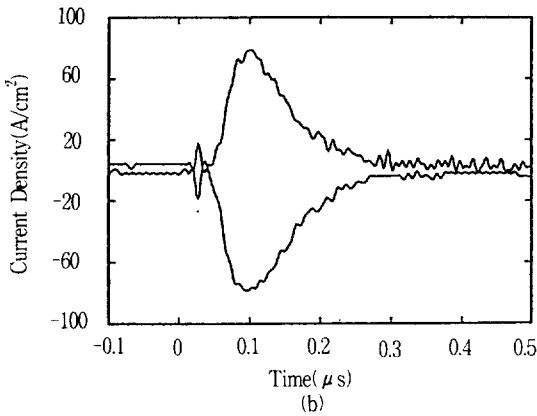
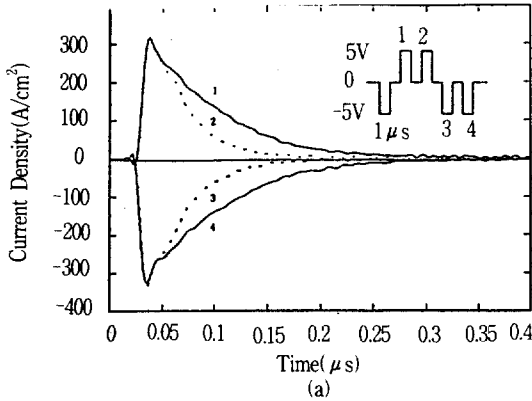


그림 5 스위칭 특성. (a) 반전 전류(실선) 및 비반전 전류(점선), (b) 반전 전류와 비반전 전류의 차.

Fig. 5 Switching characteristics. (a) switching current(solid line) and non-switching current(dotted line), and (b) difference between solid and dotted line

그림 6은 상부 전극에 스위칭 시간보다 짧은 다중 펄스 전압을 인가하였을 때의 전류의 변화를 측정된 부분적인 분극 반전의 특성이다. 측정 펄스의 펄스폭은 50ns, 전압폭은 5V이다. 이 측정은 뉴럴 네트워크용의 적용-학습 디자인에 응용할 때에 매우 중요한 것으로, 강유전체 박막을 쓴 MISFET의 게이트에 이러한 다수의 펄스를 인가함으로써(즉, 학습 기능을 부여함으로써) 게이트 전압이 0V일지라도 반도체 표면이 강유전체 박막의 잔류 분극으로 인하여 반전 상태를 유지하는지를 확인할 수 있는 것이다. 그림 6에서 알 수 있듯이, 전극에 인가하는 펄스의 횟수가 증가함에 따라 반전 전류(즉, 변위 전류)가 점점 감소하게 된다. 즉, 부분적으로 분극의 반전이 일어난 상태이다.

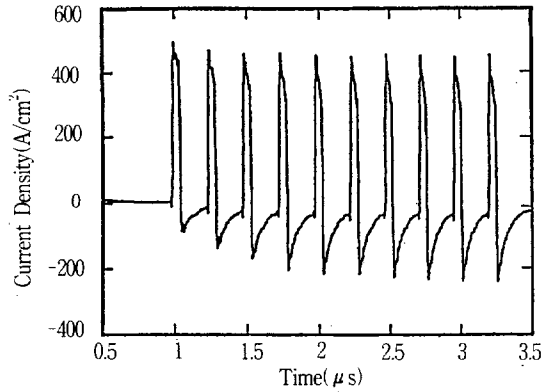


그림 6 분극 반전의 부분적인 변화

Fig. 6 Partial polarization reversal of the PZT thin film.

이 그림에서는 펄스를 4회 인가한 후에는 완전히 분극의 반전이 완료되었다.

4. 결 론

Pt/Ti/SiO₂/Si 기판상의 졸-겔 PZT 박막에 대한 RTA효과를 검토하였다. 기판위에다 spin coating시킨 막을 800°C에서 1분정도 고온 단시간 열처리를 행하면 박막은 페롭스카이트상의 결정으로 변하며, 최대 잔류 분극은 약 5 μC/cm², 항전계는 30kV/cm가 일어났다. 분극의 반전에 필요한 스위칭 시간은 약 220ns이었다. 또한, RTA에 의해 제작된 박막의 절연내압은 1MV/cm 이상의 고전계에 견디며 1 MV/cm에서의 저항율은 약 1×10¹² Ωcm으로 디바이스에의 응용에도 가능하다고 판단된다. 한편, 게이트 전극에 스위칭 시간보다 짧은 다중 펄스 전압을 인가하였을 때의 전류의 변화를 측정하는 방법을 검토하여 뉴럴 네트워크용의 적용-학습 디바이스인 강유전체 박막을 쓴 MISFET의 학습 기능에 대한 가능성을 논의하였다.

참 고 문 헌

- 1) 鹽崎 忠, 強誘電體薄膜集積化技術, 사이언스フォーラム, pp.261-274, 東京, 1992.
- 2) H. Ishiwara, "Proposal of Adaptive-Learning Neuron Circuits with Ferroelectric Analog-Memory Weights", Jpn. J. Appl. Phys., Vol. 32, No. 1B, pp. 442-446, 1993.
- 3) K.H. Kim and H. Ishiwara, "Adaptive-Learn-

- ing Neuron Circuits using Ferroelectric Thin Films", Extended Abstract of 1st Int. Workshop on the Application of Ferroelectric Materials, Daejeon KAIST, Korea, pp. 47-55, 1993.
- 4) K. Werner, D.A. Puotinen, "Cleaning Solutions Based on Hydrogen Peroxide for use in Silicon Semiconductor Technology", RCA Review, June, pp. 187-206, 1970.
 - 5) J.F. Scott, "Physics of High-Dielectric Films for DRAMs and MMICs", Extended Abstract of 1st Int. Workshop on the Application of Ferroelectric Materials, Daejeon KAIST, Korea, pp.45-46, 1993.
 - 6) G.H. Haertling, "Hot-Pressed Lead Zirconate-Lead Titanate Ceramics Containing Bismuth", Am. Ceram. Soc. Bull., Vol. 43, No. 12, pp. 875-879, 1964.
 - 7) J.F. Scott, L. Kammerdiner, M. Parris, V. Ottenbacher, A. Shawabkeh, and W.F. Oliver, "Switching kinetics of lead zirconate titanate submicron thin-film memories", J. Appl. Phys., Vol. 64, No. 2, pp. 787-792, 1988.

저자소개



김광호

1958년 12월 21일생. 1983년 2월 한양대학교 전자공학과(학사). 1984년-1990년 日本 文部省초청 연구원. 1987년 3월 일본 동경공업대학 대학원 전자시스템(석사). 1990년 3월 일본 동경공업대학 대학원 전자시스템(박사). 1994년 2월 일

본 학술진흥협회 초청 동경공업대학 객원연구원. 1990년 3월 현재 청주대학교 반도체공학과 조교수.