

실리콘 다층절연막의 전기전도 특성

논문

7-2-8

The Electrical Conduction Characteristics of the Multi-Dielectric Silicon Layer

정 윤 해*, 한 원 열**, 박 영 결***

(Yun-hae Chung, Won-yul Han, Young-kull Park)

Abstract

The multi-dielectric layer $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2(\text{ONO})$ is used to scale down the memory device. In this paper, the change of composition in ONO layer due to the process condition and the conduction mechanism are observed. The composition of the oxide film grown through the oxidation of nitride film is analyzed using auger electron spectroscopy(AES). AES results show that oxygen concentration increases at the interface between oxide and nitride layers as the thickness of the top oxide layer increases. Results of I-V measurement show that the insulating properties improve as the thickness of the top oxide layer increases. But when the thickness of the nitride layer decreases below 63\AA , insulating peoperties of film 28\AA of top oxide and film 35\AA turn over showing that insulating property of film 28\AA of top oxide is better than that of film 35\AA of top oxide.

This phenomenon of turn over is thought as the result of generation of surface state due to oxygen flow into nitride during oxidation process.

As the thickness of the top oxide and nitride increases, the electrical breakdown field increases, but when the thickness of top oxide reaches 35\AA , the same phenomenon of turn over occurs.

Optimum film thickness for scaled multi-layer dielectric of memory device SONOS is estimated to be 63\AA of nitride layer and 28\AA of top oxide layer. In this case, maximum electrical breakdown field and leakage current are $18.5[\text{MV}/\text{cm}]$ and $8 \times 10^{-12}[\text{A}]$, respectively.

Key Words(중요용어) : Silicone multilayer dielectric(실리콘 다층절연막)

I 서 론

기억소자인 MNOS소자에서 질화막 트랩은 memory sites로 활용된다. 기억소자의 scale down에 따라 질화막 두께가 얇아지면서 pin-hole 밀도의 증가, 불순물 확산 및 방사선 손상등에 대한 저항력 감소 그리고 전기적 특성의 열화등과 같은 문제가 발생하여^[1-10]새로운 절연막으로 MNOS의 질화막 위에 산화막을 성장시키는 다층절연막 ONO(oxide-nitride-oxide)가 도입되었다.^[11-12]

Memory 소자의 scaling down을 목적으로

ONO구조를 도입할 때 상기한 결점들이 보안되어 좋은 결과를 얻고 있으나 scale down의 한계가 어디까지 인지가 관심의 대상이 된다. 본 논문에서는 이런 문제를 해결하기 위해 ONO 구조의 제작 조건에 따른 화학적 조성의 변화를 분석하였고 이러한 막을 가지는 SONOS capacitor를 제작하여 I-V 측정을 통하여 ONO막의 전기전도 기구 및 절연특성을 고찰하고 scale down의 한계를 조사하였다.

II 시료 및 실험 방법

II-1. 시료 제작

본 실험에서는 비저항이 $12 \sim 25 \Omega \cdot \text{cm}$ 이고 결정면이 (100)인 p형 실리콘 웨이퍼를 사용하여 775°C 에서 10분 동안 산화하여 약 13\AA 두께의 하층산화막을 성장 시켰다. 성장한 하층산화막위에

* :인하대학교 전자재료공학과

** : 이리 농공전문대학

*** : 인하대학교 전자재료공학과

접수일자 : 1993년 7월 30일

심사완료 : 1994년 3월 8일

압력과 온도를 각각 45 Pa, 715°C로 하고 SiH₂Cl₂/NH₃를 15대 150 CC의 조건에서 LPCVD로 질화막을 성장시키고 그위에 상층산화막을 건식 산화 방법으로 제작하였다. 상층산화막의 두께는 10, 20, 28, 35Å으로 성장시켰으며 다층 절연막(ONO)의 각 절연체의 두께는 엘립소미터 및 Prometrics사의 FT-750을 이용하여 측정하였다.

MONOS 캐패시터의 전극은 gas와 압력을 각각 SiH₄(50%He) 473CC, 80 Pa의 LPCVD법으로 polysilicon을 증착한 후 875°C에서 45mg/min의 POCl₃을 도핑하여 세종류의 게이트 크기를 가진 DOT MASK를 써서 photolithography와 plasma etching법으로 만든 polysilicon gate이다. 이러한 과정을 통해서 얻은 다층절연막중에서 일부는 막의 화학조성 분석 및 두께 측정에 이용하였고 나머지는 다층절연막(ONO) 구조의 SONOS capacitor를 제작하였다.

II-2. 실험 장치 및 측정 방법

질화막위에 산화막을 성장시킨 다층절연막의 두께에 따른 원소의 성분과 depth profile은 Auger electron spectroscopy(AES, 퍼킨엘머, model 4300)로 분석하였다. 시료의 AES분석은 Si(LVV), N(KLL), O (KLL)에 대하여 각각 57~100eV, 492~520eV, 362~390eV의 Auger전자 신호를 검출함으로써 이루어졌다. 성분분석시 사용한 1차 전자빔의 에너지와 전류는 각각 3 KeV, 1.06A 이었고, depth profile을 하기 위하여 Ar이온 총을 사용하였다. 상층산화막의 두께를 달리하여 만든 SONOS 캐패시터에서 막을 통과하는 전도전류는 HP 4145B Parameter analyzer를 써서 일정한 비율로 전압을 증가시키면서 측정하였다. 이때 측정된 전류의 범위는 $1 \times 10^{-12} \sim 1 \times 10^{-3}$ [A]이다. 막의 절연 파괴 전압은 voltage ramp법으로 측정하였다. 막이 구조적으로 완전히 파괴된 지점의 전압을 절연 파괴 전압으로 정했고, 이 절연 파괴 전압을 산화막의 두께로 나누어서 절연파괴 전기장을 구하였다.

III. 결과 및 논의

III-1. 상층산화막의 두께 변화에 따른 화학조성 특성

질화막 위에 상층산화막을 형성시킨 후 상층산화막의 두께 변화에 따른 막내의 화학적 조성을 변화를 조사하기 위하여 Auger electron spectroscopy(AES) 분석을 하였다. 질화막 70Å위에 상층산화막이 20Å 성장된 시료에 대하여 표면에서부

터 질리콘쪽으로 깊이에 따라 depth profile하여 얻은 AES 결과는 그림 1과 같다.

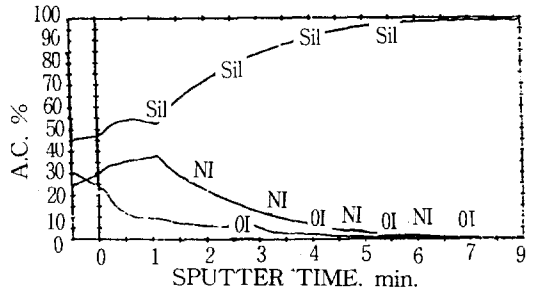


그림 1 질화층 70Å위에 상층 산화막이 20Å인 경우의 AES분석

Fig. 1 AES depth profile of top oxide thickness 20Å on the nitride thickness 70Å.

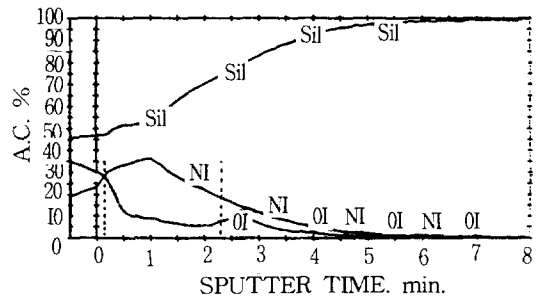


그림 2 질화층 70Å위에 상층 산화막이 28Å인 경우의 AES분석

Fig. 2 AES depth profile of top oxide thickness 28Å on the nitride thickness 70Å.

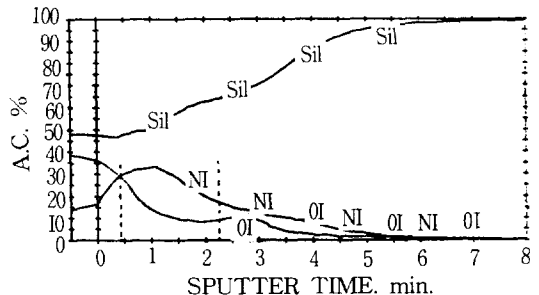


그림 3 질화층 70Å위에 상층 산화막이 35Å인 경우의 AES분석

Fig. 3 AES depth profile of top oxide thickness 35Å on the nitride thickness 70Å.

그림에서 Si, OI, NI의 실선은 각각 실리콘, 산소, 질소의 농도를 표시하는 것이며 상층산화막과 질화막 및 하층산화막과 질화막의 계면은 점선

으로 표시하였다. 그림 1에서 보면 상층산화막과 질화막 사이의 계면에서 산소의 양은 급격히 감소하고 질소의 양이 증가하며 질화막 내부에서는 약 10%의 산소 원자 농도를 보이고 있다.

질화막 70Å 위에 상층산화막이 28Å, 35Å인 경우의 Auger depth profile 결과는 그림 2, 3에 나타나있다.

이 그림들에서 보면 상층산화막이 20Å인 경우에서와 마찬가지로 상층산화막과 질화막 사이의 계면에서 산소의 양이 감소하고 질화막 표면에서 질소의 양이 증가하는 경향은 같으나 산소의 농도는 그림 1에 비해 훨씬 증가하고 있는 것을 나타내고 있고 특히 상층산화막 28Å보다 상층산화막이 35Å의 경우가 산소 농도가 증가하고 있는 것을 보여준다.

이상의 결과에서 보면 상층산화막이 증가할때

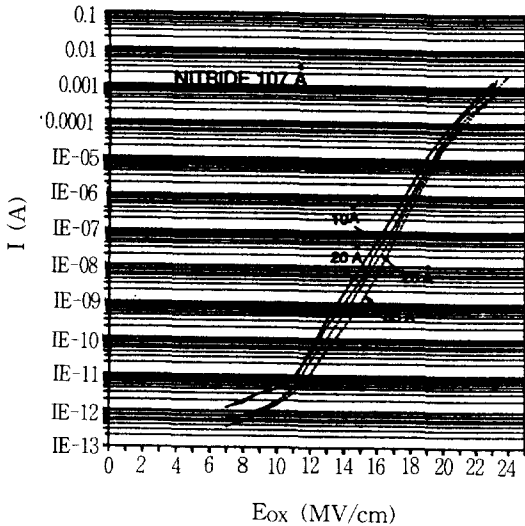


그림 4 상층산화막의 두께를 파라미터로 한 SONOS축전기의 전류-전기장 특성(질화층 107Å)

Fig. 4 current-electric field characteristics of the SONOS capacitor with a top oxide thickness as a parameter(nitride 107Å).

하층산화막에서의 산소의 양은 어느 경우에서나 거의 일정하나 상층산화막이 두꺼울수록 질화막 계면 및 표면에서 질소 양의 감소와 산소 양의 증가가 심해짐을 나타낸다.

III-2. 다층 절연막의 전기전도 및 절연파괴 특성

여러 종류의 질화막 및 상층산화막의 두께 조건

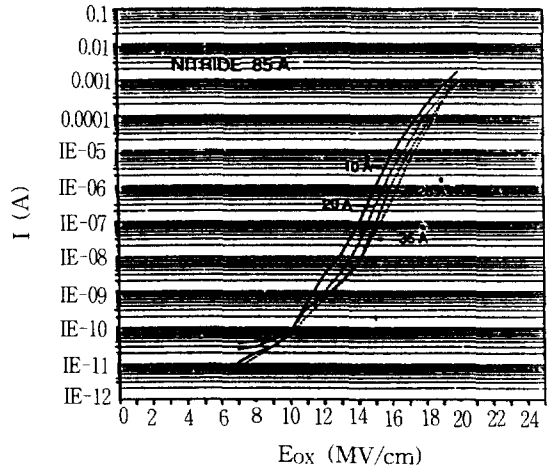


그림 5 상층산화막의 두께를 파라미터로 한 SONOS 축전기의 전류-전기장 특성(질화층 85Å)

Fig. 5 current-electric field characteristics of the SONOS capacitor with a top oxide thickness as a parameter(nitride 85Å).

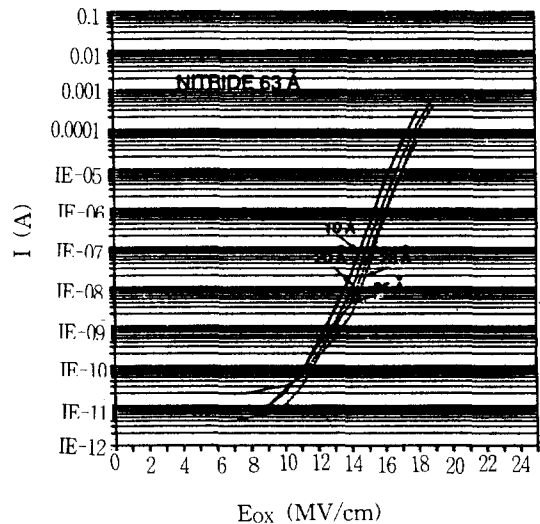


그림 6 상층산화막의 두께를 파라미터로 한 SONOS 축전기의 전류-전기장 특성(질화층 63Å)

Fig. 6 current-electric field characteristics of the SONOS capacitor with a top oxide thickness as a parameter(nitride 63Å).

에서 만든 다층절연막으로 SONOS 캐패시터를 제작하여 I-V 특성곡선을 측정함으로써 막의 전기전도 특성 및 절연파괴 특성을 조사하였다. 질화막의 두께를 107, 85, 63Å으로 일정하게 하고 상층산화

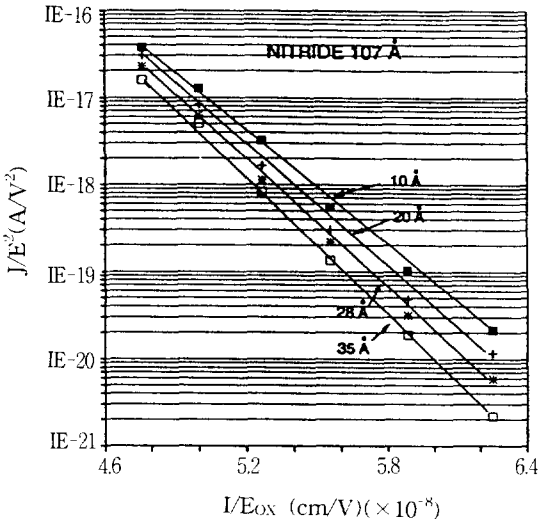


그림 9 상층산화막을 파라미터로 한 SONOS 축전기의 전류-전압 특성의 Fowler-Nordheim 도(질화층 107 Å)

Fig. 9 Fowler-Nordheim plot of the Current-voltage characteristics of SONOS with the top oxide thickness as a parameter(nitride 107 Å).

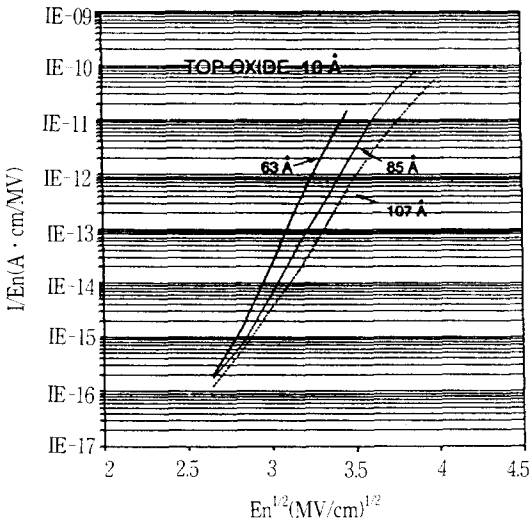


그림 10 질화층의 두께를 파라미터로 한 SONOS의 전류-전압 특성의 Poole-Frenkel 도

Fig. 10 Poole-Frenkel plot of the Current-Voltage characteristics of SONOS with the nitride thickness as a parameter.

stressed thin films of thermal SiO₂", Appl. Phys. Lett., Vol. 30, p.601(1977).

표 1 그림 10의 PF 그림에서 계산한 상대 유전율

Table 1 Relative dielectric constant calculation from PF plots of Fig. 10

Sample	Relative dielectric constant
top oxide 10 Å nitride 63 Å	2.54
top oxide 10 Å nitride 85 Å	3.60
top oxide 10 Å nitride 107 Å	4.75

- M.M. Heyns and R.F. De Keersmaecker, "Comparison of high-field stress effects in metal-oxide-semiconductor structures with aluminum and polycrystalline silicon gates using internal photoemission measurements.", J. Appl. Phys. 58(10), p.3936(1985).
- P. Olivo, B. Ricco and E. Sangiorgi, "Electron trapping/detrapping within SiO₂ films in the high field tunneling regime.", J. Appl. Phys. 54(9), p.5267 (1983).
- M.S. Liang, J.Y. Choi, P.K. Ko and C. Hu., "Inversion-layer capacitance and mobility of very thin gate-oxide MOSFET's.", IEEE Trans. Electron Devices, ED-33.(1986).
- Z.A. Weinberg and R.A. Pollak., "Hole conduction and valance-band structure of Si₃N₄ films on Si", Appl. Phys. Lett., Vol.27, No.4., p.254,(1975).
- T. Hori, T. Yasui and S. Akamatsu., "Hot-carrier effects in MOSFET's with nitride oxide gate-dielectrics prepared by rapid thermal processing.", IEEE Trans. Electron Device, Vol. 39, No.1, p.134(1992).
- E. Suzuki and Y. Hayashi, "A model of degradation mechanisms in metal-nitride-oxide-semiconductor structures.", Appl.Phys. Lett. 35, p.790(1979).
- M. Aminzadeh, S. Nozaki and R.V. Girdhar, "Conduction and charge trapping in polysiliconsilicon nitride-oxide-silicon structures under positive gate bias.", IEEE Trans. Electron devices, Vol. 35, No.4, p. 459(1988).

11. E. Suzuki, K. Miura, Y. Hayasi, R. Tsay and D.K. Schroder, "Hole and Electron Current Transport in Metal-Oxide-Nitride-Oxide-Silicon Memory Structure.", IEEE Trans. Electron Devices, Vol. 36, No.6, p.1145(1989).
12. E. Suzuki, H. Hiraishi, K. Ishii and Y. Hayashi, "A low-voltage alterable EEPROM with metal-oxide-nitride-oxide-semiconductor(MONOS) structures.", IEEE Trans. Electron Devices, Vol. ED-30, No. 2, p. 122(1983).
13. I. Ito, H. Arakawa, T. Nozaki and H. Ishikawa, "Advantages of thermal nitride and nitroxide gate films in VLSI process.", J. Electrochem. Soc., Vol.127, p.2248(1980).
14. P. Pan, "Characteristics of thermal SiO₂ films during nitridation", J. Appl. Phys., Vol. 61, p.284(1987).

저자소개



정윤혜

1984년 2월 서울 숭실고등학교 졸업.
1990년 2월 인하대학교 응용물리학과 졸업.
1993년 8월 인하대학교 대학원 전자재료공학과 졸업. 현재 스위스코 재직 중.



박영길

1929년 3월 7일생. 1952년 2월 서울대학 물리학과 졸업. 1974년 2월 인하대학 응용물리학과(공박). 1994년 현재 인하대학 응용물리학과 교수.



한원열

1954년 8월 18일생. 1980년 2월 인하대학교 공대 응용물리학과 졸업. 1983년 2월 인하대학교 대학원 응용물리학과 졸업(석사). 1990년 2월 인하대학교 대학원 응용물리학과 졸업(공박). 1992년 3월 - 현재 이리농공전문대학 교양과 전

임강사