

SONOS EEPROM 소자에 관한 연구

A Study on the SONOS EEPROM Devices

논문

7-2-5

서 광 열
(Kwang-Yell Seo)

Abstract

SONOS EEPROM chips, containing several SONOSFET nonvolatile memories of various channel size, have been fabricated on the basis of the existing n-well CMOS processing technology for 1 Mbit DRAM (1.2 μ m design rule). All the SONOSFET memories have the triple insulated-gate consisting of 30 \AA tunneling oxide, 205 \AA nitride and 65 \AA blocking oxide. The miniaturization of the devices for the higher density EEPROM and their characteristics alterations accompanied with the scaling-down have been investigated. The stabler operating characteristics were attained by increasing the ratio of the channel width to length. Also, the transfer, switching, retention and degradation characteristics of the most favorable performance devices were presented and discussed.

Key Words(중요용어) : SONOS EEPROM, nonvolatile memories(비휘발성 기억소자), charge pumping current (charge pumping 전류), blocking oxide(블로킹 산화막)

1. 서 론

최근, SONOS/MONOS(polysilicon/metal-oxide nitride-oxide-semiconductor) 구조의 비휘발성 기억소자(nonvolatile memory device)는 SNOS/MNOS (polysilicon/ metal-nitride-oxide-semiconductor)구조가 갖는 여러가지 문제점들을 개선할 수 있다는 점에서 많은 기대를 모으고 있다.^[1,2] 이는 질화막을 산화시켜 얻은 블로킹 산화막(blocking oxide)이 게이트전극을 통한 전하의 출입에 대해서 전위장벽으로써 역할할 뿐만 아니라 질화막과의 계면에 대단히 큰 농도의 새로운 기억 트랩을 생성하기 때문이다.^[3] 따라서, memory window 크기를 그대로 유지하면서 게이트절연막, 특히, 질화막의 두께를 더욱 얇게 할 수 있고, 이로 인해서 기록/소거(write/erase)를 위한 programmable 전압 및 소비전력이 적은 고성능의 EEPROM(electrically-erasable and programmable ROM)이 실현되리라 예상된다. 그러나, SONOS 기억소자를 실제 IC화 함에 있어서 그 집적도를 높이기 위해서는 이와 같은 게이트절연막 두께의

초박막(ultra-thin film)화, 즉 수직적 scaling-down과 더불어 수평적 scaling-down 또한 수반되어야만 한다. 수평적 scaling-down은 cell 면적의 축소이고, 이것은 결국, 단일의 SONOSFET 기억소자의 채널(channel) 크기와 직접적으로 관계한다.

본 연구에서는 고신뢰성, 고집적도의 EEPROM의 실현을 위해서 기존의 1 Mbit DRAM용 n-well CMOS 제조공정을 기반으로 이용하여 SONOS EEPROM을 제작하고, 고집적화에 따른 소자의 소형화 및 그에 수반된 특성변화를 조사하였다. 이를 위해서 한개의 칩(chip)상에 채널길이 및 폭이 각각 다른 다수의 n-channel SONOSFET 기억소자들이 포함되도록 설계하였다. Scaling-down에 따른 소자동작의 안정성이 보장되는 채널크기의 최적조건에 관해 연구하였으며, 기록/소거의 스위칭(switching)특성과 기억유지(retention)특성, 그리고 기록/소거 반복에 따른 열화(degradation)특성도 조사하였다.

2. 소자제작 및 측정

본 비휘발성 SONOSFET 기억소자의 제작을 위해서는 n-channel 소자가 DDD(double-doped drain)구조인 기존의 1 Mbit DRAM용(1.2 μ m 설계규칙) n-well CMOS 제조공정 기술에 따랐으며,

* : 광운대학교 전자재료공학과
접수일자 : 1994년 2월 15일
심사완료 : 1994년 2월 28일

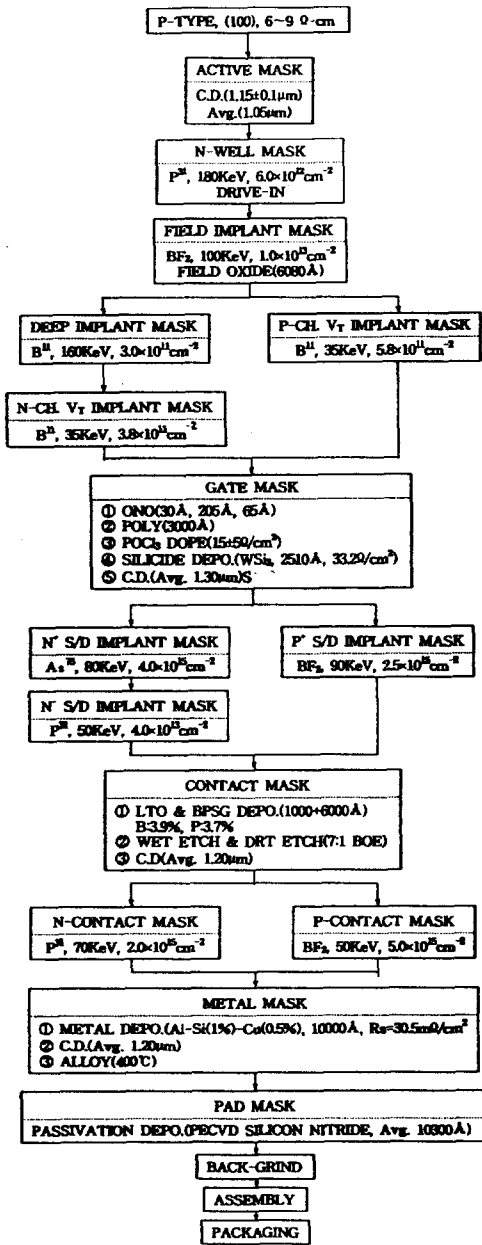


그림 1 SONOS EEPROM의 제작공정 흐름도
Fig. 1 SONOS EEPROM process flowchart

그 제작과정 및 소자의 횡단면도는 각각 그림 1 및 그림 2와 같다. 12장의 마스크가 15단계의 주요 공정에서 이용되었다. 게이트전극은 double-poly-silicon/polycide이고, 소자간 절연은 LOCOS isolation 방법을 채택하였다.

터널링 산화막은 750°C에서 N₂/O₂ 부분압법 (partial-pressure method)에 의해서 3분간 열적

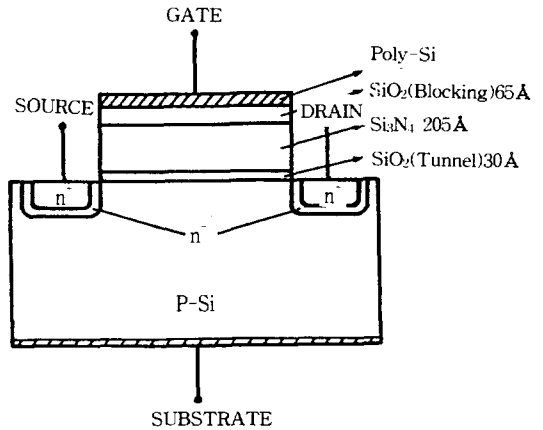


그림 2 SONOSFET 기억소자의 횡단면도
Fig. 2 Cross-section of the SONOSFET memory device

성장시켰다. 질화막은 745°C의 저압화학기상퇴적 (LPCVD)노에서 18분간 10:1의 NH₃:SiH₂Cl₂ 혼합 기체를 반응시켜 산화막위에 퇴적시켰다. 또한, 920°C의 저압화학기상퇴적노에서 O₂/H₂/LN₂ 기체를 흘리면서 90분간 질화막을 산화시켜 블로킹 산화막을 형성하였다. 이렇게 하여 얻은 터널링 산화막, 질화막, 블로킹 산화막의 두께는 각각 30Å, 205Å, 65Å 이었다.

한개의 칩은 채널길이가 폭이 각각 다른 다수의 p-channel 및 n-channel의 SONOSFET 기억소자들로 구성되며, 각 소자에 대한 규격 및 layout은 표 1 및 그림 3과 같다.

I-V 특성 및 문턱전압(threshold voltage)의 측정은 ASTM의 표준방법^[4]에 따라서 수행하였다. 스위칭특성과 기억유지특성은 I_d-V_g 특성곡선으로부터 문턱전압을 측정하여 조사하였다. 열화특성의 조사를 위한 Si-SiO₂ 계면트랩분포는 charge pumping 방법을 이용하여 구하였으며, 특히 톱니파형 펄스전압의 크기 (ΔV_G)는 일정하게 하고 펄스전압의 기준준위(base level, V_{GL})를 변화시키는 Elliot의 측정법^[5]을 이용하였다. 또한, 반도체 금지대내의 넓은 범위를 조사하기 위해서 측정온도를 100K~350K범위에서 변화시키면서 각각 I_{CP}-V_{GL} 특성곡선을 측정하였다. 이렇게 측정된 I_{CP}-V_{GL} 특성곡선을 비정상상태(non-steady state)에서의 전하동역학(charge dynamics) 이론^[6,7]을 적용하여 분석하였다.

3. 결과 및 고찰

채널크기가 각각 다른 n-channel SONOSFET

표 1 Chip A 및 chip C에 포함된 각 소자들의 크기

Table 1 Specification of the SONOSFET memory devices on chip A and chip C

NAME	CHIP	CHANNEL TYPE	LENGTH[μm] \times WIDTH[μm]	No. of PAD(PIN)			
				DRAIN	SOURCE	GATE	SUBSTRATE
#A4	A	N-CH.	1.5 \times 15	#A4 (#2)	#A1 (#4)	#A2 (#5)	#A3 (#3)
#A5	A	N-CH.	1.7 \times 1.9	#A5 (#1)	#A1 (#5)	#A2 (#5)	#A3 (#3)
#A6	A	P-CH.	1.7 \times 15	#A6 (#28)	#A8 (#26)	#A2 (#5)	#A7 (#27)
#C3	C	N-CH.	15 \times 15	#C3 (#3)	#C2 (#5)	#C1 (#4)	#C6 (#28)
#C4	C	N-CH.	1.8 \times 15	#C4 (#2)	#C2 (#5)	#C1 (#4)	#C6 (#28)
#C5	C	N-CH.	15 \times 2.0	#C5 (#1)	#C2 (#5)	#C1 (#4)	#C6 (#28)

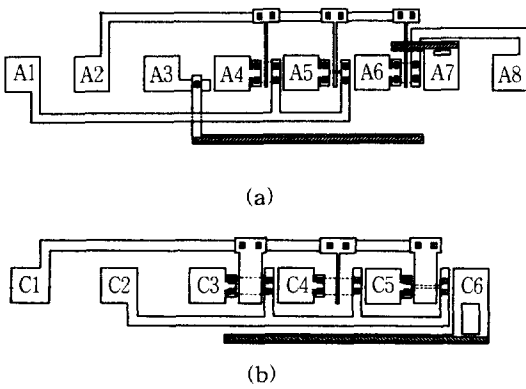


그림 3 (a) chip A 및 (b) chip C의 배선도
Fig. 3 Layout of (a) chip A and (b) chip C

비휘발성 기억소자들의 드레인 전압을 $V_d=2V$ 로 고정하고, 게이트전압 V_g 에 따른 드레인 전류 I_d 를 측정하여 얻은 기억상태에 따른 전달특성 곡선들 (transfer characteristic curves : I_d-V_g curves)은 그림 4와 같다. 그림 4의 곡선 (a), (b), (c), (d)는 기판, 소오스 및 드레인을 공통접지로 하고, 이에 대해서 게이트에 $V_E=23V$, $t_E=500\text{msec}$ 인 펄스전압을 인가하여 초기조건을 일정하게 한 다음, $V_w=-12V$, $t_w=50\text{msec}$ 의 펄스전압을 게이트에 인가하여 질화막의 기억트랩에 기억전하를 주입시킨 후 측정한 I_d-V_g 곡선들이다. 이 상태에서 다시 반대 극성의 $V_E=23V$, $t_E=500\text{msec}$ 인 펄스전압을 게이트에 인가하여 소거시킨 후 측정한 특성곡선은 그림 4의 곡선 (a'), (b'), (c'), (d')와 같다. 그림으로부터 알 수 있는 바와 같이 전달특성은 기록상태(writing state)인 경우 문턱전압이 작은 고전도 특성이고, 소거상태(erasing state)일 때는 문턱전압이 큰 저전도특성을 나타낸다.

그림 4의 곡선 (a)와 (a')는 $L \times W=15\mu\text{m} \times 15\mu\text{m}$

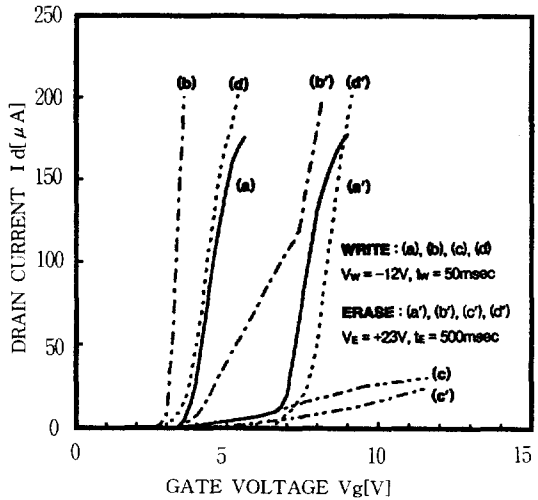


그림 4 기록(부호없음) 및 소거(부호있음)상태에서 채널크기에 따른 전달특성곡선(I_d-V_g 선). 채널 크기($L \times W$)는 (a) $15\mu\text{m} \times 15\mu\text{m}$, (b) $1.7\mu\text{m} \times 1.9\mu\text{m}$, (c) $15\mu\text{m} \times 2.0\mu\text{m}$, (d) $1.5\mu\text{m} \times 15\mu\text{m}$

Fig. 4 Transfer characteristics curves (I_d-V_g curves) in the writing(no apostrophe) and erasing (apostrophe) state at different channel sizes. The channel sizes ($L \times W$) are (a) $15\mu\text{m} \times 15\mu\text{m}$, (b) $1.7\mu\text{m} \times 1.9\mu\text{m}$, (c) $15\mu\text{m} \times 2.0\mu\text{m}$ and (d) $1.5\mu\text{m} \times 15\mu\text{m}$

로서 채널의 크기가 비교적 큰 #C3 소자의 기억상태에 따른 I_d-V_g 특성곡선이다. 그림으로부터 곡선의 기울기가 큰 것이 전형적인 long-channel IGFET의 전달특성임을 확인할 수 있다. 또한, 기록상태와 소거상태에서의 문턱전압값 차이로 정의되는 memory window 크기는 $\Delta V_{\text{eff}}=4.1V$ 로서

EEPROM으로의 응용을 위해서 적당함을 알 수 있다.^[8] $L \times W = 1.7\mu\text{m} \times 1.9\mu\text{m}$ 인 #A5 소자의 전달특성은 그림 4의 곡선 (b), (b')와 같다. 그림에서 보는 바와 같이 memory window 크기는 $\Delta V_{\text{eff}} = 4.3\text{V}$ 로서 크나, 저전도상태의 전달특성인 곡선 (b')는 기울기가 다른 두 부분으로 구분되는 데, 소자특성의 저하로 해석되는 기울기가 완만한 부분은 sidewalk effect로 인한 기생누설전류(parastic leakage current) 때문이다.^[9] 이러한 현상은 전류가 비교적 작지만 #C3 소자에서도 관찰할 수 있으며, 최적의 회로설계를 위해서 반드시 고려해야만 한다.

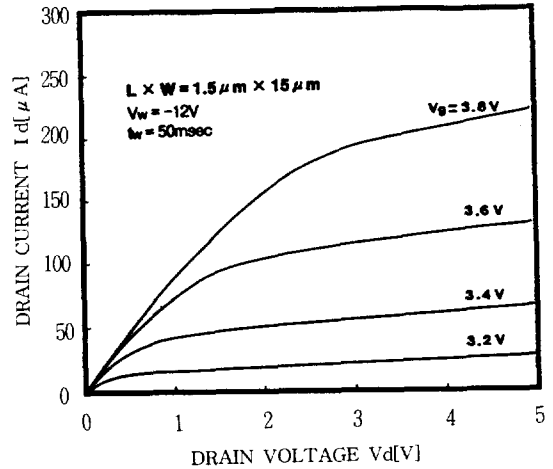
$L \times W = 15\mu\text{m} \times 2.0\mu\text{m}$ 로서 narrow width 채널을 갖는 #C5 소자의 전달특성은 그림 4의 곡선 (c), (c')와 같다. 그림에서 보는 바와 같이 드레인 전류도 상대적으로 작을 뿐만 아니라 전달특성도 ΔV_{eff} 를 결정할 수 없을 정도로 나쁘다. 이는 Deen 등^[10]에 의해서 보고된 바와 같이 narrow-width effect 때문이라 생각된다.

그림 4의 곡선 (d), (d')는 $L \times W = 1.5\mu\text{m} \times 15\mu\text{m}$ 로서 short channel인 #A4 소자의 기억상태에 따른 전달특성이다. 그림에서 보는 바와 같이 memory window 크기도 $\Delta V_{\text{eff}} = 4.8\text{V}$ 로서 크고 전달특성도 다른 소자들보다 양호함을 알 수 있다.

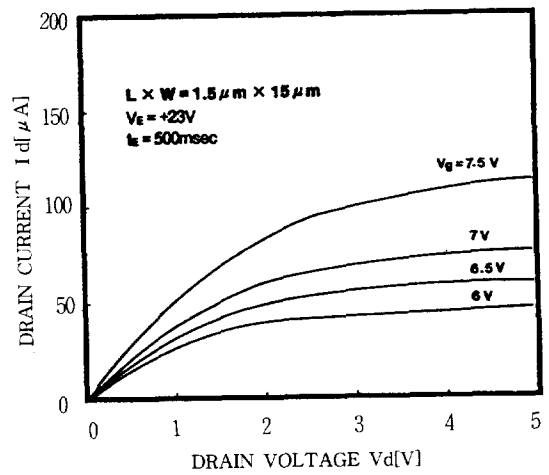
이상의 그림 4로 부터 SONOSFET 기억소자는 EEPROM으로 실제 응용함에 있어서 고집적화를 위한 소자의 scaling-down에는 채널의 폭보다는 길이의 축소가 유리하며, 특히 채널폭의 scaling-down은 narrow-width effect 및 sidewalk effect 등을 최소화할 수 있는 W/L비를 고려해야함을 알 수 있다.

$L \times W = 1.5\mu\text{m} \times 15\mu\text{m}$ 인 #A4 소자에 있어서 기록 및 소거상태에서 각각 게이트전압이 다른 경우 드레인 전압에 따른 드레인 전류를 측정하여 얻은 $I_d - V_d$ 특성곡선은 그림 5와 같다. 소자 설계시 DDD구조를 채택하였기 때문에 그림에서 보는 바와 같이 short 채널 MOSFET에서 중요한 문제점으로 지적되고 있는 hot carrier effect로 인한 kink 현상^[11]은 나타나지 않았다.

#A4 소자의 $I_d - V_g$ 특성곡선에 있어서 드레인 전류가 $I_d = 100\mu\text{A}$ 일때 게이트전압이 $V_g = 8\text{V}$ 가 되도록 측정초기상태를 조정한다. 그런 다음, 소오스, 드레인 및 기판을 공통접지로 하고, 크기(pulse height)는 같으나 폭(pulse width)이 다른 음(-)의 펄스전압을 게이트에 인가하여 소자를 기록시킨 후, 각각의 경우에 대해 $I_d - V_g$ 특성곡선을 측정하여 문턱전압의 이동량을 구하였다. 이때, 문턱전압의 이동량은 측정초기상태와 기록상태에서 각각 측정



(a)



(b)

그림 5 기록 및 소거에서 게이트전압에 따른 $I_d - V_d$ 특성곡선 : (a) 기록상태 (b) 소거상태

Fig. 5 $I_d - V_d$ characteristics curves at different gate voltages in the (a) writing and (b) erasing state.

한 $I_d - V_g$ 특성곡선으로부터 $I_d = 100\mu\text{A}$ 일때의 게이트전압의 차로 부터 구하였다. 펄스전압의 크기가 각각 $V_w = -11\text{V}$, $V_w = -12\text{V}$, $V_w = -13\text{V}$ 인 경우에 펄스전압의 폭에 따른 문턱전압의 이동량을 구한 결과는 그림 6과 같다.

그림에서 보는 바와 같이 기록 펄스전압의 크기 및 폭이 증가할 수록 문턱전압의 이동량이 커짐을 알 수 있다. 일반적으로 디지털회로에서 요구되는 논리허용레벨인 $\Delta V_{\text{eff}} = 3\text{V}$ 의 memory window 크기

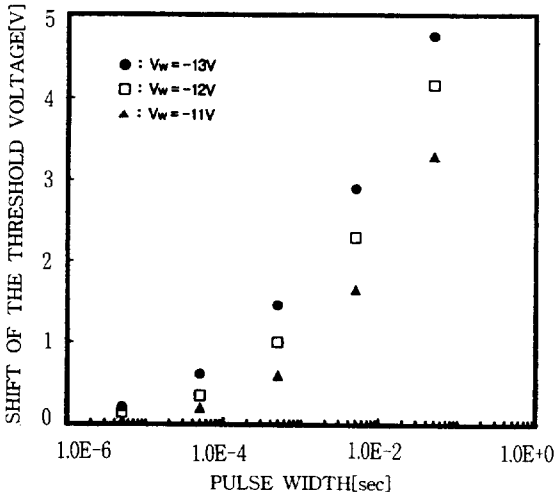


그림 6 Programmable 전압 펄스의 크기가 다른 경우 펄스폭에 따른 문턱전압의 이동량
 Fig. 6 Shift of the threshold voltage with the programmable voltage pulse width at different pulse heights

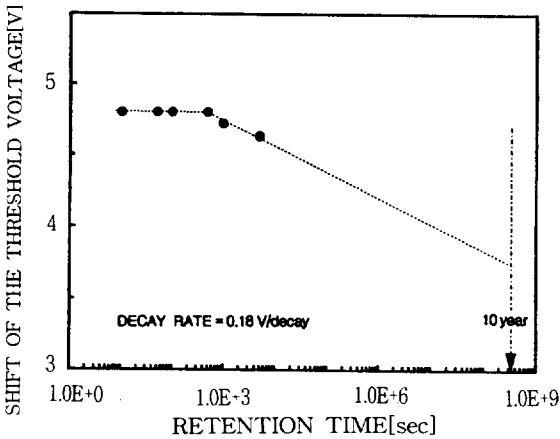


그림 7 기억유지 시간에 따른 문턱전압의 이동량
 Fig. 7 Shift of the threshold voltage with the retention time

[8]를 얻기 위해서는 programmable 펄스전압의 크기가 $V_w = -13V$ 인 경우 폭은 $t_w = 5msec$ 이상이면 되고, $t_w = 50 msec$ 인 경우 $V_w = -11V$ 이상이면 가능함을 알 수 있다. 특히, 그림 6의 결과로부터 게이트절연막으로 ONO구조를 이용하므로써 질화막 두께를 205\AA 으로 축소시킴에도 불구하고 memory window 크기는 기존의 MNOS 기억소자에 상응함을 알 수 있고, [12] 질화막 두께가 감소함에 따라 기록/소거 전압의 크기는 감소됨을 알 수

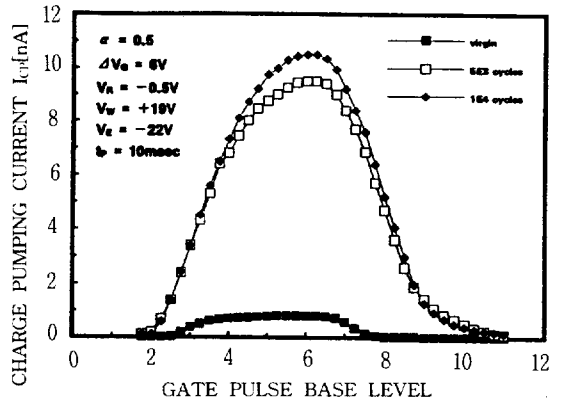


그림 8 기록/소거 반복횟수에 따른 $I_{CP}-V_{GL}$ 특성곡선
 Fig. 8 $I_{CP}-V_{GL}$ characteristics curves at different write/erase cycles

있다.

그림 6과 동일한 방법으로 #A4 SONOSFET 기억소자의 측정초기상태를 조정한 후, 소오스, 드레인, 기판을 공통접지하고 게이트에 $V_w = -13V$, $t_w = 50msec$ 인 펄스전압을 인가하여 기록상태로 만든 다음, 소자의 각 단자를 개방한 채 상온의 암상자에 방치한다. 그런 다음 경과시간에 따라 문턱전압의 이동량을 측정하여 기억유지특성을 조사하였으며, 그 결과는 그림 7과 같다.

측정은 $5 \times 10^8 sec$ 까지 수행하였으며, 그림의 점선은 측정된 실험결과로부터 추정하여 나타낸 것이다. 그림으로 부터 알 수 있는 바와 같이 문턱전압의 이동량은 $5 \times 10^2 sec$ 까지는 거의 변화가 없다가 그 이후부터는 시간에 대수함수적으로 감소하였다. $5 \times 10^2 sec$ 이후 부터 점선으로 나타낸 직선의 기울기를 구하여 얻은 문턱전압 이동량의 감소율(decay rate)은 $0.18V/decade$ 이었다. 따라서, 10년 ($3.2 \times 10^8 sec$) 이상에서도 문턱전압의 이동량이 $\Delta V_{th} = 3V$ 이상의 값을 갖기 때문에 외부로부터의 공급전원 없이도 10년 이상 그 기억상태를 유지할 수 있음을 알 수 있다.

소자의 기록/소거 반복에 따른 열화특성은 charge pumping 전류특성곡선($I_{CP}-V_{GL}$ curves)을 측정하여 조사하였다. 소자는 단일 헷상에서 게이트, 소오스, 드레인, 그리고 기판 단자가 다른 소자들과 공통으로 되어 있지 않고 독립된 단자를 갖는 $L \times W = 1.7\mu m \times 15\mu m$ 이고 p-channel인 #A6 SONOSFET 기억소자이다. 기록/소거 반복을 위해서 소오스, 드레인, 기판을 공통접지로 하고 게이트에 폭은 $t_p = 10msec$ 로 같으나 극성 및 크기가 각각

5. 결 론

기존의 1 Mbit DRAM용 n-well CMOS제조공정을 기반으로 SONOS EEPROM을 제작하고, 고집적화에 따른 소자의 소형화 및 그에 수반된 특성변화를 조사한 결과, 다음과 같은 결론을 얻었다.

- 1) SONOS EEPROM의 고집적화는 기존의 CMOS제조공정 기술로 가능하다.
- 2) $L \times W = 1.5\mu\text{m} \times 15\mu\text{m}$ 인 short channel SONOSFET 기억소자가 W/L 비가 작은 소자들보다 기록 및 소거상태에서의 전달특성뿐만 아니라 memory window 크기도 $\Delta V_{\text{eff}} = 4.8\text{V}$ 로서 양호하였다.
- 3) $V_w = -13\text{V}$ ($t_w = 5\text{msec}$), $V_E = -11\text{V}$ ($t_w = 50\text{msec}$)의 programmable 전압으로 $\Delta V_{\text{eff}} = 3\text{V}$ 이상의 memory window 크기를 얻을 수 있다.
- 4) SONOS 구조는 블로킹 산화막때문에 질화막 두께를 줄이므로써 scaling-down이 가능하며 memory window 크기는 변화시키지 않으면서 programmable 전압을 작게 할 수 있다.
- 5) 블로킹 산화막은 게이트로 부터의 전하주입을 막아주기 때문에 기억유지특성을 향상시키며, $L \times W = 1.5\mu\text{m} \times 15\mu\text{m}$ 의 소자에 있어서 감소율은 0.18V/decade 로서 외부전원 없이도 10년 이상 기억상태가 유지될 것으로 추론된다.
- 6) 폭이 $t_p = 10\text{msec}$ 이고, $V_w = 19\text{V}$, $V_E = -22\text{V}$ 의 구형 펄스전압으로 기록/소거 반복을 5×10^3 회 하였을 때 계면트랩밀도가 증가하기 시작하였으며 소자의 열화현상이 나타났다. 이로 부터 5×10^3 회 까지 기록/소거 반복이 보장됨을 알 수 있다.

$V_w = +19\text{V}$, $V_E = -22\text{V}$ 인 구형펄스전압을 번갈아서 연속적으로 인가하였으며, 기록/소거 반복횟수에 따라 charge pumping 전류특성곡선을 측정한 결과는 그림 8과 같다. 이때, duty cycle은 $\alpha = 0.5$, 톱니파형 게이트 펄스전압의 크기 및 주파수는 각각 $\Delta V_G = 6\text{V}$, $f = 100\text{kHz}$, 드레인 및 소오스에 인가된 역전압은 $V_R = -0.5\text{V}$ 로 하였다.

그림에서 보는 바와 같이 기록/소거 반복횟수가 증가함에 따라서 charge pumping 전류는 증가하였다. 특히, 5×10^3 회 부터는 급격히 증가하였으며, 이로 부터 소자가 열화되었음을 확인할 수 있다. 반복횟수가 10^4 회 이상이 되면 charge pumping 전류는 포화하여 더 이상 증가하지 않았다.

열화 전후의 Si-SiO₂ 계면트랩밀도의 에너지분포를 조사한 결과는 그림 9와 같다. 반도체 금지대

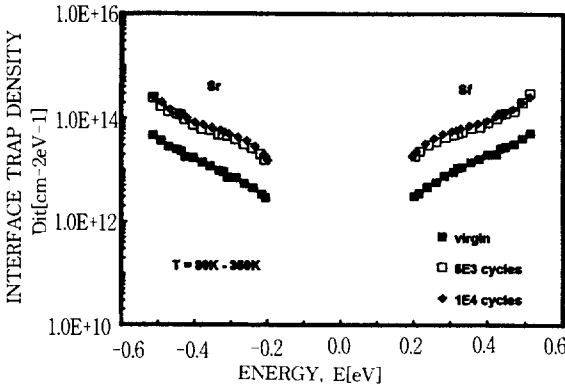


그림 9 기록/소거 반복횟수에 따른 Si-SiO₂ 계면트랩밀도의 에너지분포

Fig. 9 Energy distributions of the Si-SiO₂ interface trap density at different write/erase cycles

내의 넓은 영역의 분포를 조사하기 위하여 G. Van den bosch등^[7]이 제시한 여러 온도에 charge pumping 전류특성을 조사하는 방법을 이용하였다. 그림으로 부터 알 수 있는 바와 같이 기록/소거 반복횟수가 증가함에 따라 계면트랩밀도는 에너지 전범위에 걸쳐서 증가하고, 10^4 회 이상의 횟수부터는 포화한다. 이와 같은 Si-SiO₂계면트랩밀도의 증가는 표면이동도의 증가, memory window 크기의 감소, memory window 중앙의 이동, 그리고 기억유지능력의 저하등과 같은 소자의 열화를 촉진시키는 원인이 된다. 따라서, 본 연구에서 사용한 SONOSFET 기억소자는 5×10^3 회 까지 기록/소거 반복이 보장됨을 알 수 있다.

※ 이 논문은 1991년도 교육부 지원 국비과정에 의하여 연구되었음.

참 고 문 헌

[1] S. Minami and Y. Kamigake, "A Novel MONOS Nonvolatile Memory Device Ensuring 10-Year Data Retention after 10^7 Erase/Write Cycles", IEEE Trans. Electron Devices, Vol. 40, No. 11, pp.2011~2017, 1993.

[2] F.R. Libsch and M.H. White, "Charge

- Transport and Storage of Low Programming Voltage SONOS/ MONOS Memory Devices", Solid-State Electronics, Vol. 33, No. 11, pp.105~126, 1990.
- [3] E. Suzuki, Y. Hayashi, K. Ishii and T. Tsuchiya, "Traps Created at the Interface between the Nitride and the Oxide on the Nitride by Thermal Oxidation", Appl. Phys. Lett., Vol. 42, No.7, pp.608~610, 1983.
- [4] Annual Book of ASTM Standard, "Standard Method for Measuring MOSFET Linear Threshold Voltage", Vol. 10.04, Designation:F617, pp.439~444, 1986.
- [5] A.B.M. Elliot, "The Use of Charge Pumping Currents to Measure Surface State Densities in MOS Transistor", Solid-State Electronics, Vol.19, pp.241~247, 1976.
- [6] J.G. Simmons and L.S. Wei, "Theory of Dynamic Charge Current and Capacitance Characteristics in MIS System Containing Distributed Surface Traps", Solid-State Electronics, Vol. 16, pp.53~66, 1973.
- [7] G. Van den bosch, G.V. Groeseneken and H.E. Maes, "Spectroscopic Charge Pumping : A New Procedure for Measuring Interface Trap Distributions on MOS Transistors", IEEE Trans. Electron Devices, Vol. 38, No. 8, pp.1820~1831, 1991.
- [8] C. Papadas, et al., "Influence of Tunnel Oxide Thickness Variation on the Programmed Window of FLOTOX EEPROM Cells", Solid-State Electronics, Vol. 35, No.8, pp.1195~1196, 1992.
- [9] Y. Hsia, "Cross-Gate MNOS Memory Device", IEEE Trans. Electron Devices, Vol. ED-25, No.8, pp.1071~1072, 1978.
- [10] M.J. Deen and Z.P. Zuo, "Edge Effects in Narrow-Width MOSFET's", IEEE Trans. Electron Devices, Vol.38, No.8, pp.1815~1819, 1991.
- [11] N.G. Einspruch and G. Sh. Gildenblat, "Advanced MOS Device Physics", Academic Press, Chapl. 1 & 4, 1991.
- [12] S. Minami and Y. Kamigaki, "New Scaling Guidelines for MNOS Nonvolatile Memory Devices", IEEE Trans. Electron Devices, Vol. ED-38, No. 11, pp.2519~2526, 1991.

저자소개



서광열

1939년 9월 27일생. 1961년 인하대학 원자력공학과 졸업. 1969년 연세대학 교육대학원 졸업. 1986년 경희대학 대학원 물리학과 졸업(이박). 1994년 현재 광운대학교 전자재료공학과 교수.