

## Power IGBT의 개발에 관한 연구

### A Study on the Experimental Fabrication and Analysis of Power IGBT

성만영\*, 김영식\*, 박정훈\*, 박성희\*\*  
(Manyoung Sung, Younggig Kim, Junghoon Park, Seonghee Park)

#### 요 약

LIGBT의 전압-전류 특성을 디자인 파라미터와 공정 파라미터를 포함한 SPICE Simulation으로 확인 하였다. 중요한 파라미터는 p-body와 n<sup>-</sup>층 그리고 p<sup>+</sup>애노드로 구성된 pnp bipolar transistor의 수평 전류 이득( $h_{fe}$ )이었다. 이 전류 이득은 Ebers-Moll 등식으로 얻었다. LIGBT의 On 저항은 채널 저항( $R_E$ )과 인가된 게이트 전압에 종속되는 유효 벌크 저항( $R_2$ )으로 구성되며, On 저항의 해석과 모델링은 디바이스의 디자인 조건을 최적화하기 위해서 기하학적 구조와 도핑 프로파일에 따른 물리적 특성으로부터 전개하여 특성해석을 위한 모델링을 실시하여 제시하였다.

#### Abstract

The current-voltage characteristics of LIGBT is verified by SPICE simulation which includes design parameters and process parameters. Important parameter is lateral current gain( $h_{fe}$ ) of pnp bipolar which consists of p-body, n<sup>-</sup> layer and p<sup>+</sup> anode. This current gain is obtained from Ebers-Moll equation. On-resistance of LIGBT consists of channel resistance( $R_E$ ) and effective bulk-resistance( $R_2$ ) which depend on biased gate voltage( $V_G$ ). Analysis and modeling of on-resistance are developed from physical structure(geometry and doping profiles) so that it is used in optimizing a design condition of devices.

※ 본 연구는 산학협동재단의 연구비 지원에 의해 수행된 일부결과임.

#### 1. 서론

IGBT (Insulated Gate Bipolar Transistor)는 전압과 전류 그리고 주파수의 관계에 있어서 그 우수함이 점차 부각되고있으며 최대의 항복전압과 ON-저항의 극소화를 위하여 디자인 파라미터와 프로세스 파라미터 사이의 최적설계조건이 요구되는 실정에 있으므로<sup>1)</sup> 본 논문에서는 IGBT의 설계제작에 있어서 디자인 파라미터가 특성의 변화에 미치는 영향을 고찰하고 IGBT를 LIGBT로 설계 제작하여 프로세스 파라미터와 디자인 파라미터의 상호 관련성을 조사하였다.

한편 LIGBT에서 문제시되는 ON-저항을 모델링함에 있어서, 전력용량을 키우기위해 본 논문에서 설계제작한 원형구조의 특수성을 해석에 고려시키므로서 다양한 구조의 변화에서도 적용할 수 있는 Modeling방법을 제안하였으며

바이폴라의 전류이득을 설계조건으로 잡았을때의 디자인 파라미터 설정법을 소개하였다.<sup>2)</sup> 이상과같은 Modeling이론을 적용하여 원형형태 IGBT의 동작특성을 해석한 결과와 디바이스 특성(I-V특성, ON-저항등)을 시뮬레이션을 통해 실험치와 비교하여 그 타당성을 검증하므로서 각 파라미터를 포함한 새로운 LIGBT해석방법을 제안하여 Power IC의 고내압화와 대용량화 방안의 수립에 일익을 담당하고자 하였다.

#### 2. LIGBT의 기초이론

##### 2.1 LIGBT의 특성 해석모델

LIGBT의 동작특성을 해석함에 있어서 LIGBT의 입력단을 DMOSFET, 출력단을 바이폴라 트랜지스터구조로 해석하는 모델이 제시되고 있다.<sup>3)</sup> 이와같은 이론은 DMOSFET의 전자전류와 바이폴라의 전자, 정공전류(正孔電流)를 총전류로 가정한다.

그림 1은 LIGBT를 바이폴라 모델로 고려했을 경우의 좌표계로 p<sup>+</sup>애노드를 바이폴라의 에미터, n<sup>-</sup>캐소드를 콜렉터로, n<sup>-</sup>에피층을 베이스

\* :고려대학교 전기공학과

\*\* :호서대학교 전자공학과

接受日字: 1993年 1月 9日

로 설정하여 나타내었다.<sup>3), 4)</sup>

DMOSFET/Bipolar Tr. 모델에서 소자 전체에 인가되는 전압  $V_{AK}$ 는

$$V_{AK} = V_{J1} + V_{drift} + I_{MOS}R_{MOS} \quad (1)$$

로 나타나며  $I_{MOS}$ 는 DMOSFET에 흐르는 전류인 동시에 Lateral BJT의 베이스전류를 형성하고 있으므로  $I_{AK}/(1+\beta)$ 로 나타낼 수 있다.

베이스전류를 구성하는  $I_{MOS}$ 에서 재결합전류 성분을 제외한 전자전류  $I_n(W)$ 는 식(2)로 나타낼 수 있다.<sup>3)</sup>

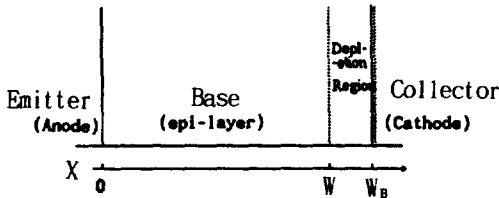


그림 1. 바이폴라 트랜지스터에 대한 1차원적 좌표설정

Fig. 1. One dimensional coordinate system for bipolar transistor

$$I_n(W) = \frac{p(0)^2 A J_{N0}}{ni^2} + \frac{qp(0)AD_A}{L_A} \left( \coth(W/L_A) - \frac{1}{\sinh(W/L_A)} \right) \quad (2)$$

그리고 캐소드(p-body)로의 정공전류(正孔電流)  $I_p(W)$ 는 식(3)처럼 되며

$$I_p(W) = \frac{p(0)^2 A J_{N0}}{ni^2} + \frac{qp(0)AD_A}{L_A} \left( \coth(W/L_A) + \frac{1}{\sinh(W/L_A)} \right) \quad (3)$$

베이스 영역에서의 재결합전류  $I_{REC}$ 는 식(4)와 같이 되어

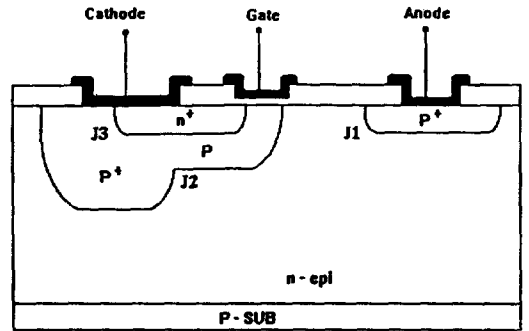
$$I_{REC} = A \int_0^W p(x)/\tau_H dx \quad (4)$$

소자의 총전류  $I_{AK}$ 는 식(5)와 같이 나타낼 수 있다.

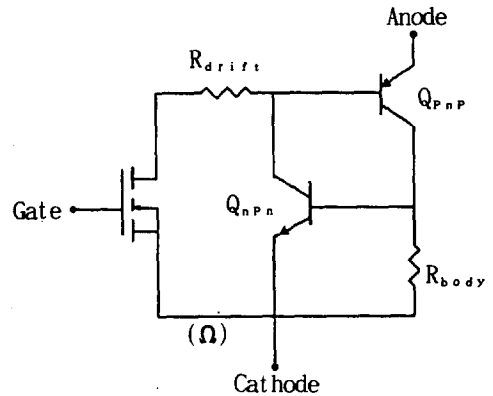
$$I_{AK} = I_{MOS} + I_p(W) = I_n(W) + I_{REC} + I_p(W) \quad (5)$$

## 2.2 LIGBT의 동작특성

그림 2에 LIGBT의 단면도와 등가회로를 나타내었다. 구조적 측면에서 LIGBT는 p기판위에 불순물 농도가 낮은 n<sup>-</sup>에피층이 형성된 웨이퍼를 사용하며 p-body영역과 n<sup>+</sup>캐소드영역을 이중확산(Double diffusion)하여 두 영역의 측면 접합깊이의 차이를 채널로 사용하는 구조이다.<sup>5), 6)</sup> LIGBT의 입력단은 DMOSFET로 구성되고 출력단은 p-body영역(콜렉터), n<sup>-</sup>에피층(베이스), p<sup>+</sup>애노드(에미터)로 구성되는 PNP BJT인  $Q_{PNP}$ 와 n<sup>+</sup>캐소드(에미터), p-body영역(베이스), n<sup>-</sup>에피층(콜렉터)으로 구성되는 NPN BJT인  $Q_{NPN}$ 으로 구성되어 있으며 LIGBT와 LDMOS의 구조적인 차이는 LDMOS의 n<sup>-</sup>드레인영역 대신 p<sup>+</sup>애노드영역이 있다는 점이다.



(a)



(b)

그림 2. LIGBT의 단면도와 등가회로

(a) LIGBT의 단면도  
(b) LIGBT의 등가회로

Fig. 2. The cross section and equivalent circuit of LIGBT

(a) Cross section of LIGBT  
(b) Equivalent circuit of LIGBT

그리고 LIGBT의 활용에 있어서 기판은 대체적으로 캐소드와 전기적으로 연결되어 있다. 캐소드에 대해 Threshold voltage,  $V_T$ 보다 큰 정전압(定電壓)이 게이트에 인가되면 채널층이

$n^+$  캐소드와  $n^-$  에피층 사이에 형성된다. 이와같은 상황에서 애노드에 정전압(定電壓)  $V_{AK}$ 을 인가하게 되면 애노드와 에피층간의 접합,  $J_1$ 이 완전히 순바이어스 될때까지 인가된 대부분의 전압은  $J_1$ 에 나타나게되며  $V_{AK}$ 를 증가시키면 접합  $J_1$ 은 순바이어스 되어 애노드 전류가 흐르기 시작하고 인가된 애노드전압은 채널부분과  $n^-$  드리프트 영역에 형성되어  $p^+$  애노드 영역에서 드리프트 영역으로의 정공(正孔) 주입과  $n^+$  캐소드 영역에서 채널을 통한 드리프트 영역으로의 전자주입이 시작된다. 주입된 정공(正孔)은 드리프트 영역의 전도도를 증가시키며 애노드 전압을 더 높이면 주입되는 정공(正孔)의 양은 더욱 증가되어 증가된 정공전류(正孔電流)를 보상하기 위해 전자전류도 증가하게된다.

애노드전류의 구성은  $p^+$  애노드에서 주입되어  $n^-$  에피층을 통해 캐소드로 들어가는 정공전류(正孔電流) 성분과, 애노드로 주입되는 전자전류 성분(또는 애노드에서 전자와 재결합으로 인해 보충되는 정공전류(正孔電流) 성분)으로 구성되며 드리프트영역에서의 전류는  $n^-$  에피층으로 주입된 정공(正孔)이 전자와 재결합함으로써 인하여 구성되는 성분과 애노드쪽으로 주입되는 전자전류로서  $pnp$  Tr.의 베이스전류와 같은 역할을 한다. 캐소드전류는  $n^-$  에피층에서 재결합한 정공(正孔)의 전류성분을 뺀 나머지 정공전류(正孔電流)와 DMOSFET의 채널을 통해 애노드로 주입된 전자전류로 구성되며 애노드에서 주입되는 정공(正孔)은  $p^-$  body층을 통해 측면으로 통과하는데 이 Lateral current 흐름은 body 영역의 옴저항에 의한 전압강하를 야기시킨다.

### 3. LIGBT의 설계와 제작

#### 3.1 LIGBT의 설계

LIGBT의 제작에 사용된 웨이퍼는  $p^+$  기판의 비저항이  $0.02(\Omega\text{-cm})$ 이며 그 위에  $n^-$  에피층이 성장된 것으로 에피층의 비저항은  $2.1 \pm 0.2(\Omega\text{-cm})$ 이고 두께는  $11\mu\text{m}$ 이다. 이를 토대로 에피층의 농도는  $2 \times 10^{15}(\text{atoms}/\text{cm}^3)$ 임을 알 수 있으며 이때의 항복전압은 190(V)를 산출할 수 있으며 설계시 Minimum Feature Size는  $15(\mu\text{m})$ , Alignment Tolerance는  $5(\mu\text{m})$ 로 설정하였다. 그림 3은 설계된 LIGBT의 단면구조와 설계치수를 나타낸 것이며 그림 4는 평면구조와 설계치수를 도시하였다. 드리프트 영역의 길이는  $30(\mu\text{m})$ , 게이트길이는  $25(\mu\text{m})$ 이며 그림 4처럼 LIGBT의 구조는 전체분포의 균일성을 주어 최대항복전압을 얻기위해 원형타입으로 설계하였고 소자의 총길이는  $270(\mu\text{m})$ 이며 유효채널길이는  $2.4(\mu\text{m})$ 이다. 게이트구조는 부채꼴이며 수평축에서  $77^\circ$ 의 각을 가지고 있다.

#### 3.3 Lateral PNP 바이폴라 트랜지스터( $Q_{r,p}$ ) 성분의 설계

바이폴라 트랜지스터의 설계에 필요한 디바이스 파라미터로서 중요한것은 바이폴라 트랜

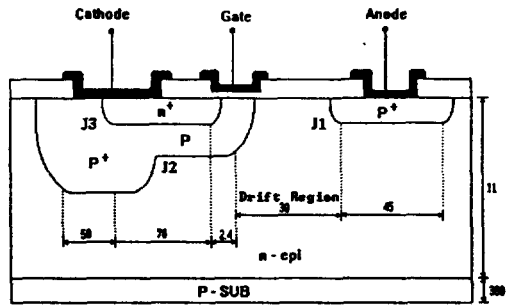


그림 3. LIGBT의 단면구조와 설계치수 (단위:  $\mu\text{m}$ )  
Fig. 3. Structure of cross section and design size of LIGBT (unit:  $\mu\text{m}$ )

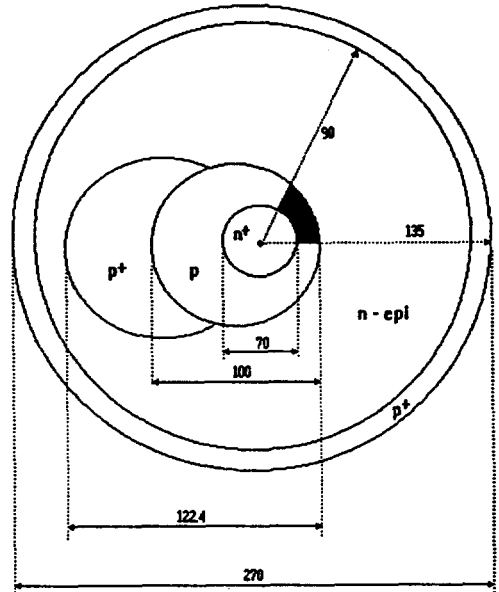


그림 4. LIGBT의 평면구조와 설계치수 (단위:  $\mu\text{m}$ )  
Fig. 4. Plane structure and design size of LIGBT (unit:  $\mu\text{m}$ )

지스터의 전류이득, 수평방향 전류이득  $h_{r,ex}$ 와 수직방향  $h_{r,ey}$ 로 에버스-물 방정식에서 이들을 유출할 수 있다.<sup>2)</sup> 즉

그림 5(a)에서 Lateral Transistor의 전류이득을 구하기 위한 구조에서  $p1$ 은 에미터영역,  $p2$ 는 콜렉터 영역 그리고  $p3$ 는 기생 콜렉터 영역이며 이와같이  $p1, p2, p3$ 에 의해 구성되는 각 영역에 흐르는 전류는 다음과 같다.

$$I_1 = a_{11}(e^{\lambda V_1 B - 1}) + a_{12}(e^{\lambda V_2 B - 1}) + a_{13}(e^{\lambda V_3 B - 1}) \quad (6)$$

$$I_2 = a_{21}(e^{\lambda V_1 B - 1}) + a_{22}(e^{\lambda V_2 B - 1}) + a_{23}(e^{\lambda V_3 B - 1}) \quad (7)$$

$$I_3 = a_{31}(e^{\lambda V_1 B - 1}) + a_{32}(e^{\lambda V_2 B - 1}) + a_{33}(e^{\lambda V_3 B - 1}) \quad (8)$$

여기서  $V_{1B}$ 는 에미터-베이스 전압,  $V_{2B}$ 는 콜렉터-베이스 전압이며 식 (6), (7), (8)로부터  $h_{r,ex}$ 는 식(9)로 나타낼 수 있다.

$$h_{r,ex} = - \frac{I_2}{I_1 + I_2 + I_3} \quad (9)$$

두 트랜지스터가 Active영역에서 동작하려면 콜렉터 접합의 전압,  $V_{2B}$ ,  $V_{3B}$ 가 역바이어스 되어야하므로  $e^{\lambda V_{2B}}$ ,  $e^{\lambda V_{3B}}$ 를 무시하면  $h_{r,ex}$ 는  $-a_{21}/(a_{11}+a_{21}+a_{31})$ 이 된다. 여기서  $a_x$ 와  $a_y$ 를 각각  $a_x = -a_{21}/a_{11}$ ,  $a_y = -a_{31}/a_{11}$ 라 놓으면  $h_{r,ex}$ 와  $h_{r,ey}$ 는 식(10), (11)로 표현할 수 있다.

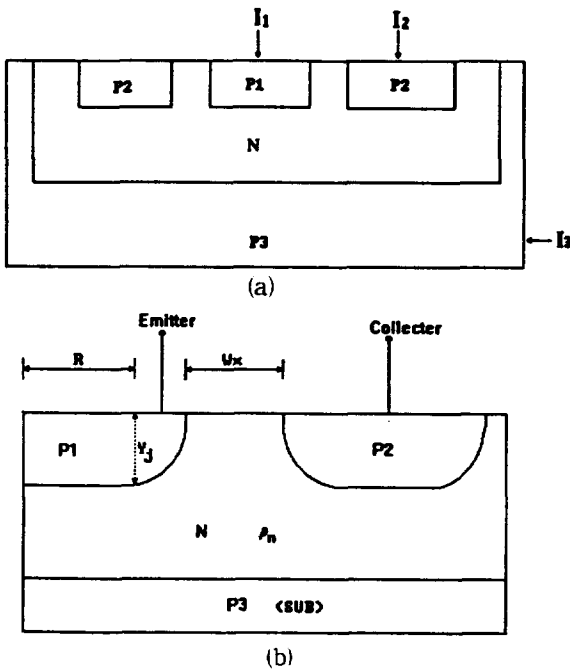


그림 5. LIGBT의 등가해석을 위한 모델  
(a) Lateral 바이폴라 트랜지스터구조  
(b) 플래나 접합의 Lateral 바이폴라 트랜지스터구조

Fig. 5. The model of LIGBT' equivalent circuit analysis  
(a) Structure of lateral bipolar transistor  
(b) Lateral bipolar transistor structure of planar junction

$$h_{r,ex} = a_x (1 - a_x \cdot a_y) \quad (10)$$

$$h_{r,ey} = a_y (1 - a_x \cdot a_y) \quad (11)$$

플레나접합에 대한 곡률의 영향을 고려하면

$$a_{21} = q n i^2 \mu_p \mu_n kT \int \frac{\rho_x}{N} dA_x \quad (12)$$

$$a_{11} + a_{21} + a_{31} = q n i^2 \mu_p \mu_n kT (A_x + A_y) \rho_{s,py} \quad (13)$$

이므로 수평방향 전류이득,  $h_{r,ex}$ 는 다음과 같이 주어진다.

$$h_{r,ex} = \frac{2 \rho_n \frac{(R+yj+Wx)(2yj/Wx)}{(1+2yj/Wx)^{1/2}} \tan^{-1} \left( \frac{1+2yj/Wx}{Wx} \right)^{1/2} - \pi yj/2l}{(R^2 + \pi R y j + 2y j^2) \rho_{s,p}} \quad (14)$$

여기서  $x$ 는 수평방향을 의미하며  $R$ 은 에미터의 길이,  $yj$ 는 접합깊이,  $Wx$ 는 베이스의 길이,  $\rho_{s,ax}$ ,  $\rho_{s,px}$ 는 수평방향의  $n$ 영역과  $p$ 영역의 면저항이며  $\rho_{s,ay}$ ,  $\rho_{s,py}$ 는 수직방향의  $n$ 영역과  $p$ 영역의 면저항이다. 또한  $\rho_n$ 는 베이스의 비저항이며,  $\rho_{s,p}$ 는 에미터의 면저항이다.

### 3.4 LIGBT의 ON-저항 설계

LIGBT에서는 LDMOS의 ON-저항성분이 IGBT 소자의 ON-저항성분의 대부분을 차지하고있어 이 ON-저항 성분을 극소화할 수 있는 구조적인 설계가 최대 과제가되고 있으며 이를 위해서는 ON저항의 정확한 해석이 필요하다.

LDMOS의 구조적인 해석에 있어서는 인핸스먼트 모드  $N$ -채널의 MOS와 표면촉적영역의 디플리션 모드 MOS가 직렬로 연결되어있고, 디플리션소자에 병렬로 연결된 벌크저항  $R1$ 과 게이트 전극과 드레인사이 영역에 직렬로 연결된 저항  $R2$ 인 4가지 성분으로 설명되고 있으며  $n^-$ 에피층위의 게이트 산화막과 전극은 Field Plate 역할을 하므로 디플리션모드 소자와 벌크저항  $R1$ 은 소자의 총 ON-저항을 감소시키나  $n^-$ 에피층의 산화막길이는 총  $n^-$ 에피층길이보다 훨씬 짧기 때문에 큰 영향이 없는 것으로 생각한다.

이런이유에서 디플리션모드 소자와  $R2$ 계산시  $R1$ 을 무시할 수 있고, 등가회로는 인핸스먼트 모드 소자와 벌크저항  $R2$ 의 직렬연결로 간단히 나타낼 수 있다. 즉  $R_{on} = R_E + R2$ 이며 채널저항  $R_E$ 는 식(15)와 같다.

$$R_E = \frac{1}{(W L_{eff}) C_0 \mu_n^{-1} (V_{GK}) (V_{GK} - V_T)} \quad (15)$$

$W$ 는 유효 채널폭,  $L_{eff}$ 은 유효 채널길이이며 채널층에서의 전자의 이동도는 전체의 수직성분 때문에 감소하게 된다.

벌크저항,  $R2$ 는 일반적으로 LDMOS에서 등가 사다리꼴의 해석법을 활용하고 있으며 그 결과는 식(16)과 같다.

$$R2 = \frac{\rho}{W \pi} \left[ \ln \left( \frac{L - r1}{r1} \right) + \ln \left( \frac{L - r2}{r2} \right) \right] \quad (16)$$

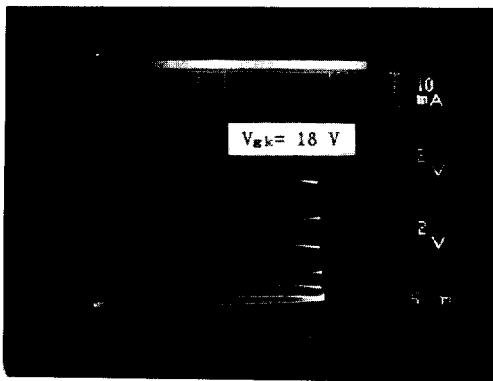
여기서  $L$ '는  $n^-$ 에피층의 유효길이 이고,  $r1$ 은 채널끝쪽의 소스의 유효곡률반경이고  $r2$ 는 드레인의 유효곡률반경이다. 그러나 LIGBT의 LDMOS의  $n^-$ 드레인 영역이  $p^-$ 에노드로 구성되어 있

고 n<sup>-</sup>에피층이 드레인 역할을 하므로 식(16)은 바이폴라 성분의 베이스저항, R<sub>B</sub>를 구할때 이용할 수 있으며 벌크저항, R<sub>2</sub>는 유효 벌크저항을 이용하여야 한다.<sup>8)</sup>

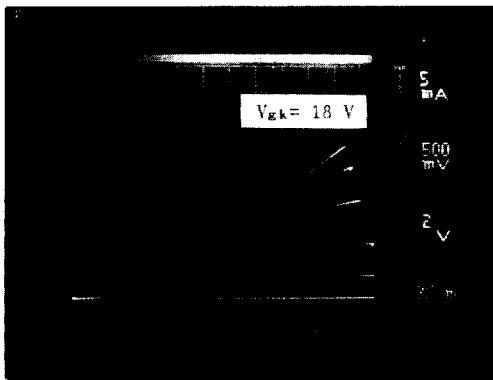
#### 4. LIGBT의 특성 및 고찰

##### 4.1 설계 제작된 LIGBT의 전기적 특성

그림 6에는 인헨스먼트 모드로 제작된 LIGBT의 전류-전압 특성을 나타내었다. 그림 6(a)는 게이트전압 V<sub>GK</sub>를 0(V)에서 18(V)까지 2(V)간격으로 인가했을 경우, 애노드전압 V<sub>AK</sub>에 따른 애노드전류 I<sub>AK</sub>를 측정하였던 것으로 그림 6(b)는 선형영역의 특성을 나타낸 것으로 애노드전압 V<sub>AK</sub>가 0.7(V)이하에서는 애노드의 p<sup>+</sup>n접합이 차단되어 있어 애노드 전류는 흐르지 않음을 알 수 있다. 이 특성으로부터 제작된 LIGBT는 Threshold voltage, V<sub>T</sub>=7.5(V)임을 알 수 있다.



(a)



(b)

그림 6. (a) LIGBT의 전류-전압 특성  
(b) LIGBT의 전류-전압특성(선형영역)  
Fig. 6. (a) I-V Characteristics of LIGBT  
(b) I-V Characteristics of LIGBT (Linear region)

4.2 LIGBT해석을 위한 SPICE 파라미터 추출  
앞에서 설정한 설계 및 제작조건으로부터 시

뮬레이션에 필요한 SPICE 파라미터를 추출하기 위해서 필요한 치수는 다음과 같다. LIGBT의 입력단을 형성하는 LDMOS의 유효채널길이는 2.4(μm)이고 유효채널폭은 62.2(μm), 게이트 산화막의 두께는 1000(Å)이며 채널을 유지시키는데 필요한 Threshold voltage, V<sub>T</sub>은 식(17)로 나타낼 수 있다.<sup>9)</sup>

$$V_T = \frac{\Phi_{n_s} + 2\Phi_F - Q_{BB}/C_{ox} + [4\epsilon_{si} q N_a(x) \Phi_F]^{1/2}}{C_{ox}} \quad (17)$$

여기서 Q<sub>BB</sub>는 표면상태 전하밀도(surface state charge density)이고, Φ<sub>n<sub>s</sub></sub>는 금속과 Si의 일함수차이다. 식(17)에서 산화막 캐패시턴스 C<sub>ox</sub>는 ε<sub>ox</sub>/t<sub>ox</sub>이므로 3.54x10<sup>-8</sup>(F/cm<sup>2</sup>)이고 V<sub>T</sub>=7.5(V)를 산출할 수 있다. 또한 p-body의 농도, N<sub>a</sub>=3.46x10<sup>17</sup>(atoms/cm<sup>3</sup>)이며 p-body의 비저항, ρ<sub>p</sub>는 9x10<sup>-2</sup>(Ω-cm)이므로 면저항은 식(18)에서 1.5x10<sup>6</sup>(Ω-cm)이므로 면저항은 식(18)에서 1.5x10<sup>6</sup>(Ω/□)임을 알 수 있다.

$$\rho_{sp} = \rho_p/x_j \quad (18)$$

x<sub>j</sub>는 p-body의 접합 깊이로 6(μm)이다. 파라미터 γ(GAMMA)는 벌크의 농도가 Threshold voltage에 변화를 주는 요인으로

$$\gamma = \frac{(2q \epsilon_{si} N_a)^{1/2}}{C_{ox}} \quad (19)$$

식(19)에서 9.6077이 산출된다. 트랜스컨덕턴스 k<sub>p</sub>는 디바이스 제조공정시 결정되는 파라미터로 전자의 이동도에 의존하는데 이는 불순물 농도에 따라 다르다. 즉, N<sub>a</sub>=3.46x10<sup>17</sup>(atoms/cm<sup>3</sup>)일때 μ<sub>n</sub>=5x10<sup>2</sup>(cm<sup>2</sup>/v-s)이므로 k<sub>p</sub>=μ<sub>n</sub>C<sub>ox</sub>에서, k<sub>p</sub>=1.77x10<sup>-5</sup>(A/V<sup>2</sup>)이 산출된다.

한편 기판의 농도 NSUB=3.46x10<sup>17</sup>(atoms/cm<sup>3</sup>)이고 TOX=10<sup>-10</sup>(m)이며 LIGBT의 출력단을 형성하는 바이폴라의 전류이득은 식(14)에서 구할 수 있다. 즉 애노드의 불순물 농도가 10<sup>17</sup>(atoms/cm<sup>3</sup>)일때 ρ<sub>p</sub>=0.198(Ω-cm), ρ<sub>sp</sub>=6.6x10<sup>6</sup>(Ω/□)이고 y<sub>j</sub>=3(μm), W<sub>x</sub>=52.6(μm), R=45(μm)이다. 이때 산출된 전류이득 h<sub>fe</sub>는 12.9이며 베이스저항 R<sub>B</sub>는 식(16)에서 구한 R<sub>2</sub>를 이용할 수 있다.

즉 r<sub>1</sub>=r<sub>2</sub>=3(μm)이며 L'=52.6(μm)이므로 R<sub>B</sub>=680(Ω)을 얻을 수 있으며 SPICE 시뮬레이션에 필요한 각종 파라미터들을 본 논문의 IGBT에 대한 설계제작조건을 토대로 표 1에 나타내었다.<sup>10)</sup>

##### 4.3 LIGBT의 시뮬레이션 결과와 고찰

LIGBT의 p<sup>+</sup>애노드, n<sup>-</sup>캐소드와 p-body영역의 불순물 분포는 소자의 시뮬레이션에 필요한 파라미터를 추출하고 적용하는데 쓰이기 때문에 제작공정에 따른 불순물농도 프로파일을 그림 7에 나타내었으며 그림 8은 본 논문에서 제작한 LIGBT의 특성을 이론적으로 살펴보기 위해

표 1. SPICE 파라미터  
Table 1. SPICE parameter

Model parameter	Value	Units
VTO	7.5	volt
L	2.4U	meter
V	62.2U	meter
GAMMA	9.6077	volt <sup>1/2</sup>
KP	1.77E-5	amp/volt <sup>2</sup>
NSUB	3.46E17	1/cm <sup>3</sup>
TOX	1E-10	meter
CGDO	8N	farad/meter
UO	684	cm <sup>2</sup> /volt sec
LEVEL	2	
BF	12.9	
RB	680	ohm
CJE	1.183P	farad
CJC	1.025	farad
TF	763.45N	sec

SPICE시뮬레이션한 결과를 나타낸 것으로 그림 8(a)는 실험적으로 측정된 조건과 동일하게 게이트전압  $V_{GK}$ 를 0(V)에서 18(V)까지 2(V) 간격으로 인가했을 경우, 애노드전압  $V_{AK}$ 에 따른 애노드전류  $I_{AK}$ 를 구한것으로  $V_{GK}=18(V)$ 일때  $I_{AK,SAT}=70(mA)$ ,  $V_{GK}=16(V)$ 일때  $I_{AK,SAT}=47(mA)$ ,  $V_{GK}=10(V)$ 일때  $I_{AK,SAT}=6(mA)$ 임을 알 수 있고 그림 8(b)는 선형영역에 관한 시뮬레이션 결과를 나타낸것이다.

그림 8로부터 시뮬레이션한 애노드 전류값이 그림 6에 나타낸 실제의 전류값과 일치함으로써 시뮬레이션에 쓰인 파라미터의 추출방법과 선정기준이 적합함을 알 수 있으며 본 논문에서 제작한 IGBT의 특성을 이론적으로 살펴 보기 위해 IGBT 입력단으로 쓰인 LDMOS의 전류값을 측정하지 못해도 그림 9의 결과로 이를 추정할 수 있으므로 IGBT의 설계 및 모델링에 큰 도움을 받을 수 있다고 생각된다.

#### 4.4 ON-저항의 해석적 모델링

본 논문에서 제작한 IGBT에 대한 ON-저항의 변화를 게이트전압,  $V_{GK}$ 에 따라 표 2에 나타내었다. IGBT의 ON-저항은 채널저항  $R_E$ 와 유효 벌크저항  $R_2$ 의 합으로 볼 수 있으며  $W=62.2(\mu m)$ ,  $C_0=3.54 \times 10^{-8}(F/cm^2)$ 와 채널층내에서의 전자의 이동도에 관한 식(20)의 실험식<sup>11)</sup>을 이용하여 채널저항  $R_E$ 의 값을 식(15)로부터 산출하였다. 한편 IGBT의 ON-저항에 관한 해석적 모델링은 여러형태의 애노드구조에도 활용할 수 있어 IGBT의 설계 및 제작이라는 측면에서 그 중요성을 인정받을 수 있다.

$$1360-92$$

$$\mu_{n,sx} = \frac{1360-92}{1+(N_A/3E^{17})^{0.91}} + 92 \quad (20)$$

식(20)에서 이동도,  $\mu_n$ 가  $684(cm^2/V-sec)$ 임을 알 수 있고 식(15)에서 계산된 채널저항  $R_E$ 의 값은  $V_{GK}-V_T$ 가 2.5(V)일때  $636(\Omega)$ , 4.5(V)일때  $353(\Omega)$ , 6.5(V)일때  $244(\Omega)$ , 8.5(V)일때  $187$

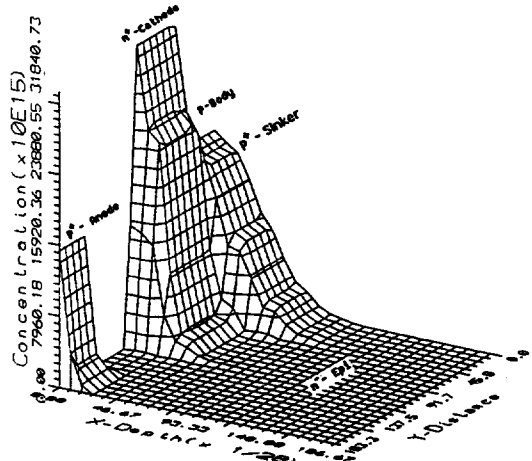


그림 7. IGBT의 농도 프로파일  
Fig. 7. Concentration profile of IGBT

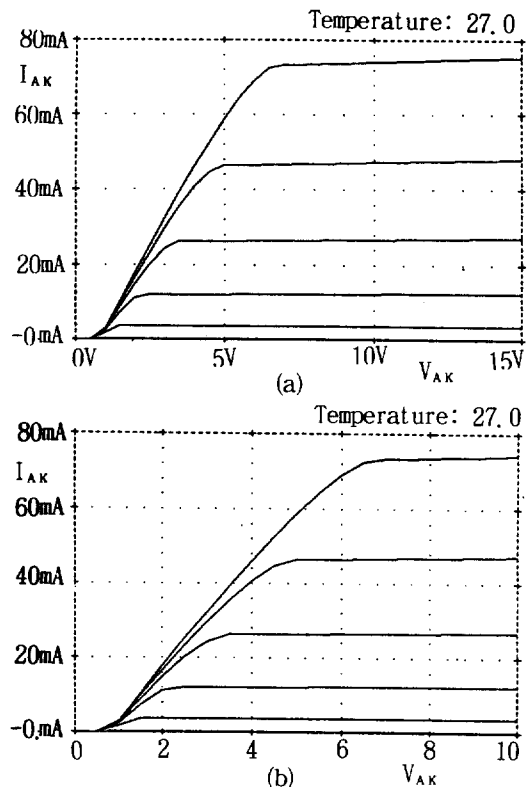


그림 8. IGBT의 전류-전압 특성(시뮬레이션 결과) ( $V_{GK}=18V$ , 2(V/step))

(a) IGBT 전류-전압 특성  
(b) IGBT 전류-전압 특성(선형영역)  
Fig. 8. I-V Characteristics of IGBT (Simulation result)  
(a) I-V Characteristics of IGBT  
(b) I-V Characteristics of IGBT (Linear region)

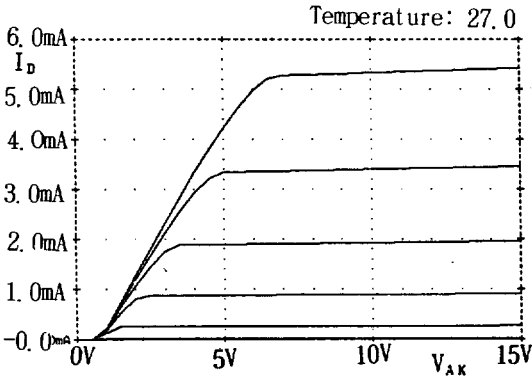


그림 9. LDMOS의 전류-전압 특성  
Fig. 9. I-V Characteristics of LDMOS

( $\Omega$ )이며 10.5(V)일때 151( $\Omega$ )이었으며 이값은 표 2에 나타낸 실험치와 부분적으로 잘 일치함을 알 수 있으나 모델링식에서 제외된 Secondary effect 파라미터를 좀더 보완한다면 정확한 해석이 가능하리라 판단된다.  
p<sup>+</sup>에노드의 구조에 의거하여 활성영역만의 저항성분만을 고려하는 경우 유효 벌크저항 R2는<sup>8)</sup>

$$R2 = \frac{\rho_n}{3 y j} \frac{h}{1} \quad (21)$$

으로 표현되며 여기서  $\rho_n$ 은 에피층의 비저항으로 2.1( $\Omega$ -cm), yj는 p<sup>+</sup>에노드의 접합깊이로 3( $\mu$ m)이며, h는 n<sup>-</sup>에피층의 길이로 30( $\mu$ m)이다. 1은 n<sup>-</sup>에피층의 측면 길이로  $2\pi \times 90(\mu\text{m}) = 565(\mu\text{m})$ 이다. 따라서 식(21)로부터 벌크저항 R2는 194( $\Omega$ ) 정도이지만 R2값은 게이트전압이 높아지게 되면 p-body영역으로의 캐리어 주입이 시작되어 전기전도도를 높여주기때문에 전체적인 ON-저항에는 큰 영향을 주지않는 것으로 해석된다. 이와같은 이론적인 수식을 통해 모델링한 ON-저항값을 표 3에 나타내었고 그림 11에 LIGBT의 ON-저항을 모델링한 값과 실측치를 비교하여 나타내었다. 이 모델링한 결과와 실험적으로 측정된 결과인 표 2를 비교하여볼때 그 변화양상은 비슷하지만 모델링한 값이 크게 나타나고 있는 것은 모델링과정에서 채널영역의 불순물농도를 균일하게 취급하였고 또 캐리어 주입에 의한 벌크저항의 변화성분과 n<sup>-</sup>에피층 위의 게이트 산화막과 전극의 Field Plate 역할을 무시했기 때문으로 생각된다. 그러므로 ON-저항의 모델링시 이들 파라미터의 2차적인 변화를 고려한다는 측면에서 디바이스 시뮬레이션을 통해 얻은 구조적인 해석결과를 ON-저항의 입력파라미터로 설정한다면 실제적인 IGBT 해석에 유용하게 활용할 수 있다고 판단된다.

5. 결론

본 논문에서는 HVIC에 전력소자로 응용되고

표 2. 게이트전압에 따른 ON-저항의 변화  
Table 2. ON-Resistance variation with gate voltage

$V_{GK}-V_T$ (V)	2.5	4.5	6.5	8.5	10.5
LIGBT ( $\Omega$ )	818	346	187	140	118

표 3. 모델링한 ON-저항의 변화  
Table 3. ON-Resistance variation by modeling

$V_{GK}-V_T$ (V)	2.5	4.5	6.5	8.5	10.5
$R_{on}$ ( $\Omega$ )	830	353	244	187	151

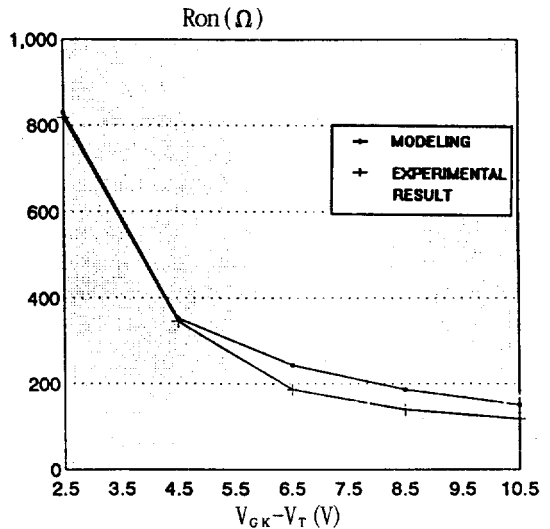


그림 10. LIGBT의 모델링한 ON-저항 변화  
Fig. 10. LIGBT's On-Resistance variation by modeling

있는 LIGBT를 설계 제작하여 소자의 전기적 특성을 조사하였으며, 전자회로의 해석에 많이 활용되고 있는 SPICE를 이용하여 LIGBT의 전류-전압특성을 시뮬레이션하여 실험치와 비교함으로써 동작특성에 영향을 미치는 디자인 파라미터와 프로세스 파라미터를 고찰하였으며 또한 ON-저항의 해석적 모델링을 통해 LIGBT의 설계조건을 확립함에 있어서 다음과 같은 몇가지 결론을 얻게 되었다. 제작된 LIGBT는 Threshold voltage,  $V_T$ 가 7.5(V)인 인헨스먼트형으로서 게이트전압이 18(V)일때 에노드의 포화전류,  $I_{AK,SAT}$ 는 68(mA) 이었고 설계파라미터로서 추출한 바이폴라 성분의 전류이득,  $h_{fe}$ 는 12.9로 이 값이 높게 추출되었음을 전류-전압특성으로부터 확인할 수 있었다. 게이트전압,  $V_{GK}$ 에 따른 ON-저항의 변화는 12(V), 14(V)일때 각각 346( $\Omega$ )과 187( $\Omega$ )으로 나타나 게이트 전

압이 증가할수록  $R_{on}$  값이 감소함을 알수 있는데 이는 채널저항  $R_E$ 와 벌크저항  $R_2$ 의 감소에 의한 영향으로 판단되며 게이트 전압이 높아지면 캐리어의 주입에 의해 n-에피층의 전기전도도가 높아지므로 벌크저항성분이 현격히 감소하게되고 이는 전체적인 ON-저항을 감소시키므로 Power Transistor에 있어서 ON-저항을 작게 한다는 측면에서는 바람직한 결과로 생각된다.

이상과같이 본 논문에서는 IGBT의 설계와 제작에 있어서 기초적인 특성해석과 모델링을 통해 전력용 반도체소자의 대용량화와 고내압화에 최적설계조건을 추출하여 보고자 하였으며 본 논문에서 얻은 결과를 전력용 반도체소자의 설계제작에 활용한다면 큰 도움이 될것으로 판단된다.

**참고문헌**

1. Michael S. Adler, "The evolution of power device technology", IEEE Trans. Electron Devices, vol, ED-31, pp. 1570-1591, Nov., 1984
2. Hung C. Lin, "DC analysis of multiple collector and multiple emitter transistors in integrated structures", IEEE J. of Solid-State Circuit vol. sc-4, no. 1, pp. 20-24, Feb., 1969
3. Allen R. Hefner, "An improved understanding for the transient operation of the power insulated gate bipolar transistor (IGBT)", IEEE Trans. Power Electronics, vol 5, pp. 459-468, Oct., 1990
4. Allen R. Hefner, "An investigation of the drive circuit requirements for the power insulated gate bipolar transistor (IGBT)", IEEE Trans. Power Elec., vol. PE-6, PP. 208-219, April, 1991
5. Michael D. Pocha, "A computer-aided design model for high-voltage double diffused MOS (DMOS) transistors", IEEE J. of Solid-State Circuit vol. sc-11, no. 5, pp. 718-726, Oct., 1976
6. B. Jayant Baliga, "The insulated gate transistor: A new three-terminal MOS-controlled bipolar power device", IEEE Trans. Electron Devices, vol. ED-31, pp. 821-828, June, 1984
7. S. C. Sun and J. D. Plummer, "Modeling of the on-resistance LDMOS VDMOS and VMOS power transistor", IEEE Trans. Electron Devices, vol. ED-27, pp. 356-367, Feb., 1980
8. Jerry G. Fossum, "Network representation of LIGBT structures for CAD of power integrated circuits", IEEE Trans. Electron Devices, vol. ED-35, pp. 507-515, April, 1988
9. M. D. Pocha, "Threshold voltage controllability in double-diffused MOS transistors", IEEE Trans. Electron Devices, vol. ED-12, pp. 778-784, Dec., 1974
10. Banzhaf, "Computer-aided circuit analysis using SPICE", Prentice Hall
11. S. C. Sun and J. D. Plummer, "Electron mobility in inversion and accumulation layers on thermally oxidized silicon surfaces", IEEE Trans. Electron Devices, vol. ED-27, pp. 1497-1508, Aug., 1980

**著者紹介**



**성만영**

1949년 6월 3일생. 1974년 고려대학교 전기공학과 졸업. 1981년 동 대학원 졸업(공학). 1985년 Univ. of Illinois 부교수. 1989년-현재 고려대학교 교수. 당 학회 평의원.



**박정훈**

1969년 10월 3일생. 1992년 고려대학교 공대 전기공학과 졸업. 1993년 현재 동 대학교 대학원 석사과정.



**김영식**

1969년 11월 29일생. 1991년 고려대학교 공대 전기공학과 졸업. 1993년 현재 고려대학교 대학원 석사과정.



**박성희**

1935년 4월 11일생. 1966년 명지대학교 전기공학과 졸업. 1987년 단국대학교 대학원 졸업(공학). 1989년 Carnegie Mellon University 교환교수. 1982년-현재 호서대학교 전자공학과 교수.