

자동 ΔV_{FB} 추적장치를 이용한 비휘발성 MNOS 기억소자의 동작특성에 관한 연구

A study on the behavior of the Nonvolatile MNOS Memory Devices using the Automatic ΔV_{FB} tracer

이형옥*, 이상배**, 서광열**
(Hyung-Ok Lee, Sang-Bae Yi, Kwang-YeIl Seo)

요 약

본 논문에서는 산화막의 두께가 23Å이며, 질화막의 두께를 각각 530Å, 1000Å으로 한 캐패시터형 MNOS소자를 제작하고 기억특성을 비교, 분석하였다. 특성조사를 위해 자동 ΔV_{FB} 추적장치를 설계, 제작하여 사용하였다. 기억트랩밀도는 질화막 두께 530Å인 소자가 1000Å인 소자보다 $0.18 \times 10^{16} \text{m}^{-2}$ 크며, $0.31 \times 10^8 \text{V/m}$ 낮은 산화막 전기장에서 전자가 주입되었으며, 10^4sec 경과후 포획전자의 유지율도 우수하였다. 또한 포획된 전자는 실리콘쪽으로의 역터널링으로 인한 감쇠가 우세하게 나타났다. 펄스전압 인가에 따른 플랫폼전압의 변화가 선형적으로 증가하는 영역에서는 산화막 전류가 지배적이었으며, 포화하다 감소하는 영역에서는 질화막 전류의 영향이 컸다. 소거동작은 포획된 전자의 방출과 실리콘으로 부터의 정공주입이 동시에 일어남을 관측하였다.

Abstract

The memory characteristics were investigated with the MNOS capacitors fabricated and deposited differently silicon nitride of 530Å, 1000Å each after growing oxide films of 23Å by fabricating and using automatic ΔV_{FB} tracer. The memory trap density was high by about $0.18 \times 10^{16} \text{m}^{-2}$ in the thin silicon nitride than thick, electron was injected in the low oxide field by $0.31 \times 10^8 \text{V/m}$, good retention rate of trapped electron was shown at 10^4sec and also trapped electron decay of back tunneling to silicon was dominated. In the linearly increasing region, oxide current and in the decreasing region after saturation, silicon nitride current was dominated in the shift of flatband voltage with pulse amplitude applied. The emission of trapped electron and hole injection from silicon were observed at the same time in the erase characteristics.

1. 서 론

전하를 축적, 유지할 수 있는 실리콘 질화막(질화막으로 약기)을 이용한 MNOS(Metal Nitride Oxide Semiconductor) 기억소자는 전기적으로 기록, 소거 및 비파괴적으로 판독이 가능하므로 EEPROM(Electrically Erasable and Programmable Read Only Memory)가 비휘발성 RAM(Random Access Memory) 소자로서 응용이 기대되어 많은 관심이 집중되고 있다.^{1, 2)}

MNOS 기억소자는 질화막의 증착조건에 의해 산소 불순물, 수소결합 및 실리콘 땀글링본드(silicon dangling bond) 등^{3, 4)}으로 $\text{SiO}_2\text{-Si}_3\text{N}_4$

계면과 Si_3N_4 막의 벌크에 형성되는 기억트랩에 전하를 주입 및 방출시키므로써 기억상태를 검출한다. MNOS구조는 실리콘기판과 캐리어 전도 기구가 다른 2중 절연막으로 되어있기 때문에 전하 터널용 산화막의 두께에 따라 터널확률이 크게 변하며, 전하 축적용 질화막의 두께, 증착시 반응가스의 유량비와 증착온도가 기억특성에 미치는 영향이 매우 크다. 그리고 높은 소거전압으로 인한 메모리 윈도우 폭(memory window width)의 감소와 기억유지(memory charge retention)특성의 악화가 비휘발성 기억소자로서의 한계점으로 지적되고 있다.^{5, 6)}

따라서 본 연구에서는 질화막 두께가 다른 두 종류의 MNOS소자를 제작한 후, 기억특성을 조사, 분석함으로써 실제 기억소자의 제작에 필요한 정보를 얻고자 한다. 그리고 특성 측정에

* : 오산전문대학교 전자과

** : 광운대학교 전자재료공학과

接受日字: 1993年 1月 20日

사용하기 위하여 설계, 제작된 자동 ΔV_{FB} 추적 장치로 정확한 측정결과를 얻을 수 있음을 확인하고자 한다.

2. 실험방법

2-1 소자의 제작

본 실험에서 사용된 MNOS소자의 기판은 비저항 5~8Ωcm, 결정면(100), 인(phosphorus)이 도우핑된 N형 실리콘 웨이퍼이다. 산화막은 건식 열산화법으로 800°C에서 3.83Å/min의 비율로 23Å 두께로 성장시켰다. 그위에 LPCVD(Low Pressure Chemical Vapor Deposition) 방법을 이용하여 증착온도 755°C에서 암모니아(NH₃) : 디클로로사이렌(SiH₂Cl₂)의 반응가스 유량비 4.1:1의 비율로 27~30Å/min의 증착율로 질화막을 530Å(A-53소자), 1000Å(B-10소자) 두께로 각각 증착시켰다. 산화막과 질화막의 두께는 자동 엘립소미터(Gaertner Scientific Co., L116B)를 사용하여 측정하였다. 그리고 게이트 전극은 직경 1mm의 원형 알루미늄(1%Si, 0.5%Cu포함)을 스퍼터링하여 형성하였다. 제작한 MNOS소자의 단면도는 그림 1과 같다.

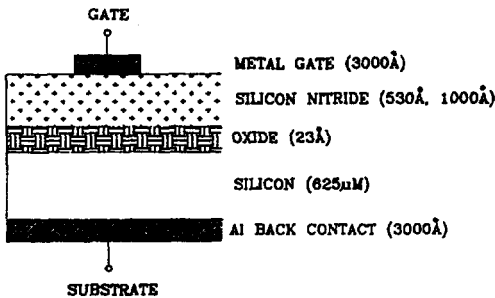


그림 1. MNOS소자의 단면구조
Fig. 1. Cross section of MNOS device

2-2 측정장치 및 방법

총래의 ΔV_{FB} 측정은 C-V곡선을 이용하여 플랫폼드용량(C_{FB})의 전압측에 대한 변화를 측정하여 구하였다. 그러나 얇은 산화막 구조로 되어있는 MNOS소자에서는 소인전압의 크기와 속도에 의해 전하의 주입, 방출 또는 캐리어의 절연막내 이동으로 측정시에 V_{FB} 가 변화하기 때문에 오차의 범위가 크며, 일정한 유지조건($V_G=V_{FB}, V_G=0V$)에서 측정하는 기억유지 특성도 측정하기 어려운 단점이 있다. 따라서, 본 측정에서는 MNOS소자의 포획전하량에 해당하는 귀환을 걸어 V_{FB} 측정시에 항상 소자의 용량을 C_{FB} 에 유지할 수 있도록 게이트 전압을 제어하여, 펄스전압 인가후 V_{FB} 측정까지 1ms에서 10 sec까지 측정할 수 있는 자동 ΔV_{FB} 추적장치를 직접 제작하여 사용하였다.

자체 제작한 자동 ΔV_{FB} 추적장치의 개략도는 그림 2와 같다. V_{FB} 검출회에서는 가산회로를 통하여 DC전압과 AC전압이 DUT(device under test:DUT)에 인가되면, AC신호는 동조 증폭회로에 의해 증폭되고, 정류회로에서 직류로 변환시킨 후 비교회로에서 C_{FB} 변화에 따른 전압

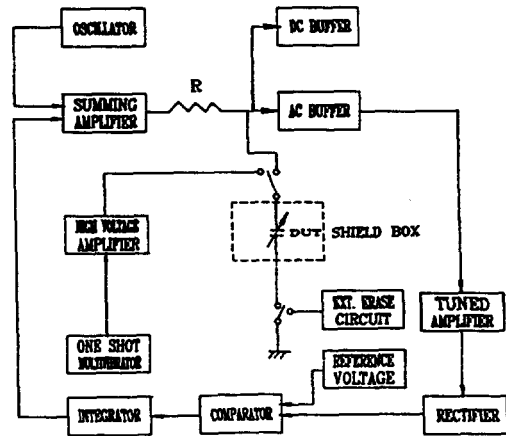


그림 2. 자동 ΔV_{FB} 추적장치의 블럭선도
Fig. 2. Block diagram of the automatic ΔV_{FB} tracer

의 변화를 기준전압과 비교하여 그 차를 검출한다. 이 전압변화는 적분회로를 통하여 DUT의 게이트 바이어스전압으로 귀환되어 비교회로의 출력이 0V가 될때까지 적분되며, 이때 이 귀환 전압을 모니터하여 직접 ΔV_{FB} 를 얻을 수 있도록 하였다. 그리고 펄스발생회로의 단안정 멀티바이브레이터(one shot multivibrator)의 출력은 13.4V으로 낮은 단일 펄스전압이므로, MNOS소자에서는 실리콘으로부터 기억트랩으로의 전하 포획(charge trapping)이 일어나지 않는다. 그러므로 최대 ±60V까지 증폭시킬 수 있는 고출력 OP-amp(BURR-BROWN: 3583J)를 사용하였으며, 임의의 펄스폭에 따라 자동적으로 스위칭할 수 있는 리드 릴레이(reed relay)를 통해 DUT에 인가하여 전하를 포획, 방출 및 유지할 수 있도록 구성하였다.

이렇게 구성한 측정 시스템에서 측정값의 정확도는 측정용량 50~500pF범위에서 ±2% 이하였으며, 버퍼(buffer)회로의 교류 10KHz 20mVrms 입력전압에 대한 출력전압의 오차는 +0.5% 이하 이었다.

측정시 MNOS소자는 제작조건에 의해 초기 플랫폼드전압(V_{FB0})이 양(+) 또는 음(-)의 값으로 치우쳐 있으므로, 이 상태에서 전자를 주입시키기 위해 게이트에 펄스전압을 인가하면 V_{FB0} 의 영향으로 실제로 DUT에 걸리는 전압이 변화하기 때문에 정상적인 비교가 어렵다. 그러므로 측정전 외부 소거회로의 낮은 바이어스 전압으로 약간의 전자(혹은 정공)를 주입 또는 방출시켜 V_{FB0} 가 0V±10mV 이내가 되도록 조정 한 후 측정하였다. 측정순서도는 그림 3과 같다.

3. 결과 및 논의

3-1 전자주입특성

MNOS기억소자는 게이트 전극에 양(+) 또는 (-)의 전압을 인가하면 실리콘으로부터 전하가 산화막을 터널링하여 SiO₂-Si₃N₄계면과 Si₃

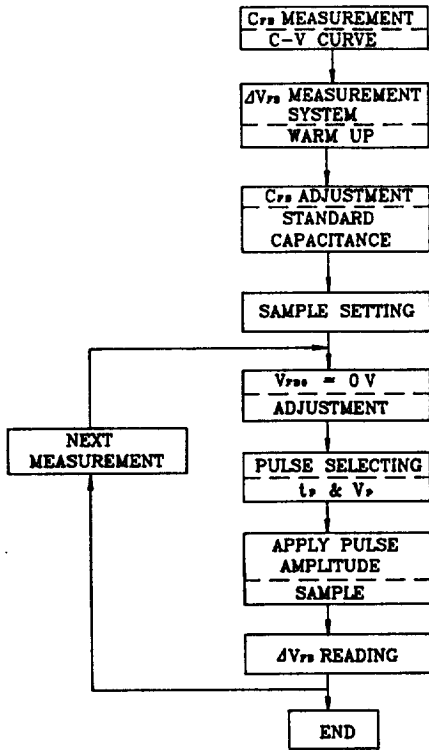
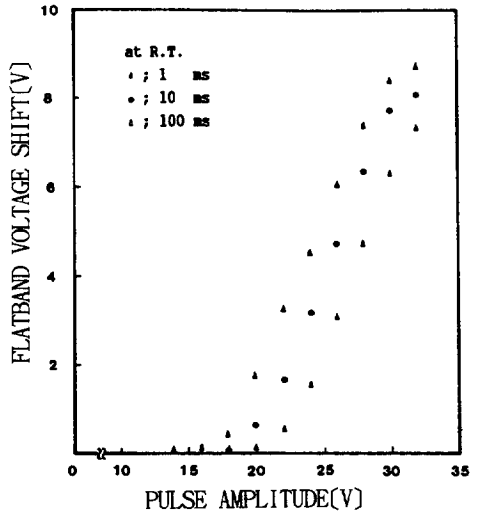


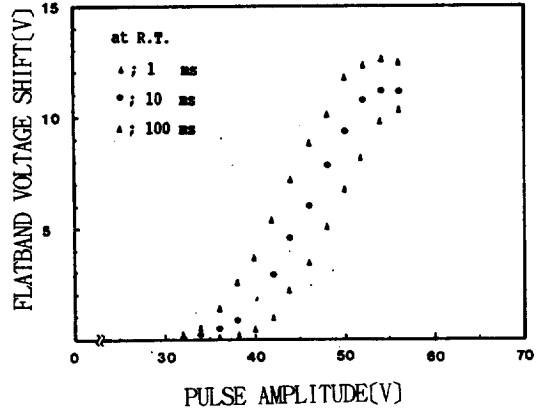
그림 3. 측정 순서도
Fig. 3. Flow chart of the measurement

N_4 막의 벌크내 기억트랩에 포획된다. 일단 포획된 전하는 게이트에 전압을 인가하지 않아도 그대로 존재하게 되므로 정보의 기록이 가능하다. 펄스전압에 의한 포획전하의 변화에 따른 ΔV_{FB} 를 검출하기 위해 펄스전압 인가전 V_{FB0} 를 0V로 설정하고, 펄스폭 (t_p)을 파라미터로 하여 인가 펄스전압에 따른 ΔV_{FB} 를 측정한 결과는 그림 4와 같다.

그림에서 알 수 있는 바와 같이 질화막 두께가 얇은 530 Å인 A-53소자쪽이 1000 Å인 B-10소자보다 펄스전압에 대한 ΔV_{FB} 의 기울기가 크며, 전자가 주입되기 시작하는 전압은 질화막의 두께가 두꺼운 B-10소자보다 14V정도 낮았다. 또한 측정 범위내에서 펄스전압이 증가함에 따라 ΔV_{FB} 는 선형적으로 급격히 증가하였으며 펄스폭 의존성을 나타내었다. 그러나 B-10소자에서는 48V까지는 ΔV_{FB} 가 선형적으로 증가하다. 펄스폭이 긴 높은 펄스전압에서는 포화하다 감소함을 볼 수 있다. 이와 같이 인가 펄스전압에 대해 ΔV_{FB} 가 선형적으로 증가하는 영역에서는 실리콘의 표면전위가 플랫폼상태에서 변화하여 전자가 기억트랩으로 터널주입되어 그 포획량이 증가하기 때문에 산화막 전류가 우세하다. 한편 포화하다 감소하는 영역에서는 높은 펄스전압으로 질화막 전기장이 증대하여 포획 전자가 질화막내에서의 이동으로 질화막 전류가 증가하기 때문에 ΔV_{FB} 의 값이 최대치를 지나 감소하게 됨을 알 수 있다.



(a) A-53소자



(b) B-10소자

그림 4. 펄스전압에 대한 플랫폼전압의 변화특성 (A-53, B-10소자)

Fig. 4. Characteristics of the flatband voltage shift versus pulse amplitude (A-53, B-10 device)

기억기능과 밀접한 관계를 갖고 있는 전하 포획중심의 분포는 여러가지 모델⁷⁻⁹⁾이 제안되고 있지만, 전하에 대한 포획준위가 등가적으로 $\text{SiO}_2\text{-Si}_3\text{N}_4$ 계면 부근에 에너지적으로 균일하게 분포하며, ¹⁰⁾ 전하의 주입은 실리콘 전도대로 부터 산화막을 직접터널링(direct tunneling)¹¹⁾으로 포획된다고 가정하면 기억트랩 밀도는 다음과 같이 나타낼 수 있다. 즉 그림 4의 인가 펄스전압에 대한 ΔV_{FB} 의 변화가 직접 선형적으로 증가하는 영역에서 그 기울기를 x 라고 하고, 서로 다른 펄스폭 t_{p1} 과 t_{p2} 에서 동일한 ΔV_{FB} 로 주어지는 펄스전압을 각각 V_{p1} , V_{p2} 라고 하면 기억트랩밀도 N_t 는

$$N_t = \frac{Cn(V_{p1}-V_{p2})}{q \cdot s \cdot \ln(t_{p2}/t_{p1}) \cdot \{(1/x)-1\}} \quad (1)$$

로 표현된다. ¹⁰⁾ 여기서 q는 전자의 전하량, s는 전극면적, 그리고 Cn은 질화막 용량이다. 식(1)에 의해 계산된 기억트랩밀도는 A-53, B-10소자에서 각각 $2.01 \times 10^{16} \text{m}^{-2}$ 로 A-53소자가 컸다. MNOS구조에서 게이트에 펄스전압(V_p) 인가시 산화막 전기장 E_{ox} 와 질화막 전기장 E_n 은 각각 다음과 같이 나타낼 수 있다.

$$E_{ox} = \frac{V_p + (d_n Q_N / \epsilon_n) - V_s - \Phi_{ms}}{d_{ox} \{1 + (d_n / d_{ox}) \cdot (\epsilon_{ox} / \epsilon_n)\}} \quad (2)$$

$$E_n = \frac{V_p - V_s - \Phi_{ms} - d_{ox} Q_N / \epsilon_{ox}}{d_n \{1 + (d_{ox} / d_n) \cdot (\epsilon_n / \epsilon_{ox})\}} \quad (3)$$

여기서 Q_N 은 기억트랩의 초기전하, V_s 는 실리콘 표면전위, Φ_{ms} 는 금속과 반도체의 일함수차, d_n , d_{ox} 는 질화막과 산화막의 두께, ϵ_n , ϵ_{ox} 는 질화막과 산화막의 비유전율이다.

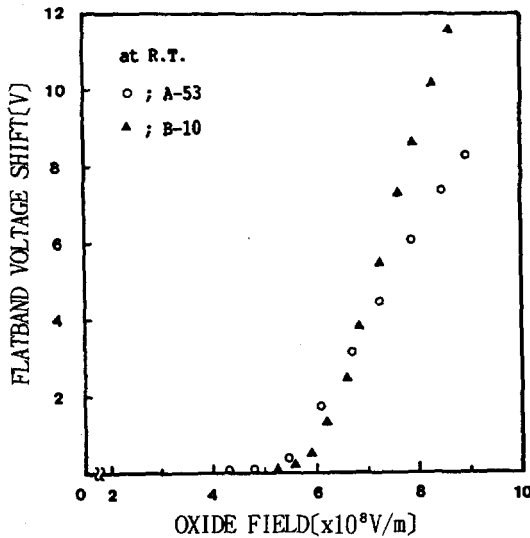


그림 5. 산화막 전기장에 대한 플랫폼 전압의 변화특성

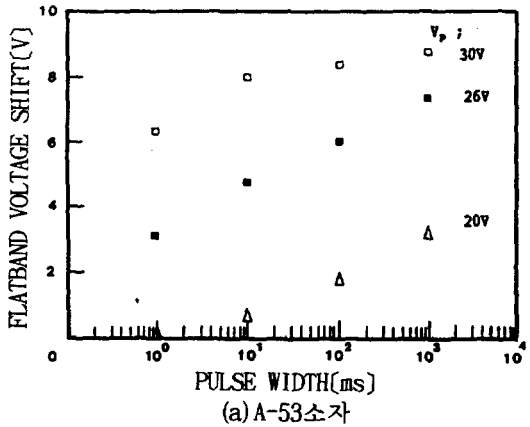
Fig. 5. Characteristics of the flatband voltage shift versus oxide field.

식(2)에 의해 계산된 산화막 전기장에 대한 플랫폼전압의 변화량(ΔV_{FB})은 그림 5와 같다. 이때, 산화막 전기장의 계산과정에서 금속과 반도체의 일함수차(Φ_{ms})는 -0.25V , 산화막 비유전율(ϵ_{ox})은 3.9, 그리고, 질화막 비유전율(ϵ_n)은 6.67(A-53소자), 6.95(B-10소자)를 각각 사용하였다.

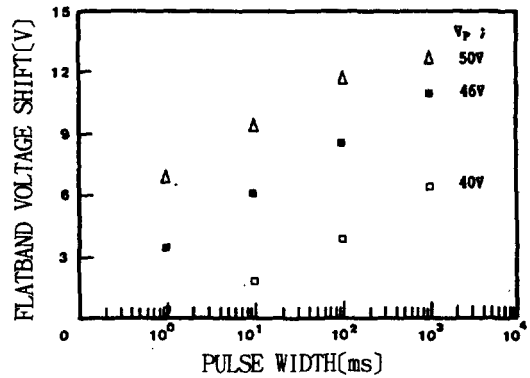
그림에서와 같이 산화막 전기장에 대한 ΔV_{FB} 의 기울기는 A-53소자쪽이 작았으며, 또한 전자가 주입되기 시작하는 산화막 전기장은 A-53, B-10소자에서 각각 $4.8 \times 10^8 \text{V/m}$, $5.2 \times 10^8 \text{V/m}$ 로 기억트랩밀도가 큰 A-53소자쪽이 낮은 전기장에서 주입되었다. 이것은 질화막 중착시 기억트랩밀도를 제어하므로써 기록전압을 저전

압화시킬 수 있음을 의미한다.

일반적으로 LPCVD방법으로 증착된 질화막은 막의 조성이 Si-rich(N(at%)/Si(at%) < 1.33)가 될수록 실리콘 dangling본드가 많아지게 되어 기억트랩밀도가 커지고 전기전도도가 증가한다고 알려져 있다. ^{12, 13)} 그러므로 A-53소자는 기억트랩밀도가 크기 때문에 실리콘으로 부터 전자 주입이 용이하게 일어나며, 초기에 ΔV_{FB} 의 변화가 B-10소자보다 다소 크지만, 질화막 전도



(a) A-53소자



(b) B-10소자

그림 6. 펄스폭에 대한 플랫폼전압의 변화 특성(A-53, B-10소자)

Fig. 6. Characteristics of the flatband voltage shift versus pulse width (A-53, B-10 device)

도가 크기 때문에 게이트 전극 가까운 위치에 분포하므로 포화되기 쉽다. 한편 B-10소자에서는 산화막을 터널링한 전자는 질화막 전도도가 낮아 $\text{SiO}_2\text{-Si}_3\text{N}_4$ 계면 부근의 트랩에 국부적으로 포획되기 때문에 ΔV_{FB} 가 급격히 증가하게 된다.

이는 그림 4의 펄스전압에 대한 ΔV_{FB} 특성과는 상반된 결과로 나타났지만, 펄스전압인가시 산화막과 질화막 전기장의 관계식(2), (3)에 의해 계산된 값 표 1에서 볼 수 있듯이 같은 크기의 인가 펄스전압에 대해 A-53소자쪽이 질화막 전기장이 크므로 주입전자가 게이트쪽으

표 1. 펄스전압 인가에 따른 전기장과 플랫밴드전압의 변화량
Table 1. Electric field and flatband voltage shift by applied pulse amplitude

pulse amplitude (V)	A-53 device			B-10 device		
	$E_{ox} (\times 10^5 \text{V/m})$	$E_n (\times 10^5 \text{V/m})$	$\Delta V_{FB} (\text{V})$	$E_{ox} (\times 10^5 \text{V/m})$	$E_n (\times 10^5 \text{V/m})$	$\Delta V_{FB} (\text{V})$
2.4	7.27	4.25	4.52	4.14	2.32	0.01
2.6	7.87	4.60	6.04	4.48	2.51	0.02
2.8	8.47	4.95	7.38	4.82	2.70	0.04
3.0	9.07	5.30	8.36	5.17	2.90	0.09

로 이동이 용이하고, B-10소자보다 낮은 산화막 전기장에서 포화됨을 알 수 있다.

펄스전압을 파라미터로 하여 펄스폭에 따른 플랫밴드전압의 변화량 (ΔV_{FB})은 그림 6과 같다. 그림에서 알 수 있는 바와 같이 질화막 두께가 얇은 A-53소자쪽이 두꺼운 B-10소자보다 ΔV_{FB} 의 변화량이 적다. 그리고 낮은 펄스전압에서는 펄스폭이 증가함에 따라 ΔV_{FB} 가 완만하게 증가하였으나, 펄스폭이 긴 높은 펄스전압에서는 포화하는 경향을 볼 수 있다. 이것은 그림 4에서 논의한 바와 같이 펄스전압 인가시간이 길어지면 질화막 전도시간이 길어지므로 게이트쪽으로 이동하는 질화막내의 포획전자의 양이 증가하기 때문이다.

펄스전압 인가 전 V_{FB0} 를 0V, 펄스폭을 10ms로 설정하고, 게이트에 펄스전압을 2V간격으로 순차적으로 인가하여 20sec마다 측정된 V_{FB} 의 히스테리시스특성은 그림 7과 같다. 이 그림에서 보면 양(+)의 펄스전압(축적방향)에 대해서는 용이하게 V_{FB} 의 변화가 일어나며, A-53소자쪽이 V_{FB} 변화의 시작전압이 B-10소자보다 낮았다. 그러나 음(-)의 펄스전압(반전층 방향)에 대해서는 V_{FB} 의 변화가 작았다. 이는 음(-)의 펄스전압의 크기가 산화막에 대해 역터널링(back tunneling)으로 인한 실리콘쪽으로의 방출과 실리콘쪽의 소수캐리어인 정공주입이 어려우므로 기억트랩에 축적된 전자가 그대로 유지되기 때문인 것으로 해석된다.

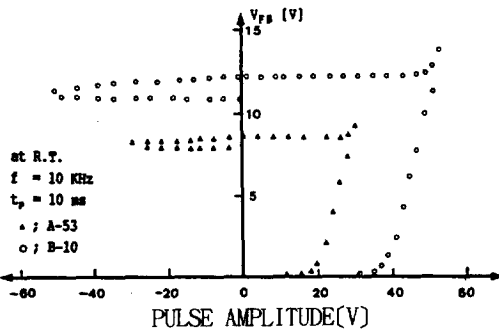


그림 7. 펄스전압에 대한 플랫밴드전압의 히스테리시스특성

Fig. 7. Hysteresis curves of flatband voltage versus pulse amplitude

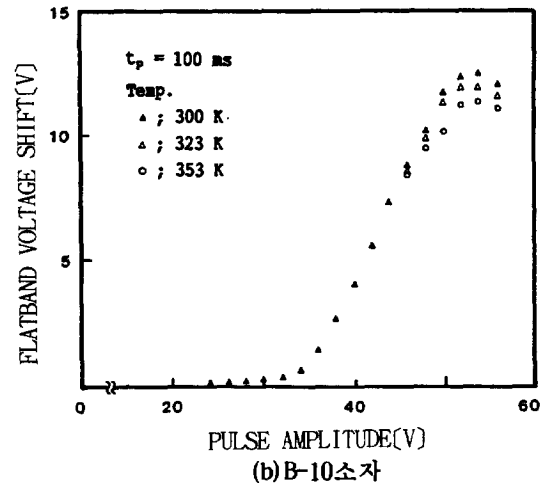
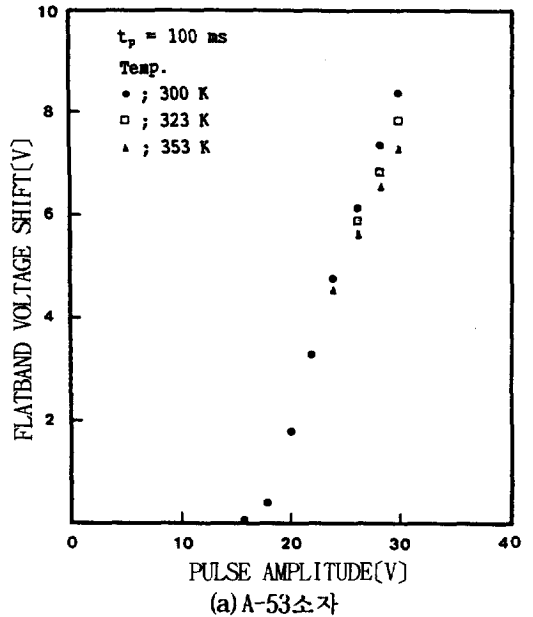


그림 8. 펄스전압에 대한 플랫밴드전압의 온도 의존성 (A-53, B-10소자)

Fig. 8. The temperature dependence of flatband voltage shift versus pulse amplitude (A-53, B-10 device)

3-2 전자주입특성의 온도 의존성

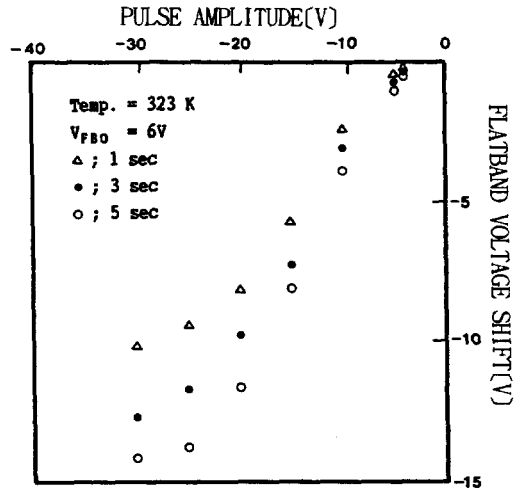
펄스폭 100ms인때 인가 펄스전압에 따른 ΔV_{FB} 의 온도 의존성은 그림 8과 같다.

그림에서 알 수 있는바와 같이 A-53소자는 온도가 상승함에 따라 높은 펄스전압에서 ΔV_{FB} 가 다소 감소하나 현저한 포화경향은 나타나지 않았고 인가 펄스전압에 따라 선형적으로 증가하였다. 그러나 B-10소자에서는 펄스전압이 높아지면 포화하다 ΔV_{FB} 가 최대값에서 완만히 감소하며 고온일수록 ΔV_{FB} 의 포화치가 낮아짐을 볼 수 있다. 또한 낮은 펄스전압영역 ($V_p \leq 24V$; $d_N=530 \text{ \AA}$, $V_p \leq 46V$; $d_N=1000 \text{ \AA}$)에서는 질화막의 두께에 관계없이 온도 의존성은 나타나지 않았으나, 펄스전압이 높은 영역에서는 ΔV_{FB} 가 크게 감소하였다. 이것은 기판의 종류, 막 두께 및 인가전압의 극성에 관계없이 질화막 전류는 터널효과에 의한 전류, Poole-Frenkel 전류 그리고 hopping 전류 3가지로 구분되는 질화막 전류 중 측정시에 전기장과 온도 의존성이 매우 큰 Poole-Frenkel 전도 (internal schottky effect)¹⁴⁾에 기인된다고 생각된다. 한편 watanabe 등¹⁵⁾은 주입전하의 포획으로 전기장의 불균형성이 일어나기 때문에 질화막 두께의 영향이 크다고 보고하고 있으나, 본 측정에서는 낮은 펄스전압영역에서 질화막의 두께 의존성은 나타나지 않았다.

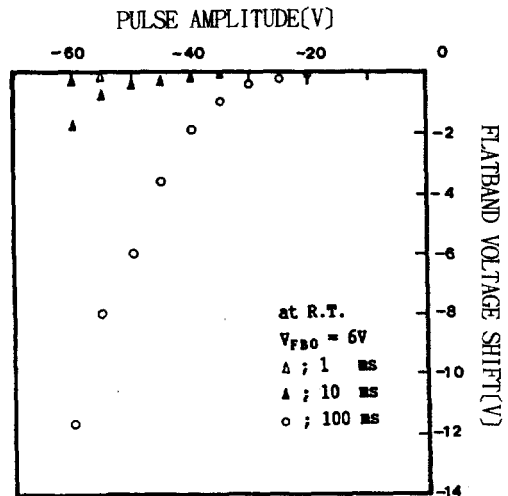
3-3 전자방출특성

MNOS기억소자는 전하주입시와 반대 극성의 전압을 게이트에 인가하여 포획되어 있던 전하를 실리콘기판쪽으로 방출시키므로써 기록된 정보를 전기적으로 소거할 수 있다.

V_{FB0} 를 6V로 설정하고 펄스폭을 파라미터로 하여 음(-)의 펄스전압 인가에 따른 전자방출 특성은 그림 9와 같다. 그림 4(a)의 A-53소자에서 전자주입시에는 실온에서 펄스 인가시간 1ms ($V_p=30V$)인때 ΔV_{FB} 는 6.3V이었으나, 그림 9(a)에서 볼 수 있듯이 음(-)의 펄스전압 인가시 플랫폼전압의 변화량은 관측되지 않았다. 그러나 323k 이상의 측정온도에서는 인가 펄스전압에 따라 음(-)의 방향으로 ΔV_{FB} 가 선형적으로 증가한다 -30V부근에서 포화하였으며, 1sec이상의 긴 펄스인가시간이 필요하였다. 이것은 실리콘으로 부터 주입되는 정공의 발생시 정수가 크고, 온도 의존성이 크기 때문이다. 한편 B-10소자인 경우 그림 4(b)의 전자주입시에는 펄스전압 50V ($t_p=10ms$)를 인가하였을 경우 ΔV_{FB} 가 9.3V이었으나, 같은 펄스폭에서 음(-)의 펄스전압을 인가하였을 경우에는 그림 9(b)에서와 같이 ΔV_{FB} 가 음(-)의 방향으로 0.36V로 그 변화량이 매우 적었다. 이것은 음(-)의 인가 펄스전압으로 실리콘표면 공핍영역의 폭이 급격히 넓어지게 되며, 또한 소수캐리어의 발생시정수가 크므로 반전층형성에 긴 시간이 필요하기 때문이다. 따라서 MNOS기억소자의 소거 동작은 포획되어 있던 전자의 방출과 동시에 실리콘으로 부터의 소수캐리어인 정공주입으로 이루어 지는 것으로 볼 수 있다.



(a) A-53소자



(b) B-10소자

그림 9. 음의 펄스전압에 대한 플랫폼전압의 변화특성(A-53, B-10소자)

Fig. 9. Characteristics of the flatband voltage shift versus negative pulse amplitude(A-53, B-10 device)

3-4 기억유지특성

비휘발성 기억소자는 전원 전압의 공급없이 기록된 정보를 장시간 유지할 수 있는 특성을 필요로 한다. 펄스폭 10ms에서 펄스전압을 28V (A-53소자), 48V (B-10소자)를 각각 인가한 후, 게이트와 기판을 동전위(접지)로 유지한 상태에서 측정된 기억유지 특성은 그림 10과 같다. 이때 측정치는 초기 플랫폼전압($V_{FB,i}$)에 대한 V_{FB} 의 시간경과에 따른 변화율을 백분율 [$(V_{FB,i} - V_{FB,t}) / V_{FB,i} \times 100 (\%)$]로 나타내었으며, 측정치로 계산된 10^4 sec경과 후의 포획전자의 유지

표 2. 포획전자의 유지율과 펄스전압에 대한 전기장

Table2. Retention rate of trapped electrons and electric field by pulse amplitude

Sample Injection conditions item	A-53 device		B-10 device	
	tp = 10ms			
	Vp = 28V		Vp = 48V	
Initial flatband voltage (V)	6.07		8.58	
Trapped electron retention rate at 10 ⁴ sec(%)	78.95		73.05	
Initial decay rate at 10 sec (%/sec)	1.2		1.7	
Electric field (V/m)	E _{ox}	1.0 x 10 ⁸	1.4 x 10 ⁸	
	E _n	1.9 x 10 ⁶	8.4 x 10 ⁵	

율과 10sec후의 초당 초기 감쇠율은 표 2와 같다.

종래에는 질화막 두께에 따라 포획전자의 감쇠율은 변화가 없는 것으로 알려졌지만, 그림 10과 표 2에서 볼 수 있듯이 기억유지특성은 질화막두께가 얇은 A-53소자쪽이 두꺼운 B-10 소자보다 우수하였고 포획전자의 초기 감쇠율도 낮았다. 이는 Minami 등⁸⁾의 보고와 일치하고 있으나, 그들은 재현성이 양호한 양산라인에서 소자를 제작하였기 때문이라고 정성적으로 설명하였다. 그러나 본 실험에서는 기억트랩밀도가 작은 B-10소자(d_n=1000Å)인 경우에는 SiO₂-Si₃N₄계면 부근의 기억트랩에 국부적으로 전자가 포획되므로 실리콘쪽에서의 방출이 용이하기 때문에 감쇠율이 크다. 한편 기억

막 전기장보다 크다. 따라서 포획전자의 감쇠는 산화막 전기장 의존성이 매우 크며, 질화막 내를 이동하여 게이트 전극을 통한 외부방출보다 산화막을 통한 역터널링으로 인한 감쇠가 우세하다는 것을 알 수 있었다.

4. 결 론

전하 터널용 산화막을 23Å 두께로 성장한 후, LPCVD방법을 이용하여 증착온도와 반응가스 유량비를 일정하게 유지하고, 전하축적용 질화막을 각각 530Å, 1000Å 두께로 증착시킨 비휘발성 MNOS소자를 제작하여, 질화막의 두께 변화에 따른 기억특성을 고찰한 결과는 다음과 같다.

- 1) 기억트랩밀도는 질화막 두께가 얇은 소자(d_n=530Å)가 두꺼운 소자(d_n=1000Å)보다 다소 컸으며, 낮은 산화막 전기장에서 전자가 주입되었다. 그리고, 질화막 전도도는 기억트랩밀도가 클 수록 증가하였다.
- 2) 인가 펄스전압에 대해 ΔV_{FB}가 선형적으로 증가하는 영역에서는 산화막 전류가 우세하였으며, 포화하다 감소하는 영역에서는 질화막전류의 영향이 컸다. 또한 온도와 펄스전압이 높은 영역에서는 포화현상을 나타내다 Poole-Frenkel 전류성분이 우세함에 따라 감소하였다.
- 3) 소거동작은 포획되어 있던 전자의 방출이 주도적이며, 실리콘으로 부터의 소수캐리어인 정공주입도 동시에 일어나는 것으로 관측되었다. 그리고 10⁴sec경과 후 포획전자의 유지율은 질화막 두께보다 기억트랩밀도가 작은 소자보다 우수하였으며, 초기 감쇠율도 1.2%/sec로 낮았다.
- 4) 본 실험에서 자체 제작하여 이용한 자동 ΔV_{FB}추적장치는 C-V측정법보다 정확하게 플랫폼 전압의 변화와 포획전자의 감쇠 특성 측정에 유용함을 확인하였다.

참고문헌

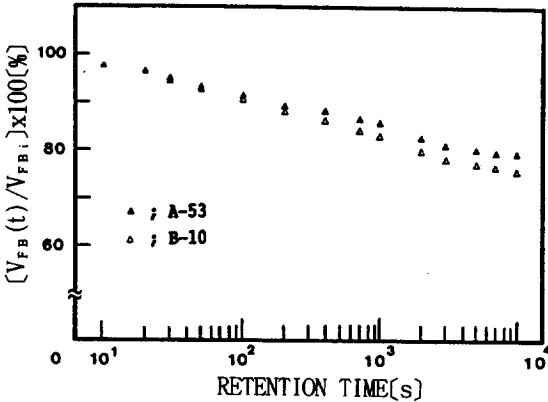


그림 10. 기억유지특성 (V_c=0 V)
Fig. 10. Memory retention characteristics (V_c=0 V)

트랩밀도가 큰 A-53소자(d_n=530Å)인 경우에는 포획전자가 SiO₂-Si₃N₄계면에서 보다 Si₃N₄막의 벌크내로 분포하므로 실리콘쪽에서의 방출이 어렵기 때문에 기억유지특성이 우수한 것으로 관측되었다. 이때 식 (2), (3)에 의해 계산된 산화막 전기장은 표 2에서 볼 수 있듯이 질화

- 1) Y. Yatsuda et al., "Hi-MNOS II Technology for a 64-Kbit Byte-Erasable, 5-V-only EEPROM," IEEE Trans. Electron Dev., vol. ED-32 pp. 224~231 (1985).
- 2) S. Minami et al., "New Scaling Guidelines for MNOS Nonvolatile Memory Devices," IEEE Trans. Electron Dev., vol. ED-38, pp. 2519~2526 (1991).
- 3) R.S. Baily et al., "Variation in the stoichiometry of thin silicon nitride insulating films on silicon and its correlation with memory traps," J. Vac. Sci. Technol, vol. 20, pp. 484~487 (1982).
- 4) V. J. Kapoor, et al., "Impurities-related memory traps in silicon nitride thin films," J. Vac. Sci. Technol, vol. 18, pp. 305~308 (1982).
- 5) S. Fujita et al., "Dangling bond in memory-quality silicon nitride films," J. Electrochem. soc, vol. 132, no. 2, pp. 398~402 (1985).
- 6) E. Suzuki et al., "Degradation properties in metal-nitride-oxide-semiconductor structures," J. Appl. phys, vol. 52, pp. 6377~6385 (1981).
- 7) J. J. chaug, "Theory of MNOS memory transistor," IEEE Trans. Electron Dev., vol. ED-24, pp. 511~518 (1977).
- 8) Y. Kamigake et al., "Stored Charge Distribution and 2-Trap Model in MNOS Memory Device," Jap. J. Appl. phys., vol. 59, no. 6, pp. 797~807 (1990).
- 9) P. A. Kaikerus et al., "Depolarization of MNOS structures in the regime of Dispersion Transport" Solid-State Electron, vol 34, No. 1, pp. 63~68, (1991).
- 10) K. Ohnishi et al., "Electron parameter and V_{FB} characteristics of MNOS device" Trans. IECE Jap. J. 64-C, 4, pp. 311~318 (1981).
- 11) J. T. Wallmark et al., "Switching and storage characteristics of MIS memory transistors," RCA Rev., pp. 335~365 (1967).
- 12) S. Fujita et al., "Variation of Trap states and Dangling Bonds In CVD Si_3N_4 Layer on Si Substrate By NH_3/SiH_4 ratio," J. Electronic Materials, vol. 11, no. 4, pp. 785~812 (1982).
- 13) T. Makino, "Composition and structure control by source gas ratio in LPCVD: SiN_x ," J. Electrochem. soc., vol. 130, no. 2, pp. 450~455 (1983).
- 14) S. M. Sze, "Physics of Semiconductor Device," John Willey & Sons, pp. 402~404 (1981).
- 15) K. Watanabe et al., "Electric Conduction in Nitrogen-rich Silicon Nitride films produced by SiH_2Cl_2 and NH_3 ," J. Appl. Phys., VOL. 53, NO. 1, pp. 568~525 (1982).

著者紹介



이형욱

1947년 6월 13일생. 1976년 한양대학 전자공학과 졸업. 1979년 연세대학 산업대학원 졸업. 1987년 현재 광운대학 전자재료공학과 박사과정. 1976년(주) 금성사. 1988년 전자응용 기술사. 1993년 현재 오산전문대학 전자과 부교수.



서광열

1939년 9월 27일생. 1961년 인하대학 원자력공학과 졸업. 1969년 연세대학 교육대학원 졸업. 1969년 경희대학 대학원 물리학과(이박). 1993년 현재 광운대학 전자재료공학과 교수.



이상배

1963년 3월 28일생. 1987년 광운대학 전자재료공학과 졸업. 1989년 동 대학원 전자재료공학과 졸업, 석사. 1993년 현재 동 대학원 전자재료공학과 박사과정.