

ZnO 바리스터의 현재와 미래의 기술동향

Technology Trends for the Current and Future of ZnO Varistors

장경욱*, 이준웅**
(Kyung-Uk Jang, Joon-Ung Lee)

1. 서론

전자 전기 회로는 낙뢰, 인체에 대전된 전하의 방전 및 스위칭 동작에 의해서 생긴 과도 써어지 전압이 침입하는 경우가 종종 발생하게 된다. 그러한 이상전압에 대해서 회로를 보호하기 위해서 회로의 절연내력을 증기시키거나, 보호장치를 부착한다. 일반적으로 경제적인 면을 고려하여 보호장치를 부착하는 방법을 채택하고 있다. 지금까지 과전압 흡수 소자로서 SiC, 제너 다이오드, 방전갭 및 ZnO 바리스터의 구조, 제조방법, 전기적인 특성, 응용범위 및 앞으로의 개발 과제에 대해서 소개하고자 한다.

2. ZnO 바리스터의 특성

ZnO 바리스터는 매우 높은 비선형성 전류-전압 곡선 특성을 보이고 있기 때문에, 그림 1에 나타낸 것과 같이 작은 전압의 변화로 폭넓게 전류를 변화시킬 수 있다. 이러한 현상을 바리스터 효과라 하는데, 1968년에 Matsuoka에 의해서 처음 소개 되었다.

특히, 저전압 영역에서 바리스터는 마치 개방회로를 구성하는 것과 같은 특성을 나타낸다 동작전압 V_b 이상에서는 바리스터는 계통을 보호하는 단락회로를 구성하거나, 단락을 일으키는 소자로 작용한다. 전류와 전압사이의 관계를 더욱 상세하게 설명하면 4개의 영역으로 나누어 설명할 수 있으며, 그들 각영역에 대해서는 특정한 전도기구를 사용하여 설명할 수 있다.

2.1 영역 I : Ohmic Region

이 영역에서 전류와 전압 사이의 관계는 선형적인 특성을 나타내며, 일반적으로 전류 밀도 값은 수 $10^{-9}A/cm^2$ 이거나 그 이하의 값을 갖는다. 이 영역의 특성은 실제 응용 분야에

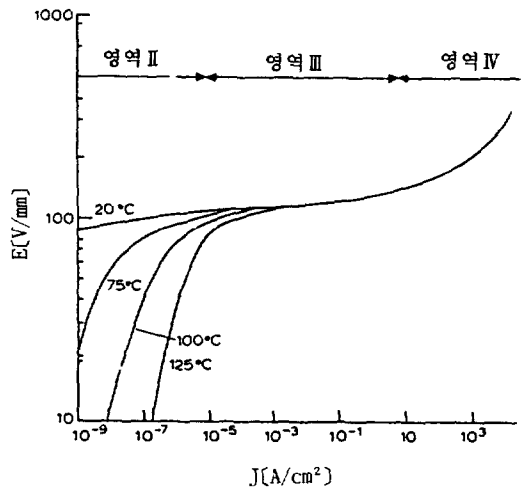


그림 1. ZnO 바리스터의 일반적인 전도특성

서 사용하지 않는다.

2.2 영역 II : Pre-breakdown Region

일반적으로 누설 전류 영역으로 알려진 이 영역은 특히 응용 분야에서 중요하다. 이 영역은 과도전압이 없는 경우에 바리스터의 동작 개시를 나타낸다. 일반적으로 전류 전압 관계의 결과는 약간의 비선형성을 나타내며, 전도 기구는 열이온 방출과정에 의해서 지배를 받는다. 그림 1에서 알 수 있는 바와 같이, 누설 전류는 온도에 따라서 증가하게 된다. 예를들어 온도가 상온에서 125°C로 증가하게 되면, 전류는 $10^{-6}A/cm^2$ 으로 부터 $10^{-4}A/cm^2$ 까지 증가하게 된다. 한편 누설 전류는 열적으로 활성화되고, ZnO 바리스터의 전기적인 열화를 일으키게 된다.

2.3 영역 III : Breakdown Region

동작 영역은 바리스터 동작특성에 해당한다 즉 전류는 인가 전압에 대해서 매우 높은 비

선형 함수를 나타내며, 다음 실험식으로 잘 설명된다.

$$I = KV^\alpha$$

여기서, α 는 비선형 계수이며 (>1), K 는 시편의 형상 및 제조공정에 따라서 결정되는 상수이나, α 의 값이 크면 클수록 바리스터의 동작 특성이 더욱더 우수해진다. 그렇지만 그림 1에서 알 수 있는 바와 같이 α 의 값이 일정한 값을 갖는 것이 아니라, 전압에 따라서 변화한다. 그림 2에서 알 수 있는 바와 같이 최대의 α 값을 보이는 전류영역은 10^{-3} A/cm²이다. 이 영역의 또다른 관심사 및 중요한 특성중의 하나는 바리스터의 주위온도, 화학적 조성비 및 제조 공정에 크게 영향을 받지 않는다는 것이다.

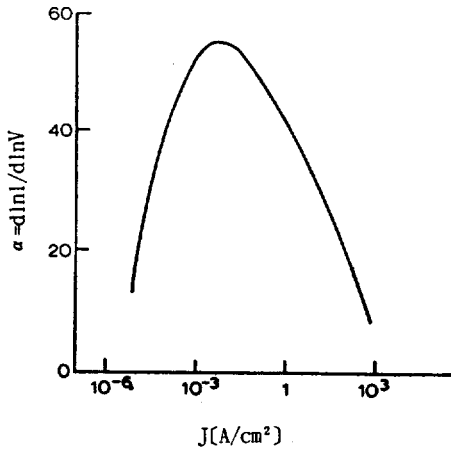


그림 2. 전류 밀도와 비직선 계수 α 의 관계

이러한 바리스터의 비선형성은 ZnO 입자와 입자 사이에 놓인 전위 장벽에 기인한다. 이러한 전위 장벽은 물리적으로는 좁은 입계(수 Å)에 자유 전하가 계면 트랩에 의해서 생성된다는 이론이 일반적으로 받아들여지고 있다

2.4 영역 IV: Upturn Region

이 영역에서의 높은 전류 밀도는 입계에 놓인 전위 장벽의 영향이 아니라, 주로 ZnO 결정 자체의 입자 저항율에 의해서 크게 영향을 받는다.

이 영역에서의 전류와 전압 사이의 관계는 다음의 실험식에 따른다.

$$V = R_s I$$

여기서 R_s 는 상온에서 일반적으로 I ($\Omega \cdot \text{cm}$)이하의 값을 갖는 입자의 등가저항이다. 따라서

입자 자체의 저항율이 낮으면 낮을 수록, 파괴전압이 낮아져, 과도 써어지 전압에 대해서 바리스터의 동작특성이 우수해진다.

3. ZnO 바리스터의 제법과 구조적 특성

ZnO 바리스터는 여러 종류의 산화물로 구성되어 있으며, 특히 ZnO가 주성분을 이루고 있다. 전형적인 바리스터의 구성 성분을 표 1에 나타냈다. 각 첨가물은 바리스터의 동작전압, 비직선 계수 및 써어지 전류 흡수 능력과 같은 한가지 혹은 여러가지의 변수를 조절하며, 크게 표 2에 보인 바와 같이 3개의 요인으로 나눌 수 있다.

표 1. ZnO 바리스터의 일반적인 조성 성분

	mol %
ZnO	98
Bi ₂ O ₃	0.5
CoO	0.5
MnO	0.5
Sb ₂ O ₃	0.5

표 2. ZnO 바리스터의 첨가물의 영향

기본 입계구조	Bi ₂ O ₃
비오염특성 원소	MnO, Al ₂ O ₃ , In ₂ O ₃ , ...
안정성을 증가시키는 원소	Sb ₂ O ₃ , Cr ₂ O ₃ , NiO, ...

그림 3에 보인 바와 같이 ZnO 바리스터는 일반적인 세라믹 제조공정에 의해서 제조된다. 순도와 입자크기를 잘 조정된 산화물과 ZnO분말을 증류수를 매개로 하여 지르코나아 불을 사용하는 불밀장치에 의해서 혼합한다. 혼합물은 바인더를 가하여 분사 건조 시킨다. 여기서 얻은 파우더는 직경 4 ~ 40mm로 원하는 형상으로 압축 성형한다. 이러한 방법은 혼합 분말을 얻는 가장 간단한 방법이다.

다음과 같은 방법을 이용하여 혼합 분말을 제조할 수 있다.

- 분사 건조하기 전에 혼합 분말의 여러가지 처리 방법(700° ~ 900°C)
- ZnO분말만의 열처리 방법
- ZnO 분말과 다른 첨가 산화물에 대해서 각각 따로 열처리하는 방법

성형한 다음 성형체를 공기중에서 약 1100 ~ 1300°C의 전기로에서 소결 처리한다. 다음에 소결체의 응용 범위에 따라서 전극 처리를 한다. 전극 처리를 하는 방법은 전압 범위에 따라서 다음과 같은 방법이 있다. 저전압 범

위에 대해서 은분 스크린 인쇄 방법이 이용되고 있다. 이러한 방법은 경제적인 방법이지만 온도 범위 600° ~ 800°C에서 열처리를 해야 한다는 단점이 있다. 또한 고전압용 바리스터의 전극 처리 장비는 고가이지만 열처리 및 산화를 방지할 수 있는 알루미늄 분말 분사 방법이 이용되고 있다.

일반적으로 바리스터의 도입선은 고전압용을 제외하고는 납을 이용하고, 또한 도입선은 유기 절연 재료를 이용하여 기계적으로 지지한다. 일반적인 바리스터의 형상은 그림 4에 보인 바와 같다.

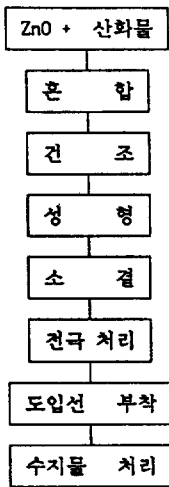


그림 3. ZnO 바리스터를 제조하는 가장 간단한 방법

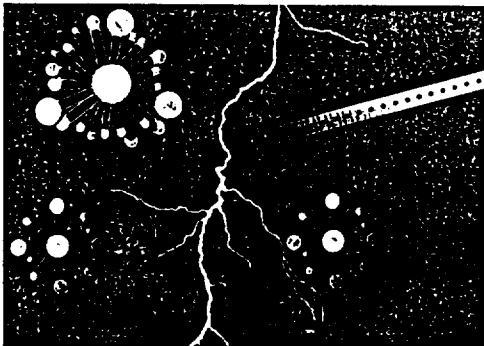


그림 4. 일반적인 바리스터의 형상

ZnO 바리스터의 미세구조는 도식적으로 그림 5에 보인 바와 같다. 바리스터의 기본 구조는 반도체인 ZnO 입자와 바리스터 동작에 영향을 미치는 입계의 전위 장벽으로 구성된다. 실제로, 그림 6에 보인바와 같이 바리스터의 미세구조는 ZnO 결정상과 반도체 ZnO 입

자를 둘러 쌓고 있는 구조로 되어 있다.

- Zn₇Sb₂O₁₂의 스파이넬 형
- Zn₂Bi₃Sb₃O₁₄의 파이로 클로르 형
- Bi₂O₃ (α, β, γ 및 δ 형)

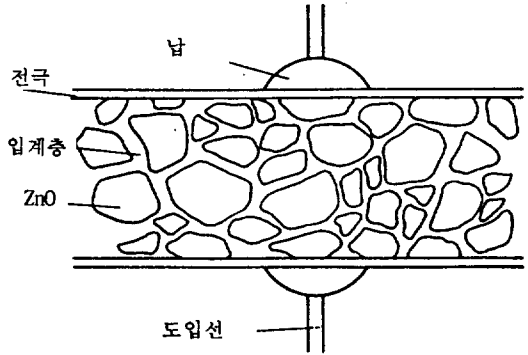
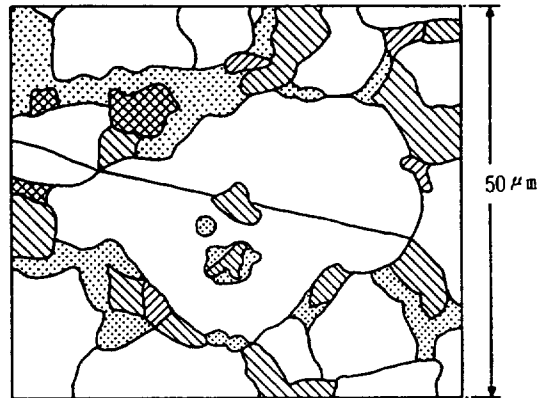


그림 5. ZnO 바리스터의 모식도



- 기공
- ZnO 입자
- ▨ 파이로 클로르상 (Zn₂Bi₃Sb₃O₁₄)
- ▨ 스파이넬상 (Zn₇Sb₂O₁₂)
- ▨ 비스무스상 (Bi₂O₃의 α, β, γ)

그림 6. ZnO 바리스터의 실제 구조도

모든 ZnO 입자가 같은 크기 및 같은 전위 장벽을 갖는다고 가정하면, 시편내에 다른 성분의 입자들이 어떻게 놓여 있어도 전기적인 특성은 같을 것이고, 더우기 ZnO 입자 이외의 상은 무시할 수 있다. 그리하여, 시편의 두께를 E, 시편내에 있는 ZnO 입자의 크기를 d 라고 하면, 1mA의 동작 전압은 다음식으로 정할 수 있다.

$$V_{1mA} = 3 E/d = 3n \dots \dots \dots (1)$$

여기서, n은 전계가 인가된 방향으로 배열되어 있는 전위 장벽의 수를 나타내고, 3 V은

전위 장벽당 파괴 전압을 나타낸다. 이러한 낮은 거의 시편의 화학 조성과 제조공정에 의존하지 않는다. 한 예로서, 시편의 두께 1mm, ZnO 입자의 크기 20 μ m인 바리스터는 전위 장벽의 수가 50에 해당하므로 150V의 동작 전압을 갖는다. 그러므로, 이때의 동작전압은 시편의 두께 및 ZnO입자의 크기를 조정하여 변화시킬 수 있다. 실제로 산업 응용 분야에서는 이들 방법을 동시에 적용하고 있다. 식 (1)은 실험적으로 증명되었지만, Einzinger는 그림 7과 같은 다른 모델을 제시 하였다. 전위 장벽은 각 입계에 존재하지 않는다고 주장 하였다. 한편, 바리스터 효과는 비록 두 입자 사이에 존재 하지 않을 수도 있다. 비록 바리스터 효과가 존재 한다 하더라도, 전위 장벽은 다른 특성을 가지며 소위 '좋은' 장벽 '나쁜' 장벽으로 분리 할 수 있다. 결과적으로 바리스터의 전기적인 특성은 시편내에 존재하는 전위 장벽의 분포와 특성 및 입자크기의 균일성, 첨가물의 균일한 분포와 밀접한 상관관계가 있다고 제시 하였다.

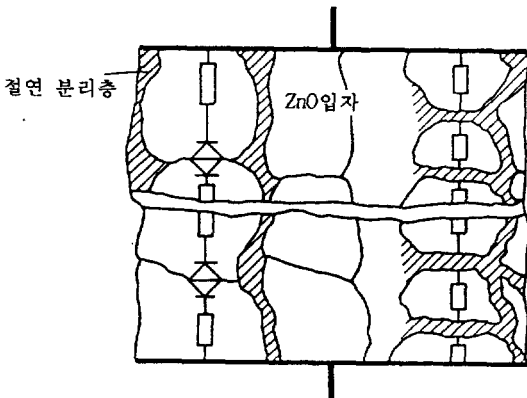


그림 7. Einzinger에 의해서 제시된 바리스터 실제구조의 모델

4. ZnO의 전기적인 특성과 오차 범위

일반적으로 ZnO 바리스터의 동작은 다음 몇 가지 특성으로 설명할 수 있다.

- 정상적인 전압-전류 관계
- 용량과 유전 손실
- 응답시간
- 켜어지 용량
- 켜어지 흡수 능력
- 신뢰성

4.1 정상적인 전류-전압 관계

전류-전압 관계는 그림 8에 보인 바와 같다. 전류 1mA에 해당하는 전압 V_{1mA} 은 일반적으로

제조공정 오차범위(일반적으로 $\pm 10\%$)를 규정하는 기준으로 사용하고 있다. 바리스터의 온도 계수는 부의 값을 보이며, $-0.05\%/^{\circ}\text{C}$ 의 값을 갖는 것이 일반적이다. V_m 은 바리스터가 연속적으로 전압을 받고 있을때 바리스터가 견딜 수 있는 전압이다. 일반적으로 V_m 은 대략적으로 $0.8 V_{1mA}$ 에 해당한다. V_m 에 해당하는 전류 I_m 은 누설전류라 하고, 그 전류 범위는 $1\sim 100\mu\text{A}$ 범위에 있다. 누설전류 값이 낮으면 낮을 수록 전력손실 값은 낮아진다.

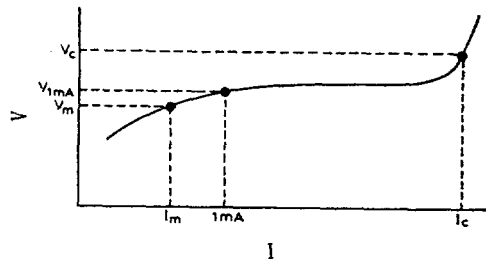


그림 8. 전형적인 전류-전압 특성

V-I 곡선에서 실제 관심이 있는 영역은 고전류 영역이다. 이 영역의 전압이 낮으면 낮을 수록 켜어지 보호가 더욱더 양호해 진다. 정량적으로 과도 이상 전압을 억제하는 바리스터의 능력은 다음과 같은 전압 차단비로 설명할 수 있다.

$$C_r = V_c / V_{1mA}$$

여기서 V_c 은 그림 8에 보인바와 같이 최대 전류 I_c 가 흐를때 측정된 전압이다. C_r 의 값이 1에 접근하면 할 수록 바리스터의 보호 능력은 좋아진다. 예로서, $V_{1mA} = 200\text{V}$ 이고, 바리스터에 1000A가 흐를때 $V_c = 420\text{V}$ 일때 전압 차단비 C_r 은 2.1이 된다.

4.2 용량과 유전 손실

입계의 양쪽에 절연전위 장벽이 존재하므로 바리스터는 절연 전위장벽의 표면적과 두께에 따라서 용량 값을 갖는다. 그림 9에 보인 바와 같이 용량과 손실은 주파수에 의존성하는 것을 알 수 있다.

이들 곡선은 하나의 입계에 대해서 그림 10에 보인 등가회로에 의해서 설명할 수 있다. ZnO입자는 저항 R_c 에 해당한다. 공핍층은 용량 C_{b1} (혹은 C_{b2})과 병렬저항 R_{b1} (혹은 R_{b2})로 표현 할 수 있다. 이러한 도식적인 관계를 완성하기 위해서 제 2차 결정상의 기여인 용량 C_{i1} 과 병렬저항 R_{i1} 에 의해서 표현할 수 있다.

바리스터의 결보기 용량은 바리스터의 표면적과 두께에 의존하고, 결보기 유전 상수는 다음식으로 표현할 수 있다.

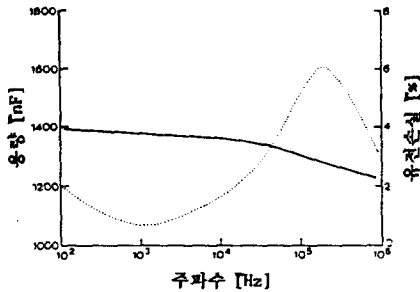


그림 9. ZnO 바리스터의 전형적인 유전곡선
(-) : 용량, (.) : 유전 손실

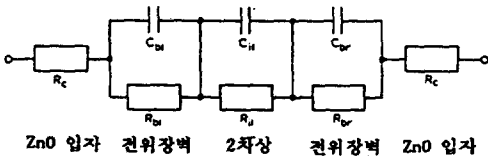


그림 10. 입계의 등가회로

$$\epsilon_a = \epsilon v \times d/e$$

여기서 v 는 ZnO의 실제 유전율이고, d 은 평균입자 크기이며 e 는 공핍층 영역의 두께를 나타낸다. ZnO 바리스터의 용량은 대략적으로 50 pF에서 5000pF사이의 값을 갖는다. 비교적 높은 용량값을 갖는 바리스터는 고주파 범위에 사용하는 것이 어렵다.

4.3 응답시간

ZnO바리스터 재료의 응답시간은 10^{-9} 초 정도로 알려져 있다. 도입선 단자의 유도성분은 응답시간을 연장시키기 때문에 가능한한 도입선의 유도성분을 줄여야 한다.

4.4 썬어지 전류 내력

ZnO 바리스터는 그림 11에 보인 바와 같이 썬어지 전류가 유입되면 변형된 전압-전류곡선을 보이고 있으며, 특히 일정 전압에서의 누설 전류를 증가시킨다. 한편, 전력 소모의 증가는 시편 내부의 온도를 상승시키며, 누설 전류가 양의 온도계수를 나타내고, 전력 소모가 다시 증가하여 열적탈조에 이르게 한다.

이러한 곡선에서 관찰할 수 있는 바와 같이 썬어지 전압을 인가후에 고전류 영역은 변형이 일어나지 않기 때문에 동작 전압도 변화가 없다. 이러한 누설전류 영역에서 변화된 양을 정량화하기 위하여 그림 12에 보인 바와 같이 썬어지 전압을 인가하기 전후의 V_{1mA} 의 변화를 계산해야 한다.

일반적으로 V_{1mA} 가 최대 10% 변화하는 것을 바리스터의 최대 허용 썬어지 전류라고 정의

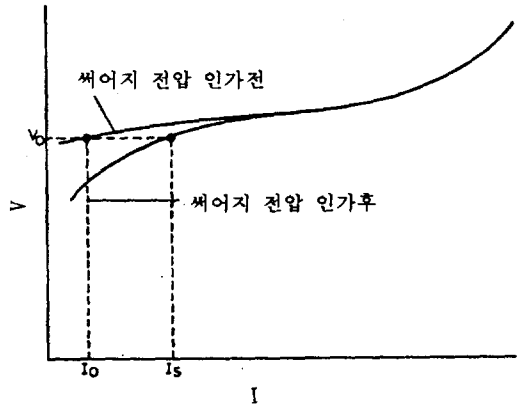


그림 11. 썬어지 전압을 인가한 후의 전압-전류 특성

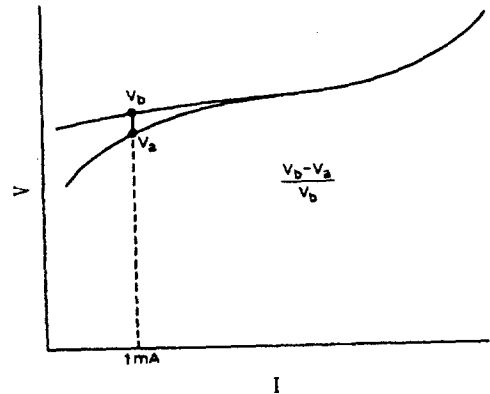


그림 12. 썬어지 전류를 인가한후 V_{1mA} 의 변화

하며, 직경 10과 40mm의 원판형 바리스터에 대해서 허용할 수 있는 썬어지 전류는 각각 3100과 50000A 정도로 알려져 있다.

4.5 과도에너지 흡수능력

과도전이 에너지는 시편 내부를 통해서 흡수된다. 바리스터의 체적이 크면 클수록 과도적인 에너지 흡수능력이 증가한다. 충격에너지의 영향은 그림 12에 보인 바와 같이 높은 썬어지 전류 영역뿐만 아니라 누설 전류 영역을 변형시킨다. V_{1mA} 가 10% 감소된 것에 해당하는 최대 전이 에너지는 대략 200~300J/cm³ 정도로 알려져 있다. 직경 20mm와 두께 2mm인 바리스터의 최대 허용 에너지는 약 160 J정도이다. 충격 횟수에 따른 최대 전류와 에너지 흡수 능력과의 관계는 그림 13에 보인 바와 같다.

4.6 바리스터 수명

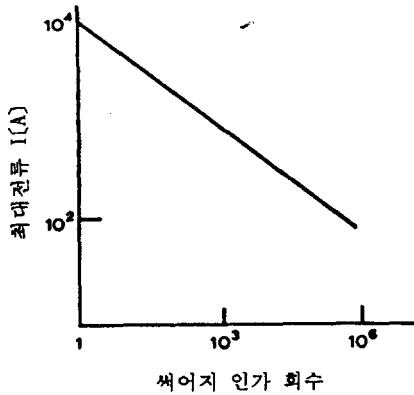


그림 13. 충격횟수에 따른 최대전류 흡수능력

여러가지 형태(연속적인 a.c. 혹은 d.c. 전압 온도 및 과전압 등등)의 충격을 받은 바리스터는 특히 누설 전류영역에서 변형된 V-I곡선을 보이고 있다. 이미 앞에서 설명한 바와 같이 이러한 열화 현상은 열적 탈조의 가능성을 증가시킴으로써 전력 손실을 증가시킨다. 또한 바리스터를 실제로 사용하는데 있어서 수명예측은 비직선계수 뿐만아니라 써어지 흡수능력 보다도 더 중요한 인자이다. 연속 d.c. 및 a.c. 전압의 인가시간에 따른 V-I곡선 변형을 그림 14에 보였다. 그림에서 알 수 있는 바와 같이 누설전류 영역만이 변형된 것을 확인할 수 있었다.

더욱 정확하게 Philipp와 Levinson은 일정한 인가 전압하에서 와트 손실은 그림 15에서 알 수 있는 바와 같이 여러가지의 형태를 취하여 설명하였다. 그러한 형태는 조성 성분, 공정변화, 인가전압 및 주위의 온도등에 따라서 변화한다. 열적탈조의 가능성 때문에 온도 범위 85~125°C의 고온에서 d.c. 및 a.c. 전압을 인가하면서 바리스터의 신뢰성을 결정하는 실험을 하였다. 일반적으로 실험시간은 1000h으로 하며, 열적 탈조는 10%의 V_{1mA} 가 감소하였을 때로 정의한다.

5. 바리스터의 선택

바리스터를 제조하는데 있어서 고려할 점은 다음 3가지로 요약할 수 있다.

- 시편의 두께와 입자의 크기는 동작 전압을 조절한다.
- 전극면적은 써어지 흡수 용량을 결정한다.
- 시편의 체적은 에너지 흡수 능력을 결정한다.

그림 16에서 알 수 있는 바와 같이 동작전

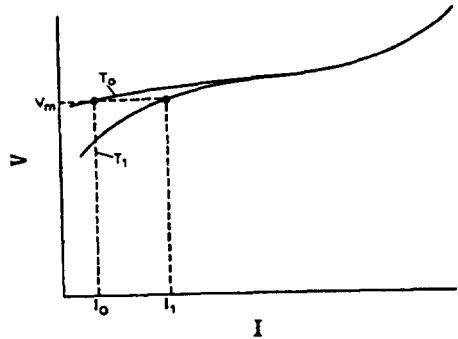


그림 14. 연속적인 전압 인가에 따른 V-I곡선의 변형

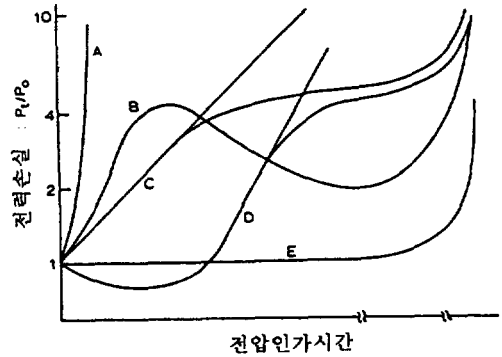


그림 15. 인가시간에 따른 와트손실

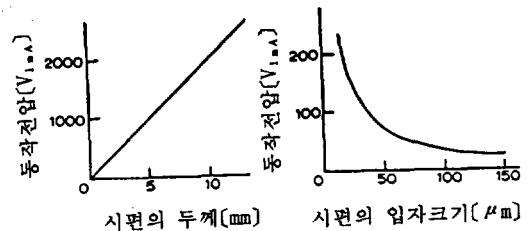


그림 16. 바리스터 전압 (V_{1mA}) 과 시편의 입자크기 및 두께사이의 관계

압은 ZnO입자의 크기 혹은 세라믹의 두께에 의해서 조절할 수 있다. 두께가 변형 되었다면, 세라믹의 체적은 변화하며, 시편의 입자크기가 변화할 때 시편의 체적은 에너지 절연 내력과 마찬가지로 변화 하지 않는다. 표면적이 크면 클 수록 써어지 전류가 높아진다. 예를들어, 1cm²의 전극면적을 갖는 바리스터의 써어지 전류는 5000A이고, 2cm의 전극면적에 대해서는 10000A정도이다. 에너지 흡수 능력은 시편의 체적에 비례한다. 1cm³의 체적에 대해서 전이 에너지는 약 250 J이다. 요약하면 시편의 두께는 동작 전압을 제한하

ZnO 바리스터의 현재와 미래의 기술동향

고, 진폭면적은 써어지 전류를 제한하며 체적은 과도에너지 흡수 능력을 제한하는 것으로 알려져 있다.

6. ZnO 바리스터의 응용

ZnO 바리스터는 일반적으로 전압 써어지 흡수 소자로서 폭 넓게 이용되고 있다. 1988년을 기준으로 하여 거의 20억개의 바리스터가 생산되었다. 그림 17에 보인 바와 같이 어떠한 응용분야에 대해서도 바리스터는 보호할 소자 혹은 시스템과 병렬로 연결하여 사용한다.

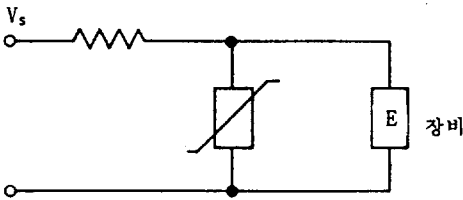


그림 17. 바리스터의 연결 모식도

좋은 써어지 흡수 효과를 얻기 위해서는 다음과 같은 일반적인 규칙에 따라서 바리스터를 설치한다.

1. 바리스터는 보호할 대상에 충격파가 침입하는 것을 막기 위해서 이상 전원이 발생하는 장소 근처에 설치한다.
2. 그림 18에 보인 바와 같이 잔류 전압 V_r 은 전원 임피던스 Z_s 에 의존하므로, 전원 임피던스가 0 이라면 장비는 보호되지 않는다.
3. 도입선의 길이는 도입선의 인덕턴스가 응답시간을 제한하지 않도록 하기 위해서 가능한 한 짧게 해야한다.
4. 최대전류 혹은 에너지 흡수율 이상의 이상 전압을 받을때 바리스터는 단락회로를 이루어, 기계적인 파괴가 일어난다. 이러한 문제를 최소화하기 위해서 일반적으로 바리스터와 직렬로 휴우즈를 연결하여 사용한다.

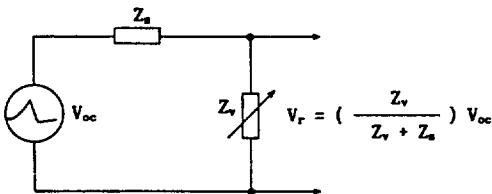


그림 18. 잔류 전압 V_r 과 전원 임피던스 Z_s 응용분야에 따라서 동작 전압이 다른 바리스

터를 이용할 수 있다.

6.1 고전압 분야 : 1kV에서 1MV의 범위

이러한 전압 범위에서 바리스터의 주요 응용분야는 배전계통과 송전계통을 보호하는데 사용한다. 써어지 흡수소자는 메가급 주율열과 100KA 정도의 최대전류에 해당하는 과도전이 에너지를 흡수해야 한다. 그림 19에 보인 바와 같이 써어지 피뢰기에는 수십개의 원판형 ZnO 바리스터를 직렬로 연결하여 사용한다. 예를로서, 배전급 변압기용 써어지 피뢰기는 직경 32mm와 두께 32mm인 ZnO 바리스터 6개로 구성되어 있다.

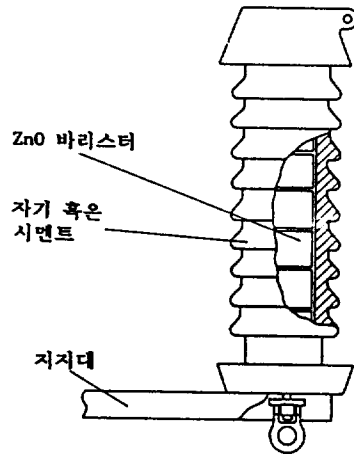


그림 19. 배전계통용 써어지 피뢰기의 구조

65kA의 최대 전류에 견디는 바리스터의 동작 전압은 24kV이다. 이러한 응용분야에서 ZnO 바리스터가 몇년동안 SiC 방전갭 혹은 방전갭을 한정적으로 대체하여 사용되어 왔다. 이러한 새로운 기술은 그림 20에 보인 바와 같이 일본에서 발전하였다. ZnO 바리스터의 장점은 간단하고, 신뢰성이 높고, 경제적이란 데 있다.

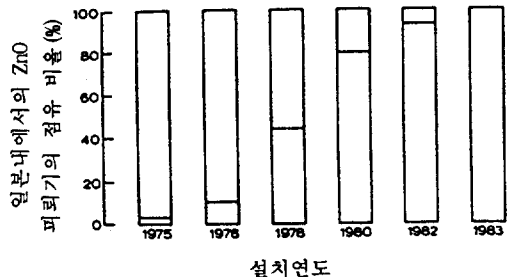


그림 20. 일본에서 써어지 피뢰기의 발전 현황

6.2 중간 전압 분야 : 24V에서 1kV의 범위

이러한 전압 범위는 다음과 같은 전자장비 보호 전압에 해당한다.

- 통신회로망
- 가전제품
- 저전압 전력계통

여러가지 응용분야에 대해서 몇가지 예를 보일 것이지만, 그림 21은 유도성 회로를 개방할때 일어나는 아아크 방전에 의해서 부식되는 전자기적 스위치 소자의 접촉 보호를 보이고 있다. 접점과 병렬로 연결된 바리스터는 과전압을 억제하고, 접점의 동작 수명을 연장시킨다. 보호장비가 없을때 과전압은 1000V에 이르게 되지만, 바리스터를 연결하면 과전압을 억제하여 150V의 전압이 된다.

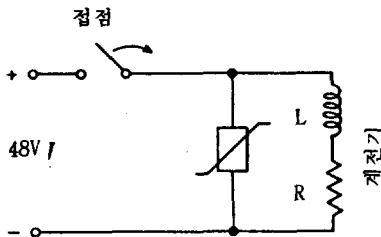


그림 21. 접점 보호

그림 22은 3상 전력 계통에 연결된 일반적인 보호 장비 장치를 나타내고 있다. 바리스터는 상과 대지 사이 (이러한 방식을 공통점 방식이라고 함) 혹은 상과 상(이러한 방식을 차동방식이라고 함) 사이에 연결하는 방법이 있다. 일반적으로 공통점 연결방식은 낙뢰와 정전기의 방전을 차단하는 경우에 응용하고, 차동 연결방식은 스위칭 동작시에 일어나는 써어지 흡수를 차단하는 경우에 응용한다.

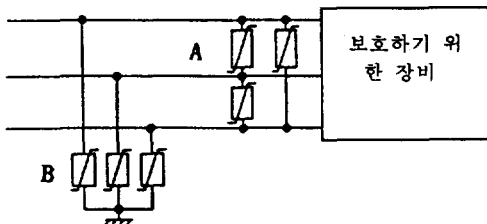


그림 22. 3상 전력 계통의 일반적인 보호 회로

변압기 일차측을 개방할 때는 그림 23에 보인 바와 같이 변압기 이차 권선 전압 보다 10 배이상 높은 과전압이 발생한다. 만일 부하가 반도체 혹은 캐패시터 소자라면, 그러한 소자는 기능을 잃게되고 파괴된다.

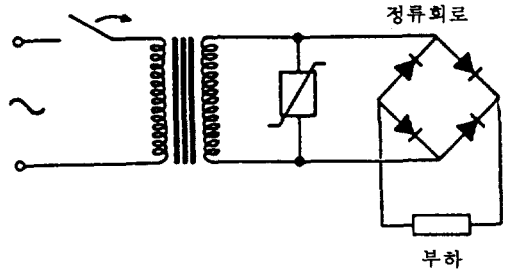


그림 23. 변압기 2차 권선에 연결된 부하의 보호회로

6.3 저전압 분야 : 24V이하의 전압 범위

최근 저전압 영역에서 바리스터의 응용분야는 자동차 전자회로가 대표적이다. 이러한 자동차 전자회로에는 고에너지가 축적되는 많은 유도성 부하 (스타아트 모터, 와이퍼 구동 모터 및 각종 점점등)가 있다. 이러한 유도성 부하의 개폐동작으로 인하여 높은 과도전압에너지를 갖는 과전압을 일으키게 된다. 예를 들어, 큰 부하와 관련된 과전압은 그림 24에 보였으며, 그림 24는 발전기에서 축전지에 전하를 축적하는 동안 축전지가 회로에서 차단되므로, 이때 시간에 따른 전압의 변화를 보인것이다. 이때 발생한 과전압이 가장 위험한 형태이고, 이러한 과전압 발생 시험은 자동차 생산 공장에서 일반적으로 수행되고 있다.

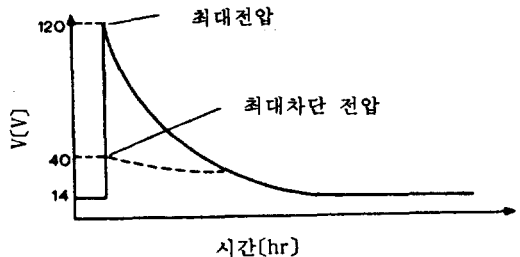


그림 24. 발전기에서 축전지에 전하가 충전되는 동안 발생되는 최대 써어지 전압

7. 각종 써어지 피뢰기의 비교

표 3에 가장 일반적으로 사용되고 있는 써어지 피뢰기의 전형적인 특성을 비교하였다. 매우 이상적인 써어지 피뢰기는 존재하지 않지만, 써어지의 특성에 따라서 적당한 피뢰기를 선택해야 한다. 각각 다른 종류의 피뢰기를 비교한다는 것은 어려운 일이다. 왜냐하면 피뢰기 나름대로 모델 및 적용기술이 다르기 때문이다.

표 3. 각종 써어지 피뢰기의 비교

	본 국	동작 전압 [V]	최대 전류 [kA]	누설 전류 [μ m]	응답 시간 [nS]	전이 에너지 [J]
공 극 식	양극 성	100 - 10000	> 100	< 1	1000	> 1000
제너다이오드	단극 성	4 - 400	1	1 - 100	1	1
ZnO 바리스터	양극 성	6 - 4000	> 100	1 - 100	10	> 300

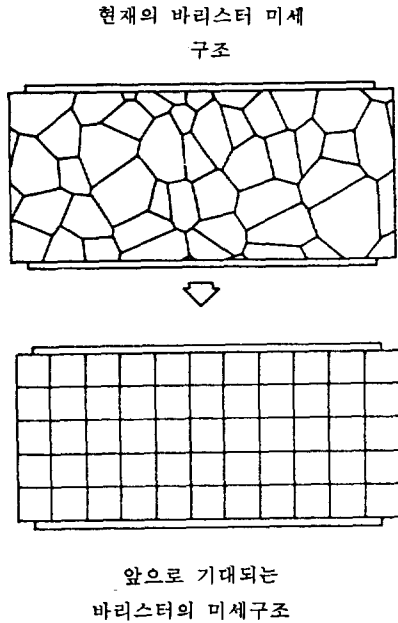


그림 25. 이상적인 바리스터의 전위장벽 분포

7.1 방전갭식 피뢰기

방전 갭 혹은 가스를 채운 피뢰기는 오래동안 사용해온 써어지 보호 장치이다. 이러한것은 큰 써어지 전류 조정 능력이 있기 때문에 일차 보호 소자로 널리 사용하여 왔다. 이러한 피뢰기의 큰 단점의 하나는 초기 전압이 상승할 동안 보호하지 못하며 응답시간 (일반적으로 μ s의 시간이 소요)이 길다는 것이다. 동작전압은 전극의 극간 거리, 압력 및 사용된 가스의 특성에 따라서 조절이 가능하다. 누설전류가 거의 없고, 용량성분도 거의 없는 것이 특징이다.

7.2 제너 다이오드를 이용한 피뢰기

제너 다이오드의 장점은 써어지 차단 속도가 상당히 빠르고, 매우 낮은 저전압에서 사용된다. 이 소자의 단점은 체적이 작아서, 써어지 흡수시 생긴 열 때문에 낮은 과도 전이 에너지 흡수 능력을 갖고 있다는 것이다.

8. ZnO 바리스터의 발전 방향

앞에서 써어지 보호 소자로서 ZnO 바리스터의 폭넓은 응용 범위에 대해서 보였다. 바리스터 특성을 실증하는데 이론적인 반론은 제기되지 않고 있지만, 앞으로 소자 조합기술 및 분말 제조기술분야에서 많은 연구가 이루어져야 한다.

8.1 새로운 분말 제조기술

ZnO 바리스터는 ZnO 입계에 위치한 전위장벽 때문에 높은 비선형 전류-전압 특성을 보이고 있으며, 써어지 전류, 과도에너지 흡수 능력 및 누설 전류와 같은 전기적 특성은 시편내에 존재하는 전위장벽과 입자의 균일성에 관계한다. 전위 장벽의 분포가 균일하면 할수록, ZnO 바리스터의 동작특성이 우수해지며 이상적인 바리스터는 그림 25에 보인 바와 같이 각 입계에 대해서 전위 장벽이 균일하게 분포한 것을 말한다.

이미 설명하였지만, 이러한 것은 전통적인 원소의 혼합과 분쇄방법을 이용하여서는 불가능하다. 바리스터내에 전위장벽 분포를 균일하게 하기 위해서는 화학적인 방법을 이용한 분말 제조가 이루어지면, ZnO/ZnO 입계에 첨가 산화물의 균일성을 향상시키며, 입자 성장을 제어할 수 있게 해준다. 더우기 이러한 방법은 생산공정의 재현성을 증가시키고, 또한 생산성을 향상시키게 된다. 표 4에 보인 바와 같이 화학적인 제조기술의 장점은 화학적으로 안정하고, 화학적으로 고순도의 분말을 얻을 수 있고, 미세하고 균일한 입자크기를 갖는 분말을 얻을 수 있다.

그렇지만, 화학적인 분말 제조공정에서 두가지의 해결되지 않은 단점이 남게된다. 즉, 화학적인 방법으로 제조된 분말은 극도로 미세한 분말이 되면 덩어리가 지고, 제조단가가 고가라는 단점이 있다.

분말을 제조하는데 여러가지의 화학적인 방법이 가능하고, 여러편의 논문에서 발표되었다. 예를 들어, Dosch은 고전압 바리스터를 제조하기 위한 분말 제조법을 개발 하였다. 이러한 방법은 우선 원소를 수산화물로 공침시키고 난후 열처리하여 수산화염으로 만든다. Bi

가 국부적인 수산화 반응에 의해서 산소의 표면에 공침시키는 방법을 이용하였다.

또한, Djega-Mariadassou은 그러한 공정을 거치고 난후 정밀 조성비로 모든 원소를 동시에 공침시키고, 분말을 미포화 용액에 넣으면 질화염과 주석산염으로 된다. Seitz은 용액의 증발 분해 기술을 이용하였으며, 분말은 초산염 혹은 질화염 용액을 건조시켜 얻었다.

이러한 방법으로 제조한 ZnO 바리스터는 전통적인 방법으로 얻은 바리스터보다 좋지않은 특성을 보이는 경우도 종종 있지만, 그러한 방법의 재현성과 생산적인 측면에 대해서 현재 활발히 연구가 진행되고 있다. 지금 어떠한 방법이 좋다고 말하기는 시기상조라고 생각한다.

표 4. 화학적인 방법으로 제조된 분말의 장단점

장 점	단 점
원료의 순도	입자의 결집성
화학적 안정성	고가임
입도의 균일성	

8.2 소자의 형상

바리스터는 지난 20년동안 사용되어 왔지만 아직도 그 형상은 개발할 여지가 많이 남아 있다. 이미 앞에서 보인 바와 같이, 바리스터의 형상은 원판형, 봉형 및 증공형이 대부분이지만 새로운 모델에 대한 요구가 증가하고 있다. 여기서는 그러한 새로운 요구에 대한 몇가지 모델을 제시하고자 한다.

8.2.1 표면의 특성을 이용한 바리스터

인쇄 기판위에 직접 올려진 도입선 없는 바리스터 소자는 표면 탑재 기술(Surface Mounting Technology 혹은 SMT)로 알려진 전자 장비 탑재 기술의 상당한 발전을 요구한다. SMT 산업은 과거 몇년에 걸쳐 상업적으로 실용화 되어 왔다. 시작은 늦었지만 유럽 각국의 소자 생산사에서는 인쇄기판의 표면위에 직접 탑재된 저항, 캐패시터 및 인덕터 소자를 개발하였으며, 1990년에 SMT은 PCB시장의 50%를 차지하고 있다. 마찬가지로 ZnO 바리스터의 표면 특성을 이용하는 경우도 마찬가지로 증가하고 있다. 표면 탑재 바리스터의 두가지 종류는 다음과 같다. 한가지는 그림 26에 보인 바와 같이 세라믹 원판을 봉입재료로 포장한 형태이고, 현재 전기적인 특성은 좋지만 이러한 소자의 단가는 도입선을 부착한 종래의 바리스터 보다 훨씬 고가이다.

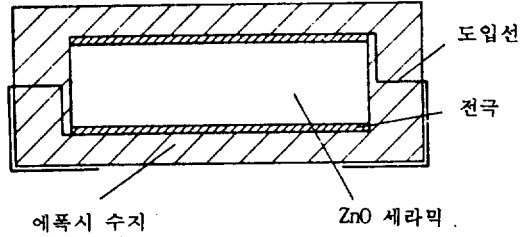


그림 26. 세라믹 원판을 봉입재료로 포장한 형태

두번째 형식은 그림 27에 보인 바와 같이 세라믹 칩을 들 수 있다. 칩 형태의 바리스터 소자는 그림 27(a)와 (b)의 두종류가 있다. 그림 27(a)에 보인 바와 같은 형태의 바리스터는 약 10에서 1000V의 전압범위에서 응용할 수 있으며, 편리하고 간단한 소자이다.

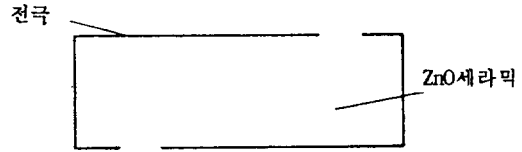


그림 27. (a) 나선 칩 바리스터

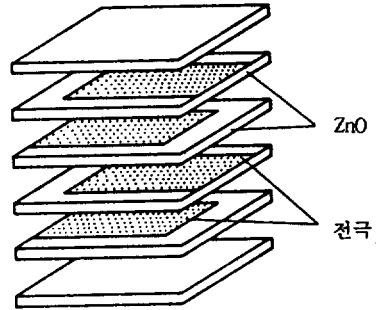


그림 27. (b) 다층-칩 바리스터의 단면

10V 미만에는 다층형 칩 바리스터가 사용되고 있으며, 그림 27(b)는 다층-칩 바리스터의 단면을 보여주고 있다. 앞에서 설명한 바와 같이 다층형 칩 바리스터는 팔라듐-은 합금인 인쇄 금속 전극을 사용하여 두께 20~50μm의 녹색 세라믹 기판에 적층시켜서 제조한다. 전형적으로는 은-팔라듐 용액으로 처리한 도입선 단자를 내부 전극과 연결하여 제조한다. 이러한 형태의 바리스터는 나선 칩 바리스터 보다 더욱 복잡하고 단가가 비싸지만, 기판의

두께에 따라서 10V이하의 매우 낮은 동작 전압에서 동작시킬 수 있다.

8.2.2 중공 바리스터

그림 28에 보인 바와 같이 또다른 새로운 바리스터는 전기장치의 연결 부분에 직접 삽입한 중공축식 바리스터이다. 이러한 구조의 바리스터는 두가지 기능인 보호와 연결 기능을 갖고 있다. 길이 약 10mm의 중공식 이음매는 연결부위의 체적을 증가시키지 않고, 직경 2mm 정도의 연결편을 둘러 쌓을 수 있다. 중공축식 바리스터에 의해서 얻을 수 있는 장점은 다음과 같다.

- 낮은 인덕턴스를 갖는 도입선 효과
- 공간과 중량 감소 효과
- 간단한 설치효과

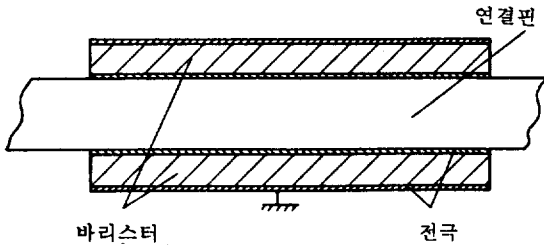


그림 28. 중공축 바리스터

9. 결 론

ZnO 바리스터는 전기적인 특성 뿐만 아니라 장착의 용이성 및 저렴한 가격때문에 수 V에서 부터 수백 kV까지의 이상 전압을 차단할 수 있기 때문에 폭넓게 사용되고 있다. 동경 도입선 형태, 중공축식 바리스터 및 기관 탑재식 바리스터 등 많은 종류의 ZnO 바리스터가

개발되었다. ZnO 바리스터의 동작특성은 해마다 발전되고 있지만, 현재 이들 바리스터의 궁극적인 동작특성을 규명하지 못하고있는 실정이다. 바리스터 분야 뿐만 아니라 모든 세라믹 분야에서 더욱 큰 발전을 이루기 위해서는 분말 제조공정의 발달이 선행되어야 한다. 다시말해서 화학적인 방법에 의해서 전통적인 분말 제조 방법을 개선해야 하며, 궁극적으로는 새로운 기술로 만든 ZnO 바리스터가 전통적인 방법으로 제조된 바리스터와 가격 경쟁력이 있어야 한다.

참 고 문 헌

1. Michio Matuoka, "Nonohmic Properties of Zinc Oxide Ceramics", J. Appl. Phys. 10 (6) pp. 736-746, 1971.
2. Einzinger, R., "Grain Boundary Properties in ZnO Varistors", Adv. Ceram., 1, pp. 359-374, 1981.
3. Philipp H. R. and Levinson L. M., "Degradation Phenomena in Zinc Oxide Varistors", A Review Advances in Ceramics, Vol. 7, Am. Cer. Soc., pp. 1, 1983.
4. J. C. Simpson, J. F. Cordaro, "Characterization of Deep Levels in Zinc Oxide", J. Appl. Phys. 63 (5), pp. 1781-1783, Mar. 1988.
5. Eda K., and Iga A., "Degradation Mechanism of Non-Ohmic Zinc Oxide Ceramics", J. Appl. Phys., Vol. 51, pp. 2678, 1980.
6. Hayashi M., Haba M. and Hirano S. and Okamoto M., "Degradation Mechanism of ZnO Varistor under DC Bias", J. Appl. Phys., Vol 53, pp. 5754, 1982.
7. 松岡 道雄, "セラミツク技術集大成", 經營システム研究所, pp. 311-429, 1984.

著者紹介



장경욱

1963년 8월 27일생
1986년 2월 광운대 전기공학과 졸업.
1988년 9월 광운대 전기공학과 석사.
1993년 현재 광운대 전기공학과 박사과정수료.



이준웅

1940년 10월 24일생. 1964년 2월 한양대 전기공학과 졸업. 1970년 2월 한양대 전기공학과 석사. 1979년 3월 France국립 Montpellier 전기공학과(공학) 1990년 1-12월 미국 미시시피 주립대 교환교수. 1993년 현재 광운대 전기공학과 교수.