

論文
6-1-4

비휘발성 EEPROM을 위한 SNOSFET 단위 셀의 어레이에 관한 연구 (A Study on the Array of SNOSFET Unit Cells for the Nonvolatile EEPROM)

강창수*, 이형옥**, 이상배***, 서광열***
(Chang-Soo Kang, Hyung-Ok Lee, Sang-Bae Lee, Kwang-Yell Seo)

요 약

Short channel 비휘발성 SNOSFET EEPROM 기억소자를 CMOS 1 Mbit 설계규칙에 따라 제작하고 특성과 응용을 조사하였다. 논리 어레이를 실현하기 위한 SNOSFET는 4단자와 2단자 비휘발성 메모리 셀로 구성하고 이에 대한 기록과 소거 특성을 조사하였다.

결과적으로, 4단자 소자와 2단자 소자의 메모리 윈도우는 각각 기록과 소거에 의하여 "1" 상태와 "0" 상태로 동작되는 저전도 상태와 고전도 상태를 나타냈다. 4단자 2 x 2 매트릭스 어레이는 양극성으로 동작하였으며, 2단자 2 x 2 매트릭스 어레이는 단극성으로 동작하였다.

Abstract

Short channel Nonvolatile EEPROM memory devices were fabricated to CMOS 1M bit design rule, and reviews the characteristics and applications of SNOSFET. Applications of SNOS field effect transistors have been proposed for both logic circuits and nonvolatile memory arrays and operating characteristics with write and erase were investigated.

As a results, memory window width of four terminal devices and two terminal devices was established low conductance state and high conductance state, which was operated in "1" state and "0" state with write and erase respectively. And the operating characteristics of unit cell in matrix array were investigated with implementing the composition method of four and two terminal nonvolatile memory cells. It was shown that four terminal 2 x 2 matrix array was operated bipolar, and two terminal 2 x 2 matrix array was operated unipolar.

* : 유한공업전문대학 전자과
** : 오산공업전문대학 전자과
*** : 광운대학교 대학원 전자재료공학과

1. 서론

디지털 컴퓨터 시스템에서 데이터를 저장하기 위하여 자기코아 기억소자의 사용이 반도체 기억소자로 처음 사용된 이래, 최근 반도체 공정기술의 급속한 발전에 따라 반도체 기억소자는 scaling down 측면에서 상당한 진전을 보이고 있다. 이중 절연막

구조를 갖는 비휘발성 SNOSFET (polysilicon-nitride-oxide-semiconductor field effect transistor) 반도체 기억소자는^{1,2)} 소켓 또는 시스템으로부터 분리하지 않고 전기적으로 기록과 소거를 행할 수 있는 EEPROM (electrically erasable programmable read only memory) 으로 응용되어³⁾ 공정방법의 개선 및 개발에 따라^{4,5)} 상업용, 군사용으로

폭넓게 사용되고 있으며 이에 대한 연구가 계속되고 있다.^{6,7)}

비휘발성 SNOSFET 기억소자의 기록과 소거 동작은 질화막내 트랩의 전하저장에 의하여 이루어지며 하나의 기억 셀을 갖는다. Short channel 비휘발성 SNOSFET 소자는 CMOS 1 Mbit 설계규칙에 따라 제작하고 이에 대한 I_D-V_D 특성, I_D-V_G 특성, 스위칭 특성, 기억유지 특성을 조사하였다.⁸⁾

본 논문은 SNOSFET 셀의 어레이 동작 특성을 조사하고 그 응용성과 scaling down 가능성을 제시하였다. 셀 어레이 설계는 양극성으로 동작하는 4단자 소자와 단극성으로 동작하는 2단자 상보형 SNOSFET로 하였다.

2. 소자의 제작

본 실험을 위하여 제작한 비휘발성 SNOSFET의 제작공정은 실리콘 게이트 CMOS 1M 공정 (1.2 μm design rule)에 질화막의 증착공정을 추가하여 사용하였다. 기판으로는 비저항 6-9 $\Omega\text{-cm}$ 인 P형 실리콘 <100>웨이퍼를 사용하였다. 터널링 산화막은 건식산화법으로 775°C의 확산로에서 16분간 열적으로 웨이퍼 위에 성장시켰으며 두께는 30 Å이다. 산화막 위에 기억전하 축적을 위한 질화막은 저압화학증착로에서 10:1의 $\text{NH}_3:\text{SiH}_2\text{Cl}_2$ 혼합기체를 반응시켜 산화막 위에 증착시켰으며 두께는 525 Å이다. 소오스와 드레인에는 hot carrier 문제를 해결하기 위하여 DDD 구조로 형성하였다. P를 50KeV, $4 \times 10^{13}/\text{cm}^2$ 로 이온주입하여 n^- 영역을 형성한 다음, As를 950°C에서 30분 동안 80KeV,

$4 \times 10^{15}/\text{cm}^2$ 로 이온주입하여 n^- 영역을 형성하였다. 이렇게하여 전압깊이가 0.25 μm 인 n^- 영역과 0.15 μm 인 n^- 영역으로 이루어진 드레인과 소오스를 얻었다. 채널폭과 길이는 각각 n-channel과 p-channel에서 $15 \times 1.5 \mu\text{m}$, $15 \times 1.8 \mu\text{m}$ 이다.

3. 측정

4단자 SNOSFET의 2 x 2 어레이 상에서 매트릭스 단위 셀의 기록 소거 및 관독을 위한 어레이는 그림 1과 같다.

단순 저항 어레이 상에서 초기 조건은 저전도 상태로 한다. 저전도 상태의 초기 조건은 스위칭 트랜지스터 Tr_1, Tr_6 를 "on" 시키고 Tr_7, Tr_8 를 "off" 상태로 한다. 그리고 게이트 라인 G_1, G_2 에 $V_w = +34\text{V}$, $t_w = 50\text{sec}$ 를 인가하여 설정한다. 기억소자인 FET_1 의 고전도 상태는 드레인, 소오스, 기판을 공통 접지로 하고 스위칭 트랜지스터 $\text{Tr}_4, \text{Tr}_5, \text{Tr}_6$ 를 "off" 상태로 한다. 그리고 게이트 라인 G_1 에 $V_E = -34\text{V}$, $t_E = 50\text{sec}$ 의 소거 전압을 인가 한다. FET_2 는 같은 열에 있음에도 불구하고 양의 전압이 인가 되지 않아 영향을 받지 않으며, $\text{FET}_3, \text{FET}_4$ 는 게이트 라인 G_2 에

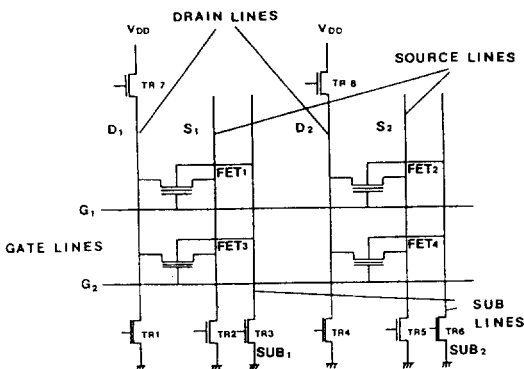


Fig. 1. The 2 x 2 array of SNOSFET

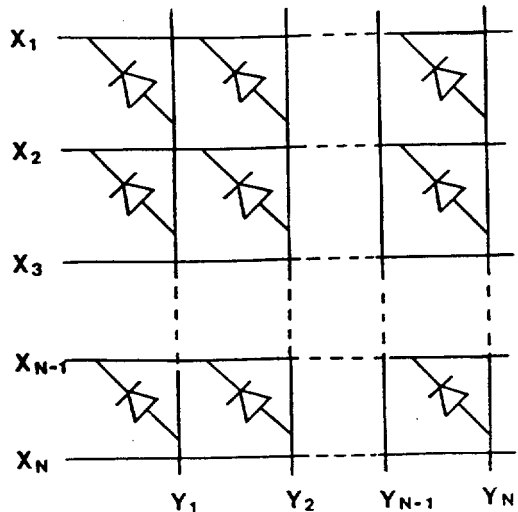


Fig. 2. $n \times n$ array of C-SNOSFET

있기 때문에 바이어스 전압이 인가되지 않는다. 행 G_1 의 메모리 상태는 "1"과 "0"을 나타내고 있다. FET_1 의 "1" 상태 관독은 게이트 단자에 $V_G = 5\text{V}$ 의 전압을 인가하고 스위

칭 트랜지스터 Tr_7 을 "on"시킨 후, 드레인 단자에 판독 펄스를 인가한다. 판독펄스에 의한 전류는 소오스 옆에서 전류를 감지함으로써 메모리를 판독한다.

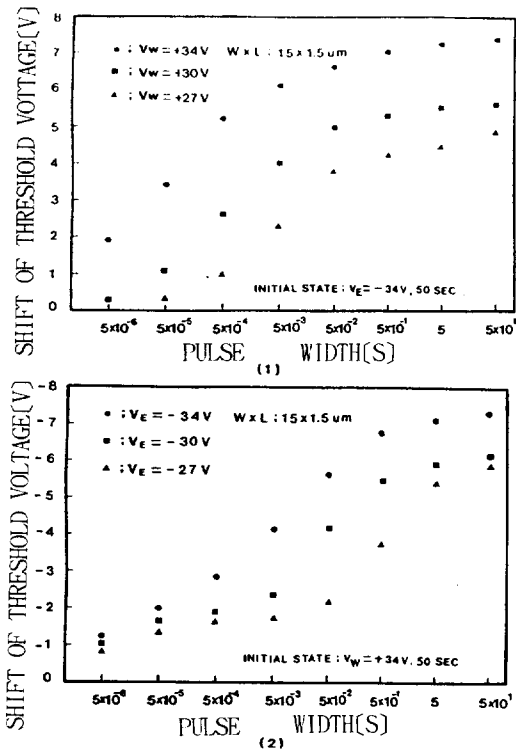


Fig. 3 Switching characteristics in the channel with width x length: 15 x 1.5 μm

- (1) High conductance state → Low conductance state
- (2) Low conductance state → High conductance state

2단자 단극성 상보형 SNOSFET의 기록, 소거, 판독을 조사하기 위하여 행과 열의 교차점에 $n \times n$ 기억 셀을 어레이한 회로는 그림 2와 같다.

4. 결과 및 고찰

4-1. 4단자 소자의 스위칭 특성

채널폭과 길이가 15 x 1.5 μm인 SNOSFET 기억소자에서 기록과 소거시의 펄스폭과 크기에 따른 문턱전압의 관계는 그림 3과 같다.

비휘발성 SNOSFET의 초기 조건은 $V_E = -34V, t_E = 50sec$ 를 인가하여 소거시킨다. 기록전압이 $V_w = +34V, +30V, +27V$ 인 경우 펄스폭에 따른 기록특성은 그림 3의 (1)과 같다. 초기조건은 $V_w = +34V, t_w = 50sec$ 를 인가하여 기록시킨다. 소거전압이 $V_E = -34V, -30V, -27V$ 인 경우 펄스폭에 따른 소거 특성은 그림 3의 (2)와 같다. 그림 3의 (1)과 (2)로부터 문턱전압의 이동량은 펄스폭이 증가함에 따라 대수함수적으로 증가하다 포화되며, 어떤 크기의 메모리 윈도우를 얻고자할 때 펄스의 크기와 폭을 조절하면 스위칭이 가능함을 알 수 있다. SNOSFET 기억소자의 기억상태는 고전도 상태에서 저전도 상태, 또는 저전도 상태에서 고전도 상태로 스위칭할 수 있다. 초기 조건은 $V_E = -34V, t_E = 50sec$ 의 소거 펄스를 인가하여 고전도 상태로 설정한다. $V_w = +34V, t_w = 50sec$ 의 기록펄스를 인가하여 기록시켰을 때 메모리 윈도우의 크기는 7.4V 이었다. 다시 초기 조건은 $V_w = +34, t_w = 50 sec$ 를 인가하여 저전도 상태를 설정한다. 저전도 상태에서 고전도 상태로 스위칭하기 위하여 $V_E = -30V, t_E = 50sec$ 의 펄스를 인가하여 소거시켰을 때 메모리 윈도우의 크기는 7.4V 이었다.

4-2. 2단자 소자의 스위칭 특성

단극성 C-SNOSFET는 p-channel과 n-channel 상보 구성이다. 이에 대한 스위칭 특성을 조사하였다. 2단자 소자는 T_1 단자에 대한 T_2 단자에 $V_E = -34V, t_E = 50sec$ 를 인가하여 저전도 상태로 초기조건을 만든다. T_1 단자에 $V_w = -34V, -30V, -25V$ 의 기록 펄스 크기와 폭을 변화시키면서 기록 특성을 측정된 결과는 그림 4의 (1)과 같다. 초기조건은 T_2 단자에 대한 T_1 단자에 $V_w = -34V, t_w = 50sec$ 를 인가하여 고전도 상태로 만든다. T_2 단자에 대해 $V_E = -34V, -30V, -25V$ 의 소거 펄스 크기와 폭을 변화시키면서 소거 특성을 측정된 결과는 그림 4의 (2)와 같다.

그림 4의 (1)로부터 2단자 소자의 기록 특성은 $V_w = -34V, -30V, -25V$ 의 $t_w = 10 \mu sec, 100 \mu sec, 10msec$ 펄스폭에서 3V 메모리 윈도우가 나타남을 보여주고 있다. 그림 4의 (2)로부터 소거 특성은 $V_E = -34V, -30V, -25V$ 의 $t_E = 10 \mu sec, 10 \mu sec, 100msec$ 펄스폭에서 3V 메모리 윈도우가 나타남을 보여주고

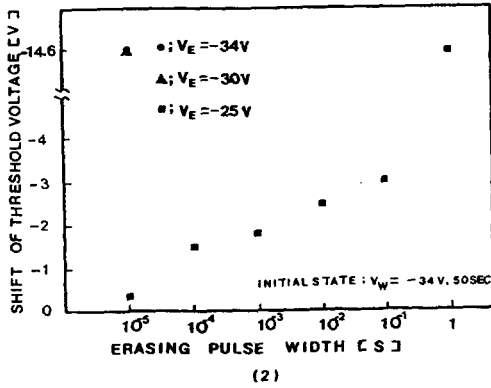
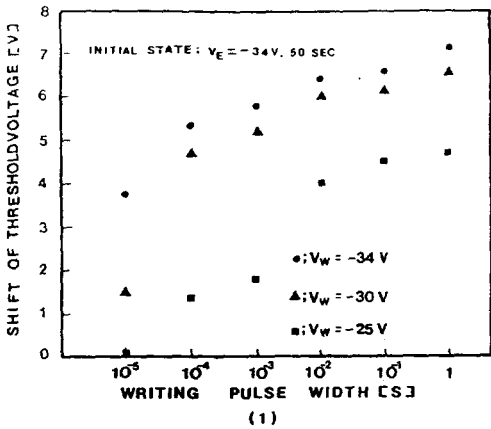


Fig. 4 Switching characteristics with pulse width of C-SNOSFET
 (1) Low conductance state \rightarrow High conductance state
 (2) High conductance state \rightarrow Low conductance state

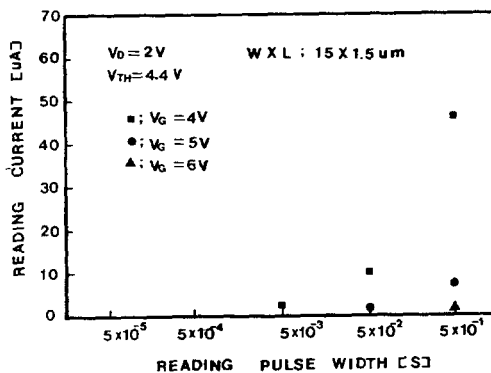


Fig. 5 Reading current for reading pulse width at low conductance state

있다. 이상의 결과로부터 2단자 소자는 단극성으로 동작함을 알 수 있다.

4-3. 4단자 소자의 판독

비휘발성 SNOSFET의 매트릭스는 2×2 어레이이다. 각각의 단위 셀은 저전도 상태와 고전도 상태로 설정한다. 단위 셀의 판독 동작은 드레인 단자에 판독 펄스를 인가하여 소오스 열에서 "0" 상태와 "1" 상태를 감지할 수 있다.

비휘발성 SNOSFET는 $V_W = +30V$, $t_W = 50sec$ 를

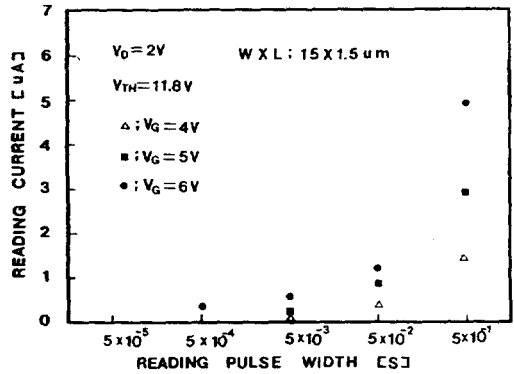


Fig. 6 Reading current for reading pulse width at high conductance state

인가하여 저전도 상태로 만든다. 단위 셀의 판독은 게이트 바이어스 전압을 $V_G = 4V, 5V, 6V$ 로 증가시키면서 판독 펄스의 크기 $V_D = 1V, V_D = 2V$ 와 판독 펄스폭을 변화시키면서 드레인에 흐르는 전류값을 판독하면 그림 5와 같다.

비휘발성 소자는 $V_E = +34V$, $t_E = 50sec$ 를 인가하여 저전도 상태로 만든다. 단위 셀의 판독은 게이트 바이어스 전압 V_G 를 $4V, 5V, 6V$ 로 증가시키면서 판독 펄스 크기 $V_D = 1V, V_D = 2V$ 와 판독 펄스폭을 변화시키면서 드레인에 흐르는 전류값을 판독하면 그림 6과 같다.

그림 5와 6은 4단자 소자를 저전도 상태와 고전도 상태로 만든 후, 낮은 판독 펄스 전압으로 "0"과 "1"의 상태를 감지할 수 있음을 보여주고 있다.

4-4. 2단자 소자의 판독

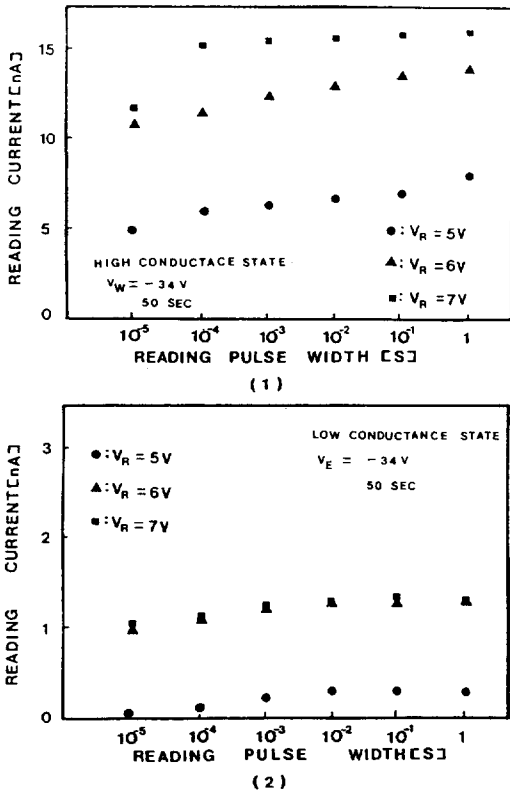


Fig. 7 Reading pulse width vs. reading pulse current according to reading pulse voltage.
 (1) High conductance state
 (2) Low conductance state

C-SNOSFET 단위 셀의 동작은 각각 T_1 단자와 T_2 단자에 단극성 전압을 인가하면 기록과 소거가 실행 된다. 소자의 기록은 T_1 단자에 기록 펄스 $V_W = -34V$, $t_w = 50sec$ 를 인가하여 "1" 상태로 만든다. 고전도 상태의 소자는 판독 전압 $V_R = 5V, 6V, 7V$ 로 변화시키면서 판독 펄스폭 변화에 대한 판독 전류는 그림 7의 (1)과 같다. 소자의 소거는 T_1 단자에 대해 T_2 단자에 $V_E = -34V$, $t_E = 50sec$ 를 인가하여 "0" 상태를 만든다. 저전도 상태의 소자는 판독 전압을 $V_R = 5V, 6V, 7V$ 로 변화시키면서 펄스폭에 대한 판독 전류는 그림 7의 (2)와 같다.

그림에서 알 수 있는 바와같이 판독 전압이 증가할수록 판독 전류가 증가함을 알 수 있다. 그리고 판독 펄스폭이 증가할수록 판독 전류가 증가함을 알 수 있다.

5. 결론

Short channel 비휘발성 SNOSFET를 CMOS 1M 설계규칙 ($1.2\mu m$ design rule)에 의하여 제작하고 단극성 C-SNOSFET, 양극성 SNOSFET 어레이를 구성하여 응용 가능성을 조사한 결과, 다음과 같은 결론을 얻었다.

1. 4단자와 2단자 소자의 어레이에서 기록과 소거시 "1" 상태와 "0" 상태의 스위칭 특성은 모두 우수하다.
2. 4단자 소자와 2단자 소자의 기록과 소거는 각각 양극성과 단극성으로 이루어지며 판독특성이 우수하다.
3. 4단자 소자의 어레이 구성과 2단자 소자의 어레이 구성 방법에 의하여 고집적화가 가능하고, 기존의 공정기술의 이용이 가능하다.

참고 문헌

1. G. Carlstedt, et al., "A Content Addressable Memory Cell with MNOS Transistors" IEEE J. sol. state. cir., Vol. sc-8, 1973
2. S. Koike, et al., "New Two-Terminal C-MNOS Memory Cells", IEEE Trans. Elect. Dev., Vol. ED-23, pp. 1036-1041, 1976
3. K. Uchiumi, et al., "16K EEPROM keeps MNOS in the running", Elect., pp. 87-89, 1987
4. N. Ajika, et al., "A 5 Volt only 16 Mbit Flash EEPROM Cell with a single Stacked Gate Structure", IEDM 90, PP. 115-118, 1990
5. K. Yoshikawa, et al., "A Reliable Profiled Lightly Doped Drain(LDD) Cell for High Density Submicrometer EPROM's", IEEE Trans. Elect. Dev., Vol. 37, 1990
6. H. Arima, et al., "A High Density Performance Cell for 4M Bit Full Feature Electrically Erasable/Programmable Read Only Memory" J. J. Appl. Phys., Vol. 30, pp. L334-L337, 1991
7. S. Kitazawa, et al., "Low Detecting Bias and It's Influence on Nonvolatile Memory Data Access", IEICE Trans., Vol. E-74, P. 885, 1991
8. 강창수, "Short Channel 비휘발성 SNOSFET 기억소자의 제작과 특성", 전기전자재료학회지, 제 4권 3호, 1991

(1992년 6월 13일 접수)