

Twin-tub CMOS 공정으로 제작된 서브마이크로미터 n 채널 및 p 채널 MOSFET의 특성

Characteristics of Submicrometer n-and p-Channel MOSFET's Fabricated with Twin-Tub CMOS Process

서용진*, 최현식*, 김상용*, 김태형*, 김창일*, 장의구*

(Yong-Jin Seo, Hyun-Sik Choi, Sang-Yong Kim, Tae-Hyung Kim, Chang-Il Kim,
Eui-Goo Chang)

요 약

Twin-tub CMOS 공정에 의해 제작된 서브마이크로미터 채널길이를 갖는 n채널 및 p채널 MOSFET의 특성을 고찰하였다. n채널 및 p채널 영역에서의 불순물 프로파일과 채널 이온주입 조건에 따른 문턱전압의 의존성 및 퍼텐셜 분포를 SUPREM-II와 MINIMOS 4.0을 사용하여 시뮬레이션하였다. 문턱전압 조정을 위한 counter-doped 보론 이온주입에 의해 p채널 MOSFET는 표면에서 대략 0.15 μm 의 깊이에서 매몰채널(buried-channel)이 형성되었다.

각 소자의 측정 결과, 3.3(V) 구동을 위한 충분한 여유를 갖는 양호한 드레인 포화 특성과 0.2(V)이하의 문턱전압 shift를 갖는 최소화된 짧은 채널 효과, 10(V) 이상의 높은 펀치스루 전압과 브레이크다운 전압, 낮은 subthreshold 값을 얻었다.

ABSTRACT

We have studied the characteristics of n-and p-channel MOSFET's with submicrometer channel length fabricated by twin-tub CMOS process. Threshold voltage dependence and potential distribution with channel ion implantation conditions and impurity profile of n-and p-channel region were simulated using SUPREM-II and MINIMOS 4.0 simulator. P-channel MOSFET had buried-channel in the depth of about 0.15 μm from surface by counter-doped boron ion implantation for threshold voltage adjustment.

As a result of each device measurement, we have obtained good drain saturation characteristics for 3.3(V) operation, minimized short channel effect with threshold voltage shift below 0.2(V), high punchthrough and breakdown voltage above 10(V) and low subthreshold values.

* 중앙대학교 전기공학과

1. 서론

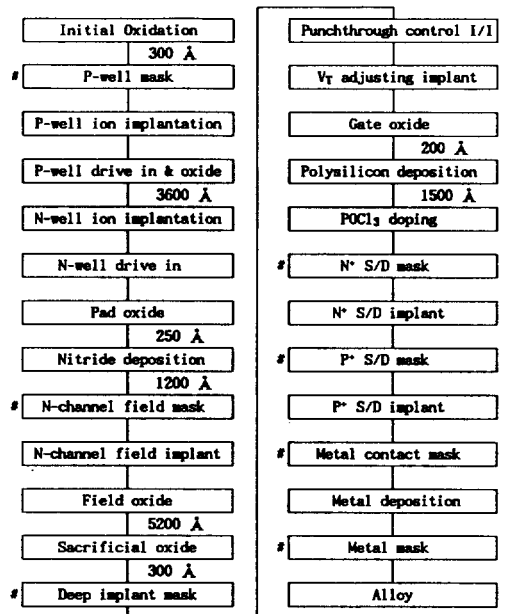
반도체 공정 기술의 급속한 발전에 따라 반도체 소자는 고집적화, 저전압화, 저소비 전력 등 소형화(scale-down) 측면에서 상당한 진전을 보이고 있다. 채널길이의 감소, 게이트 산화막 두께의 감소, 이에 따른 채널 도핑의 증가와 소오스/드레인 접합깊이의 감소와 같은 MOSFET 소형화이론¹⁾은 MOSFET의 속도와 전류 구동 능력을 향상시키기 위해 채널길이를 감소 시킴에 따라 나타나는 짧은 채널효과(short channel effect)를 최소화하기 위한 것이다. 최근 낮은 전력소모 특성 때문에 CMOS회로가 주요한 기술이 되었고 VLSI를 위해 필요한 고속과 낮은 전력소모를 이루기 위해 서브마이크로미터 이하의 채널길이를 갖는 n채널과 p채널 MOSFET가 요구되고 있다²⁾. 그러나 이러한 서브마이크로미터 CMOS소자의 디자인과 제작은 불균일하게 도핑된 서로 다른 type의 well농도³⁾, n⁺ 다결정 실리콘 게이트가 사용되었을 때 문턱전압 조절을 위한 counter-doping에 의해 일어나는 p채널 MOSFET의 매몰 채널(buried-channel) 특성^{2,4)}, 낮은 면저항값을 갖는 동시에 얇은 소오스/드레인 접합의 형성⁵⁾ 등이 고려되어야 하므로 nMOSFET 또는 pMOSFET 보다 더 어렵다.

본 연구에서는 기존의 single-well CMOS소자 보다는 공정이 복잡하고 경제성이 낮다는 단점은 있으나, 기판 타입을 트랜지스터의 성능에 무관하게 임의로 선택할 수 있고 게이트 산화막 아래의 불순물 농도를 각각 조절할 수 있어 재현성이 높으며 또한 각 소자를 독립적으로 최적화할 수 있어 소형화 추세에 의한 서브마이크로미터의 채널 길이를 갖는 MOSFET의 경우 대칭적인 성능을 구현할 수 있는 장점을 갖는 twin-tub CMOS구조^{3,6)}를 채택하였다. 1D 공정 시물레이터인 SUPREM-II⁷⁾와 2D 소자 시물레이터인 MINIMOS 4.0⁸⁾을 사용하여 n채널과 p채널 영역에서의 불순물 프로파일과 채널 이온주입 조건에 따른 문턱 전압의 의존성 및 퍼텐셜 분포를 시물레이션하였고, 제작된 n 채널 MOSFET와 p 채널 MOSFET의 측정 결과를 비교 고찰하였

다. 특히 n⁺ 다결정 실리콘 게이트를 갖는 pMOSFET의 경우 문턱전압 조절을 위한 counter-doping 조건에 따른 매몰 채널 특성을 강조하였다.

II. 소자 제작 과정

그림 1은 twin-tub CMOS 소자의 개략적인 공정 흐름도이고 그림 2는 공정 진행에 따른 소자의 단면을 나타낸 것이다. 비저항이 2-3Ω-cm 이고 phosphorus가 도핑된 (100) n형 기판위에 300Å의 초기 산화막을 성장한 후 p-well 마스크를 사용하여 B₁₁₁⁺, 1.0E13 cm⁻², 150KeV로 이온주입하여 p-well을 형성하였다. [그림 2(a)], p-well 위에 3600Å의 산화막을 성장시켜 n-well 이온 주입을 위한 차폐 산화막형성 및 p-well을 드라이브인(drive-in)하였고 n-well은 1.8E12cm⁻²의 P₃₁ 이온을 150keV로 이온주입 하였다 [그림 2(b)]. 필드 산화막을 성장한 후 펀치스루를 방지하기 위해 p-well에만 B₁₁₁⁺, 2.5E12cm⁻², 120KeV의 깊은 이온주입을 하였으며



(#: Mask step)

그림 1. 공정 흐름도

Fig.1. Process flow chart.

[그림 2(c)], 각 소자의 문턱전압을 $0.8 \pm 0.1(V)$ 로 조정하기 위해 B_{11}^+ , $1.3E12cm^{-2}$, 20KeV 의 얇은 채널 이온주입을 하였다. [그림 2(d)], 계속해서 200 Å의 게이트 산화막

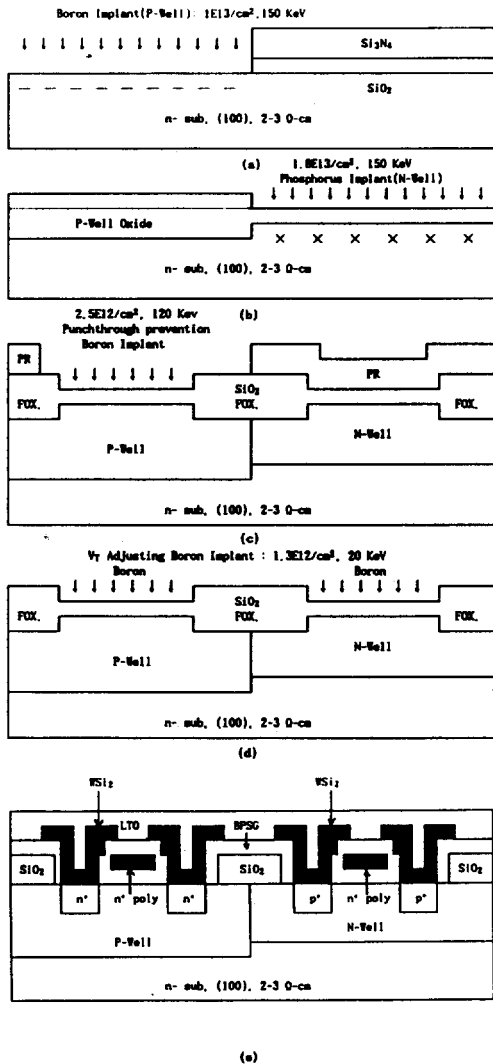


그림 2. 공정진행에 따른 소자의 단면
Fig. 2. Cross section of device during process sequence.

을 성장시킨 후, 1500 Å의 다결정 실리콘을 LPCVD로 도포하였고 $POCl_3$ 을 도핑하여 n⁺ 다결정 실리콘 게이트를 형성하였다. 폴리(poly) 마스크를 사용하여 게이트와 확산 영역의 오버랩(overlap)된 커패시턴스를 감

소시키고 소오스/드레인의 이온 주입 동안 얇은 게이트 산화막의 손상을 방지하기 위하여 n⁺ 다결정 실리콘을 산화막으로 보호하였다. n⁺, p⁺ 소오스/드레인은 As_{75} 와 BF_2^+ 를 각각 $6.0E15cm^{-2}$, 60KeV와 $3.0E15cm^{-2}$, 70 KeV로 이온주입한 후, 900°C에서 30분 어닐링하였고 LPCVD로 텅스텐 실리사이드를 형성하였다. 그리고 LTO를 도포한 후 전극을 형성하고 얼로이하였다(그림 2(e)). 그림 3은 제작된 twin-tub CMOS소자의 SEM 단면사진이고, 표 1은 대표적인 공정 파라미터를 나타낸 것이다.

III. 시뮬레이션에 의한 소자특성

MOSFET의 전기적 특성은 실리콘 표면의 불순물 분포에 의해 결정되므로 n채널과 p채널 영역에서의 불순물 프로파일을 SUPREM-II에



그림 3. 제작된 소자 단면의 SEM 사진
Fig. 3. SEM photograph of cross section of fabricated device.

표 1. 공정 파라미터

Table 1. Process parameter

Process parameter	Value
Field Oxide Thickness	5200 ± 260 Å
Gate Oxide Thickness	200 ± 10 Å
Poly Silicon Thickness	1500 Å
Substrate Concentration	2E15/cm ³
Well Concentration	~ 2E16/cm ³
Well Depth	2.0 - 4.0 μm
N ⁺ S/D Junction Depth	0.2 - 0.3 μm
P ⁺ S/D Junction Depth	0.4 - 0.6 μm
N ⁺ S/D Sheet Resistance	50 Ω/□
P ⁺ S/D Sheet Resistance	80 Ω/□
Well Sheet Resistance	3.5 KΩ/□

의해 구해 그림 4와 5에 나타내었다. 이들 시뮬레이션은 산화공정, 어닐링과 같은 연속적인 thermal cycle 동안의 불순물 재분포를 고려한 최종 도판트 프로파일이며 각각의 접합깊이와 면저항값을 그림에 나타내었다. n채널 영역의 표면근처에서 불순물 농도는 펀치쓰루 방지와 문턱전압 조절을 위한 보론 이온주입으로 인해 약간 증가하였고, p 채널 표면층은 보론 counter-doping의 결과 약 0.15 μm 까지 p형으로 전환되었다. well의 벌크(bulk) 농도는 10^{16}cm^{-3} 정도이었고 n⁺, p⁺ 소오스/드레인의 표면 농도는 10^{20}cm^{-3} 이상이었다. 또한 소오스/드레인의 접합깊이는

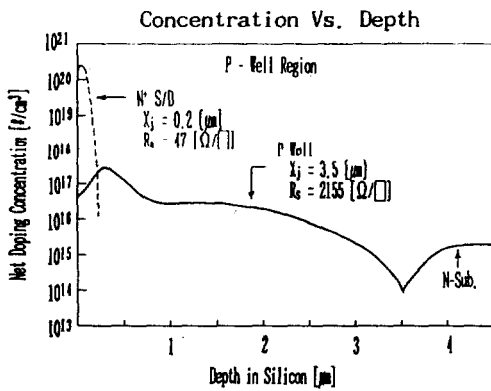


그림 4. n채널 영역의 시뮬레이션된 불순물 프로파일

Fig. 4. Simulated impurity profile of n-channel region.

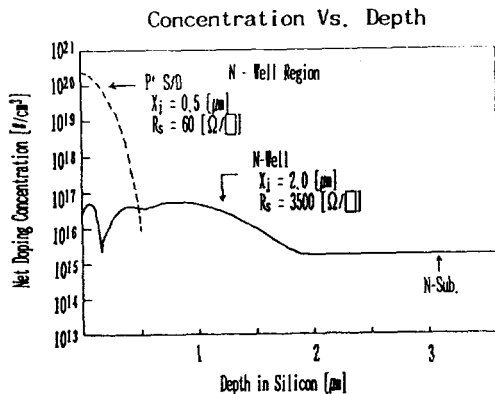


그림 5. p채널 영역의 시뮬레이션된 불순물 프로파일

Fig. 5. Simulated impurity profile of p-channel region.

nMOSFET는 0.2 μm , pMOSFET는 0.5 μm 이었는데 SUPREM-II 프로그램에는 $_{11}\text{B}^{2+}$ Source가 제공되지 않으므로 $_{11}\text{B}^{+}$ 이온에 대한 질량에 따른 equivalent kinetic energy만 고려하고 fluorine 이 주는 모든 영향은 무시하였다. 그림 6은 문턱전압 조절을 위한 보론 이온주입 조건에 따른 문턱전압 의존성을 보인 것으로 그림 4와 5에 보인 바와 같은 SUPREM-II의 결과를 소자 시뮬레이터인 MINIMOS 4.0에 적용하여 시뮬레이션한 것이다. nMOSFET와 pMOSFET의 대칭적인 문턱전압을 만족시킬 수 있는 보론 dose는 $1.3\text{E}12\text{cm}^{-2}$ 로서 공정조건과 잘 일치함을 볼 수 있다. 그림 7은 pMOSFET의 채널 이온주입량에 따른 채널이방향의 전위분포를 나타낸 것이다. $V_G=0(\text{V})$ 에서 최소전위는 표면에서 일어나지 않고 그림 5의 SUPREM-II 시뮬레이션 결과와 마찬가지로

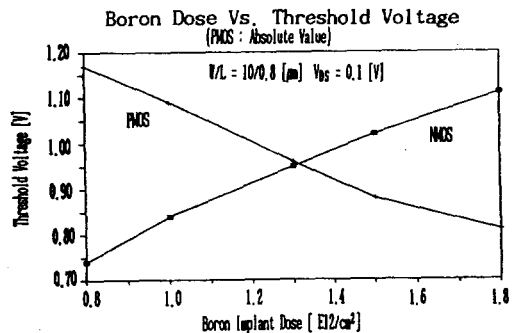


그림 6. 보론 이온주입량에 따른 문턱전압의 의존성

Fig. 6. Threshold voltage dependence as a function of counted-doped boron dose

가지로 대략 0.1 μm 에서 매물채널이 형성됨을 볼 수 있다. 또한 보론 주입량이 증가함에 따라 채널의 전위는 감소하였고, $V_G=-1(\text{V})$ 일 경우 전위분포는 주입량 증가에 따라 실리콘 표면으로 부터 벌크속으로 이동 하였다. 한편 nMOSFET의 채널 깊이방향의 전위분포를 그림 8에 나타내었는데 pMOSFET와는 달리 표면에서 채널이 형성됨을 볼 수 있다.

그림 9와 10은 pMOSFET와 nMOSFET의 채널 길이방향에 따른 전위분포를 나타낸 것이다. pMOSFET의 경우는 매물채널이기 때문에 게이

트 아래 표면에서의 불순물이 반대형으로 도핑된 관계로 채널양단의 전위 분포의 차이가 컸으나 pMOSFET는 균일한 전위분포를 나타내었다. 따라서 전위장벽의 높이를 최소전위

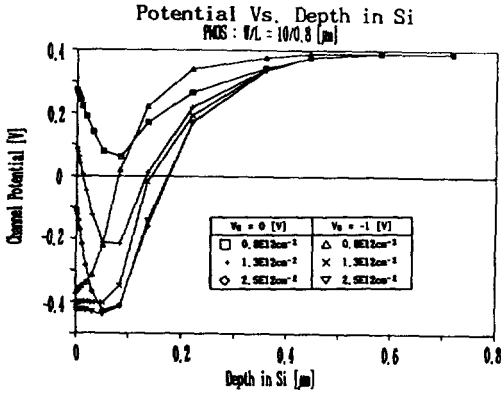


그림 7. Counted-doped boron dose에 따른 pMOSFET의 채널 깊이방향의 전위분포

Fig. 7. Potential distribution along the channel depth of pMOSFET for various counter-doped boron dose.

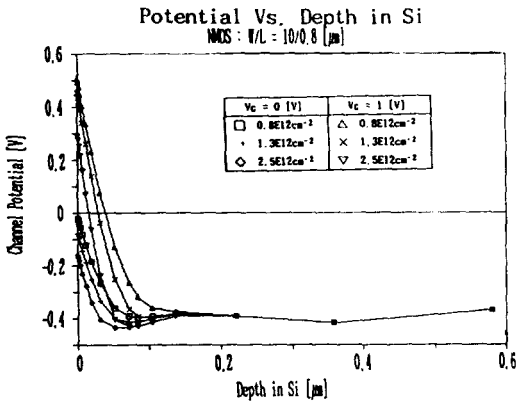


그림 8. nMOSFET의 채널깊이에 따른 전위분포

Fig. 8. Potential distribution along the channel depth of nMOSFET for various boron dose.

(pMOSFET는 최대전위)와 소오스쪽 전위와의 차이로 정의할 때 드레인 전압이 더 증가하더라도 pMOSFET보다는 nMOSFET가 DIBL(drain-induced barrier lowering)의 영향이 작을 것으로 예측할 수 있다. 또한 $V_g = \pm 1[V]$ 일

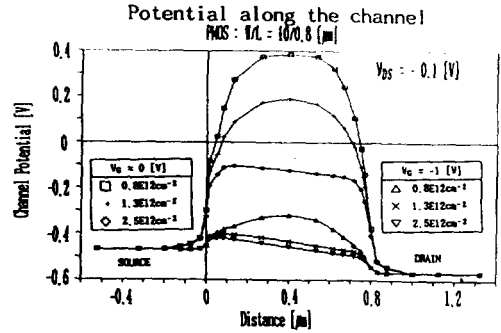


그림 9. Counter-doped boron dose에 따른 pMOSFET의 채널 길이방향의 전이분포

Fig. 9. Potential distribution along the channel length of pMOSFET for various counter-doped boron dose.

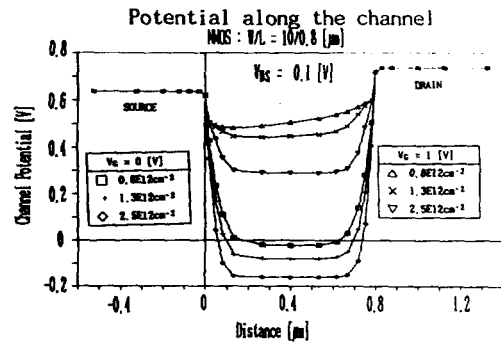


그림 10. nMOSFET의 채널 길이방향에 따른 전위분포

Fig. 10. Potential distribution along the channel length of nMOSFET for various boron dose.

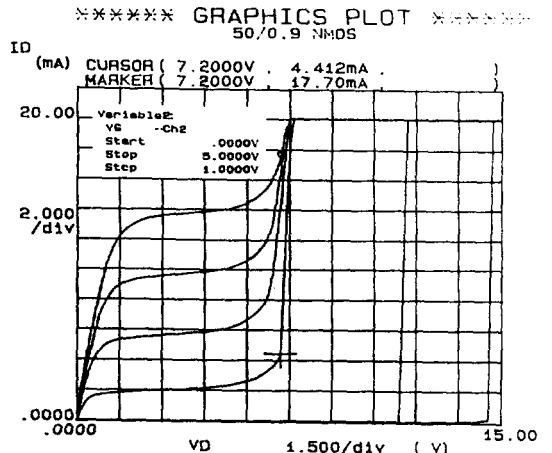


그림 11. nMOSFET의 전류-전압 특성

Fig. 11. I-V characteristics of nMOSFET, (W/L=50/0.9 μm)

Twin-tub CMOS 공정으로 제작된 서브마이크로미터 n채널 및 p채널 MOSFET 의 특성

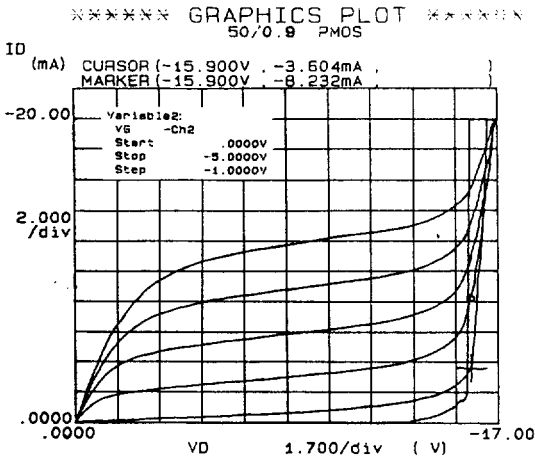


그림 12. pMOSFET의 전류-전압 특성
Fig. 12. I-V characteristics of pMOSFET.
(W/L=50/0.9 μm)

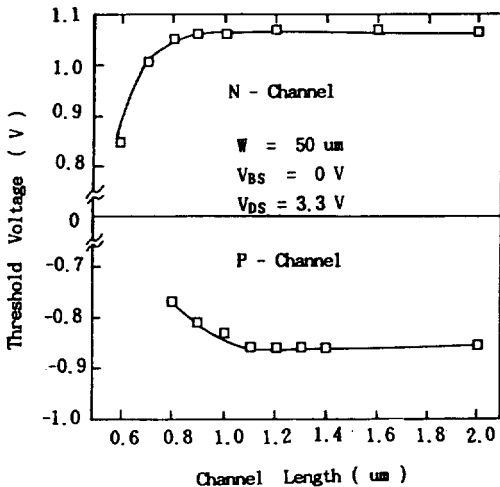


그림 13. 채널길이에 따른 문턱전압의 변화
Fig. 13. Threshold voltage variation as a function of channel length.

경우에도 그림 9에 보인 pMOSFET보다는 그림 10의 nMOSFET의 경우가 더 작은 전위장벽의 저하 및 균일한 전위분포를 나타내므로 nMOSFET가 게이트 전압에 의해 더 효율적으로 제어될 수 있음을 의미한다.

IV. 측정 결과 및 고찰

그림 11과 12는 표 1에 보인 바와 같은 공

정 파라미터로 제작된 필드 산화막이 5200 Å, 게이트 산화막이 200 Å 이고 채널폭과 길이가 50/0.9 μm인 nMOSFET와 pMOSFET의 드레인 전류-드레인 전압 특성을 나타낸 것이다. 그림 11의 nMOSFET의 경우 6(V) 이상의 드레인 전압에서 전자의 높은 충격 이온화율(impact ionization rate)에 기인하여 드레인 전류는 상당히 높았으나 3.3(V) 구동에서는 충분한 여유 (margin)를 가지고 있다고 볼 수 있다. 또한 게이트 전압이 증가함에 따라 브레이크다운 전압은 감소하였다. 그러나 그림 12와 같은 pMOSFET는 충격 이온화에 의한 영향은 나타나지 않았으나 드레인 전류가 포화되지 않고 증가를 보였다. 이는 매물채널 특성을 갖는 pMOSFET는 채널이 표면으로 부터 떨어져 있으므로 transversal electric field가 작아지게 되어 표면과의 산란이 적어지므로 정공의 이동도가 커져서 transconductance가 증가하기 때문으로 생각된다.

채널길이의 변화에 따른 문턱전압의 저하량을 비교하기 위해 드레인 전압이 ±3.3(V)일 때 linear extrapolation 방법으로 문턱전압을 측정하여 그림 13에 나타내었다. 채널길이가 긴 경우는 nMOSFET와 pMOSFET는 모두 문턱전압의 저하가 없었으나, 채널길이가 0.6 μm로 짧아질 경우 nMOSFET는 0.22(V), pMOSFET는 -0.15(V)의 작은 변화를 보여 짧은 채널 효과가 최소화 되었음을 알 수 있다. 또한 채널폭에 따른 문턱전압의 변화를 그림 14에 보였는데 W=0.8 μm 근처에서 문턱전압의 상당한 증가는 well의 측면확산으로 인한 소자영역의 감소에 기인한다고 생각된다.

그림 15는 채널길이에 따른 펀치스루 특성을 비교한 것이다. 브레이크다운 전압은 두 공핍층이 서로 만나 과도한 전류가 흐르는 펀치스루 현상과 드레인에 걸리는 역방향 전압이 증가함에 따라 드레인 영역의 전계가 증가하여 채널의 전자가 실리콘 격자와 충돌하여 전자와 정공을 발생시키는 현상(avalanche breakdown)에 의해 제한된다. 따라서 채널 길이가 0.8 μm 이상일 때는 드레인 접합의 에 발란치 브레이크다운에 의해 결정되고 0.8 μm 보다 짧아질 때는 펀치스루에 의해 전압이 급격히 감소함을 알 수 있다. 표 2는 대표적인 소자 측정 결과를 나타낸 것이다.

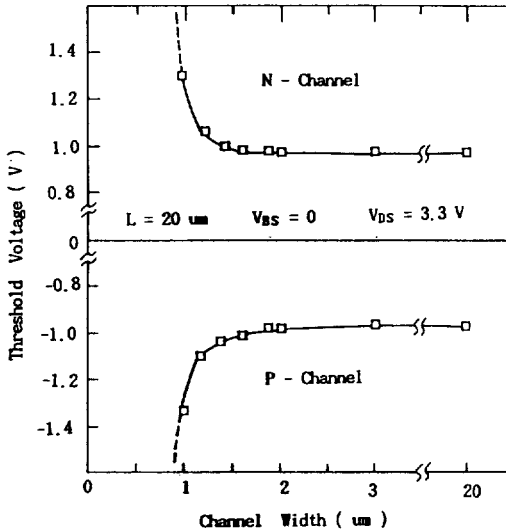


그림 14. 채널폭에 따른 문턱전압의 변화
Fig. 14. Threshold voltage variation as a function of channel width.

subthreshold 값은 nMOSFET가 pMOSFET보다 컸는데 이는 nMOSFET의 표면채널에서 펀치쓰루가 일어나 누설전류가 증가하였기 때문이며, body factor도 nMOSFET의 높은 채널농도에 기인하여 pMOSFET보다 더 높았다. 또한 10(V) 이상의 높은 펀치쓰루 전압과 브레이크다운 전압, 105mV/dec. 이하의 낮은 subthreshold 값을 얻었다.

v. 결론

본 연구에서 twin-tub CMOS 공정에 의해 제작된 서브마이크로미터 채널길이를 갖는 nMOSFET와 pMOSFET의 시뮬레이션 및 측정 결과는 다음과 같다.

1. SUPREM-II 시뮬레이션에 의해 구한 연속적인 thermal cycle 동안의 불순물 재분포를 고려한 불순물 프로파일은 제시된 공정 파라미터를 거의 만족하였다.
2. $0.8 \pm 0.1(V)$ 의 대칭적인 문턱 전압을 위한 counter-doping dose는 약 $1.3E12cm^{-2}$ 로 시뮬레이션 되었으며 이는 공정조건과 잘 일치하였다.
3. counter-doped 보론 이온주입에 의해 pMOSFET는 표면에서 대략 0.15um의 깊이에서

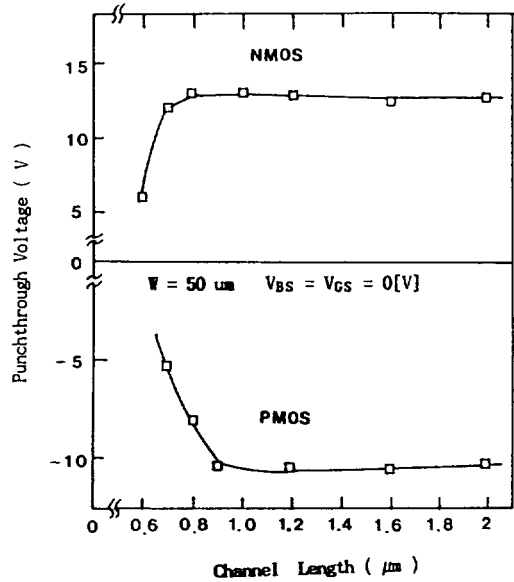


그림 15. 채널길이에 따른 펀치쓰루 전압
Fig. 15. Punchthrough voltage as a function of channel length.

표 2. 대표적인 소자 특성

Table 2. Typical device characteristics.

parameter	Value	
	NMOS(W/L=50/0.9)	PMOS(W/L=50/1.2)
Threshold [V]	0.9-1.0	-0.75 ~ -0.85
Field Threshold [V]	16	-14
Breakdown Voltage [V]	13	-12
Punchthrough Voltage[V]	13	-12
Subthreshold Slope [mV/decade]	105	80
Body Factor [V ^{1/2}]	0.85	0.43
Mobility [cm ² /v·sec]	360	140

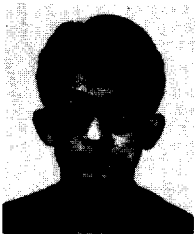
매물채널이 형성되었고, nMOSFET가 더 균일한 채널양단의 전위분포를 나타내었다.

4. 두 소자의 측정 결과, 3.3(V) 구동을 위한 충분한 여유를 갖는 양호한 드레인 특성과 0.2(V)이하의 문턱전압 shift를 갖는 최소화된 짧은 채널 효과, 10(V)이상의 높은 펀치쓰루 전압과 브레이크다운 전압, 낮은 subthreshold 값을 얻었다.

참고문헌

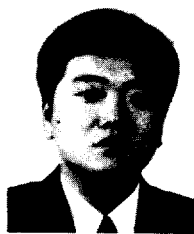
Twin-tub CMOS 공정으로 제작된 서브마이크로미터 n채널 및 p채널 MOSFET 의 특성

1. J. R. Brews, et al., "Generalized Guide for MOSFET Miniaturization", IEEE Trans. Electron Dev. Lett., Vol. EDL-1, pp. 2-4, 1980.
 2. Kit M. Cham and Shang-Yi Chiang, "Device Design for the Submicrometer p-Channel FET with n⁺ Polysilicon Gate", IEEE Trans. Electron Dev., Vol. ED-31, No. 7, PP. 964-968, 1984.
 3. Ulrich Schwabe, et al., "N-and P- Well Optimization for High-Speed N-Epitaxy CMOS Circuits", IEEE Trans. Electron Dev., Vol. ED-30, No. 10, pp. 1339-1344, 1983.
 4. Jun Zhu, et al., "Punchthrough Current for Submicrometer MOSFET's in CMOS VLSI", IEEE Trans. Electron Dev., Vol. ED-35, No. 2, pp. 145-151, 1988.
 5. I. W. Wu, "Formation and Optimization of Shallow Junctions by Ion Implantation and Rapid Thermal Annealing for CMOS Application", Solid State Phenomena Vol. 1 & 2, pp. 159-168, 1988.
 6. S. Wolf, "Silicon Processing for the VLSI Era", Vol. 2, Chap. 6, Lattice Press, 1990.
 7. D. A. Antoniadis and R. W. Duttons, "Models for Computer Simulation of Complete Fabrication Process", IEEE Trans. Electron Dev., Vol. ED-26, No. 4, pp. 490-500, 1979.
 8. Siegfried Selberherr, et al., "MINIMOS-A Two-Dimensional MOS Transistor Analyzer", IEEE Trans. Electron Dev., Vol. ED-27, No. 8, pp. 1540-1550, 1980.
- (1992년 5월 18일 접수)



서용진

1964년 3월13일생. 1987년 중앙대 공대 전기공학과 졸업. 1989년 중앙대 대학원 전기공학과 졸업(석사). 현재 중앙대 대학원 전기공학과 박사과정.



최현식

1964년 3월24일생. 1987년 중앙대 공대 전기공학과 졸업. 1989년 중앙대 대학원 전기공학과 졸업(석사). 현재 중앙대 대학원 전기공학과 박사과정.

김상용

1961년 3월10일생. 1987년 조선대학교 전기공학과 졸업. 1990년 중앙대 대학원 전기공학과 졸업(석사). 1992년 현재 중앙대 대학원 전기공학과 박사과정.



김태형

1963년 2월25일생. 1985년 중앙대 공대 전기공학과 졸업. 1987년 중앙대 대학원 전기공학과 졸업(석사). 현재 중앙대 대학원 전기공학과 박사과정.