

# Short Channel 비휘발성 SNOSFET 기억소자의 제작과 특성

## Fabrication and Characteristics of Short Channel Nonvolatile SNOSFET Memory Devices

강 창 수\*

Chang-Soo Kang

### 요 약

1.5 $\mu\text{m}$ 의 채널길이를 갖는 short channel 비휘발성 SNOSFET 기억소자를 기존의 CMOS 1 Mbit 공정기술을 이용하여 제작하고,  $I_d-V_d$  및  $I_d-V_g$  특성과 스위칭 및 기억유지특성을 조사하였다. 그 결과 제작한 소자는 논리회로 설계에 적절한 전도특성을 가졌으며, 스위칭시간은 인가전압의 크기에 의존함을 보였다. 그리고 3V의 memory window 크기를 얻기 위해서  $V_w = +34\text{V}$ ,  $t_w = 50\mu\text{sec}$  및  $V_e = -34\text{V}$ ,  $t_e = 500\mu\text{sec}$ 의 펄스전압으로 각각 write-in과 erase할 수 있었다. 또한, 기억상태는 10년이상 유지할 수 있음을 알 수 있었다.

### ABSTRACT

The short channel nonvolatile SNOSFET memory devices with a channel length of 1.5 $\mu\text{m}$  were fabricated by using the actual CMOS 1 Mbit process technology. This device characteristics such as the transfer, switching and retention were investigated, based on the measured  $I_d-V_d$  and  $I_d-V_g$  characteristic curves.

As a result, the SNOSFET memory devices obtained were programmed by  $\pm 34\text{V}$  pulses with a write-in time of  $t_w = 50\mu\text{sec}$  and an erase time of  $t_e = 500\mu\text{sec}$  for the memory window size  $\Delta V_{\text{Th}} = 3\text{V}$ . The transfer characteristics were favourable for the design of the logic circuits and the switching time depends on the magnitude of applied voltage. Also, the retention characteristics were estimated that the programmed memory state could be held more than ten years.

---

\* 광운대학교 전자재료공학과

1. 서 론

최근, 반도체 공정기술의 급속한 발전에 따라 반도체 기억소자는 소형화, 저전압화, 저소비전력등 scaling-down 측면에서 상당한 진전을 보이고 있다.<sup>1,2)</sup> 이러한 추세에 따라 비휘발성 EEPROM 역시 이를 위한 최적의 회로 설계와 공정방법의 개선 및 개발등의 응용측면에서 뿐만 아니라,<sup>3,5)</sup> 단일 소자로써의 제반특성등 물성 측면에서도 다양한 연구가 진행되고 있다.<sup>1,2)</sup> 이중, 특히 비휘발성 MNOS (Metal-Nitride-Oxide-Semiconductor) 기억소자는 고집적회로를 위한 시스템 array에 관한 연구를 비롯하여<sup>5)</sup> cell 크기의 소형화에 따른 소자특성 변화에 관해서도 많은 연구가 진행되고 있다.<sup>7,8)</sup>

본 연구는 채널길이(channel length)가 1.5 $\mu$ m인 short channel이며, 게이트전극으로 폴리실리콘을 사용한 SNOSFET(poly-Silicon - Nitride - Oxide - Semiconductor Field-Effect-Transistor) 기억소자를 CMOS 1 Mbit 공정(1.2 $\mu$ m design rule)에 따라서 제작하고, 그 동작특성을 조사하므로써 기존 공정기술의 이용 가능성 및 실제 회로설계시 필요한 제반 특성에 관한 정보를 얻는데 목적을 두고 있다.  $I_D-V_D$  특성곡선 및  $I_D-V_g$  특성곡선을 측정하여 비휘발성 MIS형 FET 기억소자로써의 동작특성과 스위칭 특성 및 기억유지특성을 조사하였다. 그 결과 최적의 스위칭 동작조건과 회로설계에 필요한 제 특성상수를 얻었다. 또한 비휘발성 기억소자로써 사용할 때의 기억유지 능력도 예측, 평가 하였다.

2. 실 험

2-1. SNOSFET 기억소자의 제작

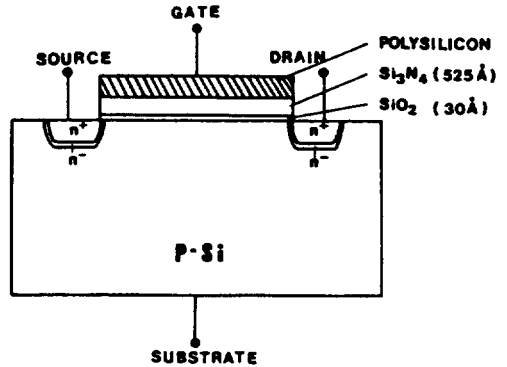


그림 1. SNOSFET의 단면도.

Fig. 1. Cross-section of the SNOSFET.

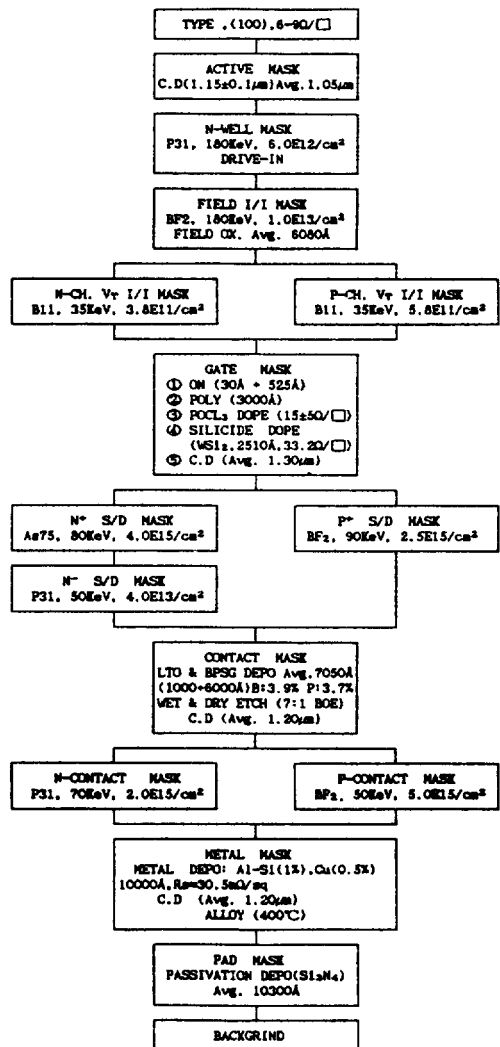


그림 2. SNOSFET 제작공정 흐름도.

Fig. 2. SNOSFET process flowchart.

사용한 기판은 비저항이  $6\sim 9\Omega\text{-cm}$ 인 P형 실리콘 (100)웨이퍼이다. 제작공정은 실리콘 게이트 CMOS 1M 공정( $1.2\mu\text{m}$  design rule)을 따랐으며 다만 기억동작을 위해서 필요한  $\text{Si}_3\text{N}_4$ 막의 증착공정을 추가하였다. 그림1은 소자의 단면도이며, 공정방법 및 순서는 그림2와 같다.

터널링 산화막은 건식산화법으로  $775^\circ\text{C}$ 의 확산로에서 16분간 열적으로 성장시켰으며 두께는  $30\text{\AA}$ 이다. 산화막 위에 기억전하 축적을 위한 질화막을 저압화학증착로에서 10:1의  $\text{NH}_3:\text{SiH}_2\text{Cl}_2$  혼합 기체를 반응시켜 산화막 위에 증착했으며, 두께는  $525\text{\AA}$ 이다. 소스와 드레인은 hot carrier 문제를 해결하기 위해 DDD(Double-doped drain) 구조로 형성하였다. 즉, As를  $80\text{KeV}$ ,  $4\times 10^{15}/\text{cm}^2$ 로 이온주입하여  $n^+$ 영역을 형성하고, 다시 같은 영역에 P를  $50\text{KeV}$ ,  $4\times 10^{13}/\text{cm}^2$ 로 이온주입하여  $n^-$ 영역을 형성한 다음  $950^\circ\text{C}$ 에서 30분 동안 drive-in하였다. 이렇게 하여, 접합깊이가  $0.25\mu\text{m}$ 인  $n^+$ 영역과 이 영역 주위를  $0.1\sim 0.15\mu\text{m}$  두께로 둘러싸고 있는  $n^-$ 영역으로 이루어진 소스와 드레인을 얻었다. 채널의 길이 및 폭은 pattern상으로 각각  $1.5\mu\text{m}$ ,  $15\mu\text{m}$ 였으며, 이에 대한 SNOSFET의 layout은 그림 3과 같다.

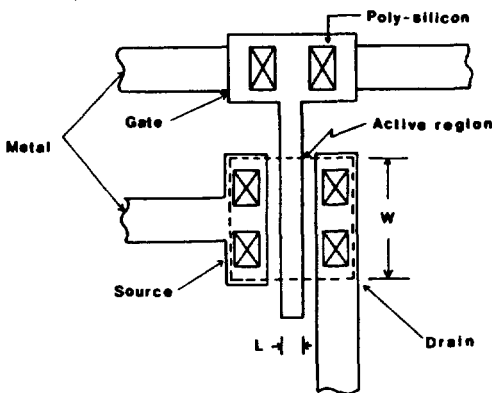


그림 3. SNOSFET의 배선도.  
Fig. 3. Layout of the SNOSFET.

## 2.2. 측 정

SNOSFET 기억소자의 동작특성은  $I_d-V_d$  및  $I_d-V_g$  특성곡선을 측정하여 조사하였다.  $I_d-V_d$  특성곡선은 게이트전압을 일정하게 하고, 직접 제작한 선형램프전압 발생기의 출력을 드레인단자에 연결하여 드레인전압을 일정한 비율( $50\text{mV}/\text{sec}$ )로 변화시키면서, 이때 흐르는 드레인전류를 일렉트로미터(Keithley 616 digital electrometer)로 측정하여 얻는다. 또한  $I_d-V_g$  특성 곡선은 드레인전압을 일정하게 하고 게이트전압을 변화시키면서 드레인전류를 측정하여 얻으며, 이와 같은  $I_d-V_g$  특성곡선으로 부터 문턱전압을 결정한다. 스윕칭특성은 펄스전압 발생기(Kikusui, model 458A)로 부터 발생하는 펄스전압의 크기 및 폭을 달리하면서 각 펄스전압을 게이트에 인가한 후 40초가 경과한 다음 문턱전압의 이동량을 측정하여 조사한다. 전압 인가시 소스, 드레인, 그리고 기판은 공통접지로 한다. 기억유지특성도 이와같은 방법으로 전압을 인가한 후 경과시간에 따른 문턱전압의 변화를 측정하므로써 조사한다. 모든 측정은 상온에서 수행한다.

## 3. 결과 및 고찰

### 3-1. $I_d-V_d$ 및 $I_d-V_g$ 특성

비휘발성 SNOSFET 기억소자의 드레인 전압  $V_d$ 를  $5\text{V}$ 로 고정하고, 게이트전압  $V_g$ 에 따른 드레인전류  $I_d$ 를 측정하여 얻은  $I_d-V_g$  특성 곡선은 그림4와 같다. 그림4의 곡선(a)는 write-in 전압  $V_e=34\text{V}$ 의 전압을 50초간 게이트에 인가한 후 측정된  $I_d-V_g$  특성곡선이고, 곡선(b)는 곡선(a)를 측정 후 즉시 erase 전압  $V_e=-34\text{V}$ 의 전압을 50초간 게이트에 인가한 다음 측정된

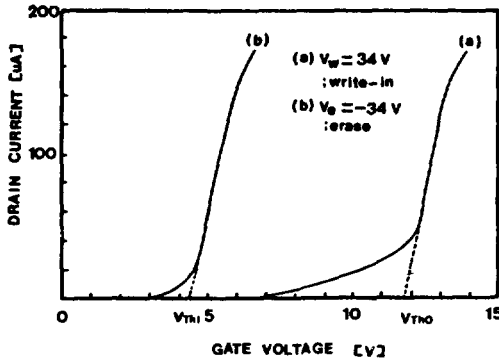


그림 4.  $I_d-V_g$  특성곡선.

- (a) Low conductance 상태.
- (b) High conductance 상태

Fig. 4.  $I_d-V_g$  characteristic curves.

- (a) Low conductance state.
- (b) High conductance state.

$I_d-V_g$  특성곡선이다. 그림에서  $V_{Th0}$ 은 low conductance 상태에서의 문턱전압(threshold voltage)이며,  $V_{Th1}$ 은 high conductance 상태에서의 문턱전압을 나타낸다. 다시 곡선(b)상태에서 곡선(a)의 경우와 동일한 조건으로 전압을 인가한 후  $I_d-V_g$  특성곡선을 측정하면 곡선(a)와 일치한다. 이로부터 SNOSFET 기억소자는 게이트 인가 전압의 극성, 크기, 그리고 시간에 따라 그 전도특성(transfer characteristics)을 변화시킬 수 있음을 알 수 있으며, 이는 디지털 논리회로에 있어서 중요한 두개의 논리레벨 "1"(high conductance state)과 "0"(low conductance state)에 상응한다. 본 논문에서는 SNOSFET 기억소자의 전도특성을 low conductance 상태로 만들기 위해 게이트에 전압을 인가하는 과정을 write-in이라고 하고, 반대로 high conductance 상태로 만드는 것은 erase로 정의한다. 그림에서 알 수 있는 바와 같이 이들 두개의 논리레벨에 상응하는  $I_d-V_g$  특성곡선들은 모두 양(+)의 게이트전압에 위치하는데, 이는 논리회

로 설계를 위해서 더욱 적절한 특성이다. Low conductance 상태인 그림 4의 곡선 (a)는 기울기가 다른 두 부분으로 구분되는데 하단부의 기울기가 완만한 부분은 side-walk effect로 인한 기생누설(parasitic leakage)전류로 인한 것이며,<sup>4)</sup> 이 문제는 최적의 회로설계를 위해서 반드시 고려되어야만 한다.

그림 4의 곡선(a) 및 (b)와 같은 기억상태에서, 게이트전압을 고정하고 드레인전압

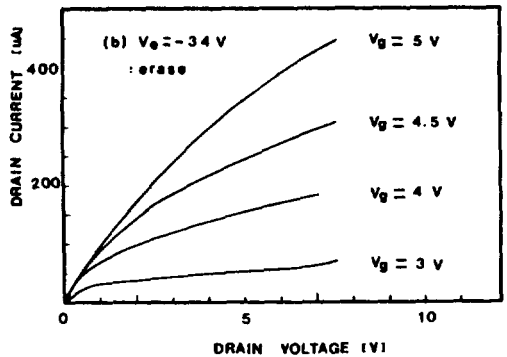
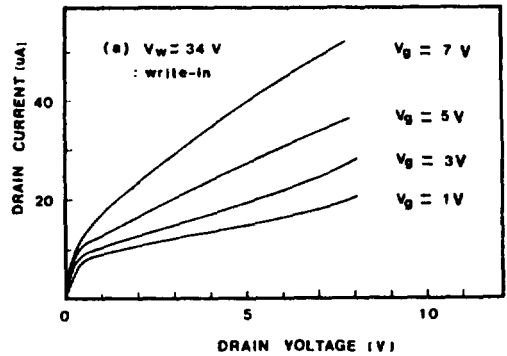


그림 5.  $I_d-V_d$  특성곡선.

- (a) Low conductance 상태
- (b) High conductance 상태

Fig. 5.  $I_d-V_d$  characteristic curves.

- (a) Low conductance state.
- (b) High conductance state.

에 따른 드레인전류를 측정하면 그림5와 같은  $I_d-V_d$  특성곡선들을 얻을 수 있다. 그림4의 곡선(a)와 같은 기억상태에서 기관에 1volt의 전압을 인가하고 측정한  $I_d-V_d$  특성은 그림5(a)과 같으며, 그림4의 곡선(b)와 같은 기억상태에서 얻은  $I_d-V_d$  특성곡선은 그림5(b)와 같다. 그림으로부터 알 수 있는 바와 같이 게이트전압이 같은 경우 write-in 상태와 erase 상태에서의 드레인전류값은 거의 10배 이상 차이가 났으며, 이는 기억상태에 따라서 SNOSFET 기억소자의 전도특성이 급격히 변화했기 때문이다. 이러한 특성은 write-in 및 erase를 위한 인가펄스 전압의 조건을 달리함에 따라 조절이 가능하므로 회로설계시 필요한 전류값을 임의로 선택할 수 있다. 또한 이러한 특성의 조절이나 재현성은 상당히 양호하였다.

그림5의(a)에 나타난 바와 같이, low conductance 상태에서는 게이트전압이 문턱전압보다 작음에도 불구하고 드레인전류가 흐르는데, 이것은 앞에서 설명한 side-walk effect때문인 것으로 생각된다. 또한 드레인전류가 short channel MOSFET에서 볼 수 있듯이 포화하지 않고 계속 증가함을 알 수 있다.

### 3-2. 드레인 전압과 게이트 전압의 관계

SNOSFET 기억소자의 소스, 드레인 및 기관은 공통접지로하고  $V_w = 34V$ 의 펄스전압을 50초간 게이트에 인가하여 소자를 write-in 시켜서 low conductance 상태로 만든 다음, 드레인전압을 달리하면서 각각  $I_d-V_g$  특성곡선을 측정한다. 측정한  $I_d-V_g$  특성곡선들로부터 드레인전류가  $I_d = 100\mu A$  일 때의 게이트전압을 읽어서 드레인전압과 게이트전압의 관계를 구한 결과는 그

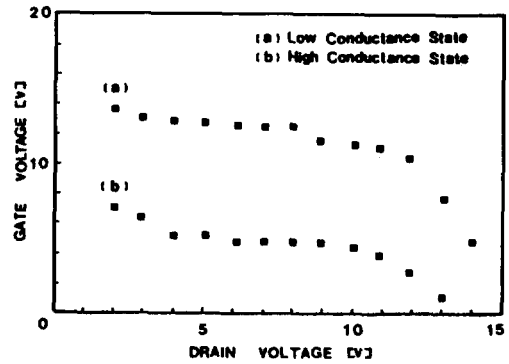


그림 6. 드레인전압  $V_d$  대  $I_d = 100\mu A$  일 때 게이트전압  $V_g$  곡선.

(a) Low conductance 상태.

(b) High conductance 상태.

Fig. 6. Gate voltage as a function of drain voltage at a drain current of  $100\mu A$ .

(a) Low conductance state.

(b) High conductance state.

림6의 (a)와 같다. 여기서 드레인전류의 값은 두 기억상태에서 문턱전압의 이동량과 memory window의 크기를 일치시키기 위해  $I_d = 100\mu A$ 로 취하였다. 이번에는  $V_g = -34V$ 의 펄스전압을 인가하여 SNOSFET 기억소자를 erase시켜서 high conductance 상태로 만든 후, 위와 같은 방법으로 드레인전압에 따른 게이트전압의 관계를 구한 결과는 그림6의 (b)와 같다.

그림6에서 볼 수 있는 바와 같이 드레인전압이  $V_d = 12V$  이상일 때에는 두 기억상태 모두 드레인전압이 증가함에 따라 게이트전압이 감소함을 알 수 있다. 특히, high conductance 상태에서 게이트전압이 감소하는 것은 드레인전압의 증가로 인해서 게이트전압  $V_g = 0V$ 에서도 드레인전류가 흘러서  $I_d-V_g$  특성곡선이 음의 전압쪽으로 이동하기 때문이다. 반면에 low conductance

상태에서 게이트전압이 감소하는 것은 side-walk effect로 인한 기생누설전류가  $160\mu A$  이상이 되므로  $I_d=100\mu A$ 가 되는 게이트 전압값은 감소하게 된다.

같은 값의 드레인전압에서 low conductance 상태의 게이트 전압값과 high conductance 상태에서의 게이트 전압값의 차이로써 정의되는 memory window의 크기는  $V_d=4V$ 에서  $7.55V$ 로 가장 크고,  $V_d=5V$ 에서 부터는  $7.4V$ 로써 거의 일정하다가  $V_d=12V$ 부터 감소함을 알 수 있다. 이것은 high conductance 상태에서의 subthreshold 전류로 인한 효과보다는 low conductance 상태에서의 기생누설전류로 인한 효과가 더 크기 때문이다. 즉, high conductance 상태 일때 보다는 low conductance 상태일때 드레인전압의 증가에 따른 게이트전압의 감소가 더 크기 때문이다.

그림 4, 5 및 6의 결과로부터,  $I_d-V_d$  특성 곡선이 포화되고, 기생누설전류를 무시할 수 있고, memory window의 크기가 크게 되는, 드레인전압과 드레인전류로는 각각  $V_d=5V$ ,  $I_d=100\mu A$ 가 적당함을 알 수 있다. 여기에 해당하는 게이트전압은 각각  $12.8V$ ,  $5.4V$ 이며 memory window의 크기는  $7.4V$ 이다.

### 3.3. 스위칭 특성

$I_d=100\mu A$ 일때 게이트전압이  $V_g=5.4V$ 인 high conductance 상태가 되도록 초기조건을 맞춘다. 그런다음, 소스, 드레인 및 기판을 공통접지로하고 크기 (pulse height)는 같으나 폭 (pulse width)이 다른 양 (+)의 펄스전압을 게이트에 인가하여 소자를 write-in 시킨 후 각각에 대한  $I_d-V_g$  특성 곡선으로 부터 문턱전압의 이동량을 구한다. 이와같이 펄스폭에 따른 문턱전압의 이

동량을 구하여 write-in의 스위칭특성을 조사한 결과는 그림 7과 같다. 그림에서 펄스 전압이  $V_w=34V$ ,  $30V$ 인 경우에 각각 얻은 write-in의 스위칭 특성은 ●, ▲로 표시하였다. 이번에는 SNOSFET 기억소자의 초기조건을 문턱전압  $V_r=12.8V$ 인 low conductance 상태로 한 다음, 크기가  $V_e=-34V$ ,  $-30V$ 인 음의 펄스전압에 대해 위와 같은 방법으로 얻은 erase의 스위칭특성

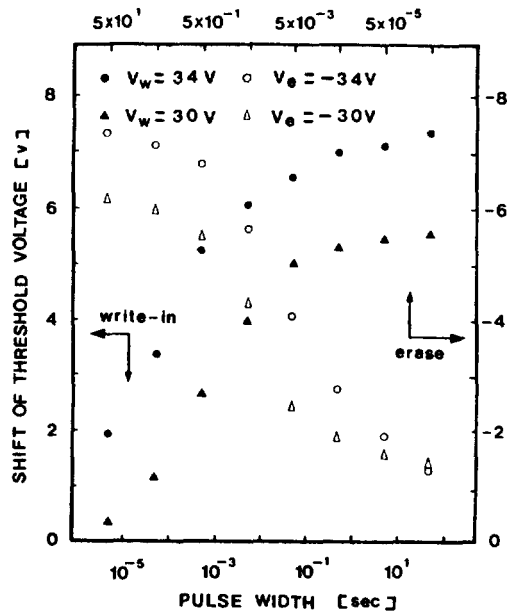


그림 7. 스위칭 특성.

Fig. 7. Switching characteristics.

은 그림에서 ○, △로 표시하였다.

그림으로부터 문턱전압의 이동량은 펄스 폭이 증가함에 따라 대수함수적으로 증가하다가 포화되며, 또한 어떤 크기의 memory window를 얻고자 할때 펄스의 크기를 크게 하면 작은 펄스폭으로도 스위칭이 가능함을 알 수 있다. SNOSFET 기억소자의 기억상태를 high conductance 상태에서 low conductance 상태로 스위칭하기 위하여  $V_w=34V$ ,  $t_w=50sec$ 의 펄스를 인가하여 write-

in시켰을때 memory window의 크기는  $\Delta V_{Th}=7.4V$ 로써 최대가 되었다. 또한, low conductance 상태를 high conductance 상태로 스위칭하기 위하여  $V_e=-34V$ ,  $t_e=50\text{sec}$ 의 펄스를 인가하여 erase 시킬 때 memory window의 크기는  $\Delta V_{Th}=7.4V$ 가 되었다. 디지털 회로에 있어서 최소로 요구되는 논리 허용레벨인 3V의 memory window를 얻기 위해서  $V_w=34V$ ,  $t_w=50\mu\text{sec}$ 의 펄스전압으로 write-in 시켰다가 다시 write-in전의 원래 기억상태로 스위칭하기 위해서  $V_e=-34V$ ,  $t_e=500\mu\text{sec}$ 의 펄스전압으로 erase하여야만 한다. 또한  $V_w=30V$ ,  $t_w=5\text{ms}$ 로 write-in된 경우 이를 다시 erase하기 위해서는  $V_e=-30V$ ,  $t_e=50\text{ms}$ 의 펄스가 요구된다.

### 3-4. 기억유지특성

상온에서 SNOSFET 기억소자를 문턱전압이  $V_{Th1} = 4.4V$ 가 되도록 측정 초기상태를 조정한다. 이 상태에서 소자에  $V_w = 34V$ ,  $t_w = 50\text{sec}$ 인 펄스를 게이트에 인가하여 write-in시킨 다음, 경과 시간에 따른

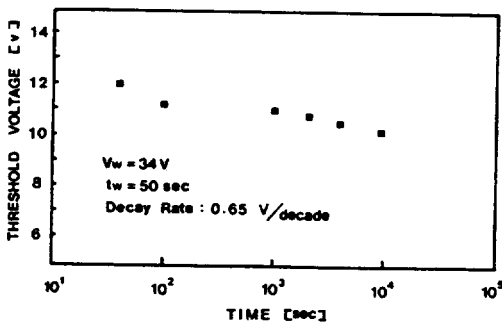


그림 8. 기억유지특성.

Fig. 8. Retention characteristics.

문턱전압을 측정하므로써 기억유지특성을 조사하였으며, 그 결과는 그림 8과 같다. 이때, 초기 문턱전압값(그림의 첫번째 점)은

write-in시킨 후 40초 경과후측정한 값으로  $V_{Th}=11.8V$ 이었다. 기억유지특성을 조사하는 동안  $I_d-V_g$  특성곡선을 측정할 때 이외에는 SNOSFET 기억소자의 게이트와 기판을 단락시키고, 드레인과 소스는 floating시켰다.

그림으로부터 알 수 있는 바와 같이 문턱전압은 경과시간에 따라서 대수함수적으로 감소하였으며, 이때의 감소율(decay rate, V/decade)은 0.65V/decade이었다. 측정 초기조건 ( $V_{Th1} = 4.4V$ )를 논리레벨 "1"상태(high conductance state)로 하고, write-in 시켰을 때를 논리레벨 "0" 상태(low conductance state)로 하면, 논리 허용레벨은 3V이므로 "0"상태에 대한 문턱전압은 적어도  $V_{Th0}=7.4V$  이상이어야만 한다. 따라서, 그림으로부터 알 수 있듯이 감소율이 0.65V/decade라면 본 연구를 위해서 제작된 비휘발성 SNOSFET 기억소자는 외부로부터 공급전원이 없어도 10년(약  $2 \times 10^8$  sec) 이상 그 기억상태를 유지할 수 있음을 추정할 수 있다.

### 4. 결 론

Channel 길이가  $1.5\mu\text{m}$ 인 short channel 비휘발성 SNOSFET 기억소자를 기존의 CMOS 1 Mbit 공정기술로 제작하여 특성을 조사한 결과 다음과 같은 결론을 얻었다.

- 1) 전도특성은 게이트 인가전압의 극성, 크기, 그리고 시간에 따라 변화시킬 수 있으며 논리회로에서 두개의 논리레벨 1과 0에 해당하고  $I_d-V_g$  특성곡선은 모두 양(+)의 게이트전압에 위치하여 논리회로 설계에 적절하다.
- 2) 드레인전압과 드레인전류를  $V_d=5V$ ,  $I_d=100\mu\text{A}$ 로 취하면  $I_d-V_d$  특성 곡선이 포화하고 기생누설전류를 무시할 수 있

으며 memory window의 크기를 7.4V  
까지로 크게할 수 있다.

- 3) Write-in/Erase 스위칭특성은 모두 인가시간에 따라 대수함수적으로 증가하다 포화되며 인가전압을 크게 하면 스위칭 시간은 짧아진다. 또한, 3V의 memory window 크기를 얻기 위해서  $V_w = +34V$ ,  $t_w = 50 \mu sec$  및  $V_e = -34V$ ,  $t_e = 50 \mu sec$ 의 펄스전압으로 write-in과 erase를 할 수 있었다.
- 4) 초기 문턱전압을  $V_{th} = 4.4 V$ 로 하여 Write-in 시킬 경우 문턱전압의 이동량은 시간에 따라 대수함수적으로 0.65V/decade의 감소율로 감소하였다. 따라서, 외부전원이 공급되지 않아도 10년 이상 기억상태를 유지할 수 있다.

## 참 고 문 헌

- 1) K.Yoshikawa, et al. ; ESSDERC90, Sept, 169~172(1990)
- 2) N.Ajika, et al. ; IEDM, 115~110(1990)
- 3) S.Minami, et al. ; *Jap.J.Appl.Phy.* **27**(11), L2168,(1988)
- 4) P.J.Krick. ; *IEEE Trans. Electron Dev*, **ED-22**(2), 62~63(1975)
- 5) Y.Ohshima, et al. ; *IEEE Trans.Electron Dev*, **37**(4), 999~1006(1990)
- 6) H.A.Richard Wegener. ; *IEEE Trans. Electron Dev*, **ED-27**(1), 266~276(1980)
- 7) S.Aritome, et al. ; IEDM, 111~114 (1990)
- 8) Y.Yatsuda, et al. ; *IEEE Trans. Electron Dev*, **ED-32**(2) 244~231(1985)  
(1991년 8월 13일 접수)