

# 超 薄膜 誘電體/실리콘 界面에서의 電子波 干涉 効果

## —The Interference Effect of Electronic Waves(EWIE) in the Ultra Thin Dielectric/Silicon Interface—

강정진\* · 김계국\*\* · 이종악\*\*

(Jeong-Jin Kahng · Kyue-Kuk Kim · Jong-Arc Lee)

### 요 약

本 研究는 電氣爐에 의한 熱 酸化法에 의해  $\text{SiO}_2(88[\text{Å}])$ 와  $\text{ONO}(89[\text{Å}])$ 를 성장시켜 MIS capacitor를 제작한 후, 超 薄膜 誘電體/실리콘 界面에서 電子波 干涉 效果를 實驗的으로 比較 · 檢證한 것이다. EWIE現象의 結果로서, 첫째. 低 電界領域에 비해 高 電界領域에서 優勢하며, 둘째.  $\text{SiO}_2$ 에 비해  $\text{ONO}$ 가 약하게 나타난다. 그러므로,  $\text{ONO}$ 가  $\text{SiO}_2$ 보다 熱 傳送子 效果에 대한 低抗性이 優秀함을 알 수 있고, ULSI級의 게이트 絶緣膜으로서의 實用可能性을 確認하였다.

### ABSTRACT

This study concerned, after the oxide films( $88[\text{Å}]$ ) and reoxidized nitride oxide( $89[\text{Å}]$ ) were grown in a furnace and the MIS capacitor fabricated, with experimental comparison and verification about the Interference Effect of Electronic Waves(EWIE) in the ultra thin dielectric /silicon interface.

As the result of EWIE phenomena

1. It is dominant in the high electric field, compared with that of the low electric field.
2. It shows weakly in the ONO, compared with that of  $\text{SiO}_2$ .

Therefore, we predicted that the ONO had more strong resistance on a hot carrier effect than the  $\text{SiO}_2$  had, was promising gate dielectrics in ULSI's.

\* 대우공업전문대학 전자통신과

\*\* 건국대학교 전자공학과

1. 序 論

最近 Si 半導體 製造技術의 集積度가 ULSI (Ultra Large Scale Integrated circuit)級으로 發展함에 따라, 最小 線幅이 크게 減少하고 微細 加工技術은 많은 限界點에 到達하였다. 특히 單位 素子인 MOS素子の 薄膜化된 게이트 酸化膜(Only Oxide; 以下 O라 表記)에 高 電界가 印加되면 酸化膜 崩壞등의 電氣的 特性 및 信賴性에 심각한 問題가 야기된다.<sup>1)2)</sup> 따라서, 더욱 信賴性 높은 게이트 絶緣膜이 要求되며, 電氣的 特性이 優秀한 再酸化 窒化 酸化膜(Reoxi-dized Nitrided Oxide; 以下 ONO라 表記)에 대한 研究가 활발히 進行되고 있다.<sup>3~6)</sup>

本 研究의 主眼點은 電氣爐에서 熱的 酸化시킨 88[Å] 두께의 O와 酸化膜을 NH<sub>3</sub> 분위기에서 窒化시킨후 다시 再酸化시킨 89[Å] 두께의 ONO를 成長시켜 MIS(Metal Insulator Semiconductor) Capacitor를 製作한 후, 각 絶緣膜의 放出 電流密度의 特性 解析을 통하여 超 薄膜 誘電體/실리콘 界面에서 發生하는 電子波 干涉 效果를 實驗的으로 比較·檢證하고자 한다.

2. 電磁波 干涉 效果

2-1. 터널링 方程式

薄膜 MOS構造에서 게이트 酸化膜의 崩壞現象에 대한 物理 모델은 衝擊이온化(Impact Ionization) 및 正孔 捕獲(Hole Trapping)에 根據하고 있으며, 이의 物理的 理解를 위해서는 게이트 電極과 絶緣體간의 電位 障壁을 통한 電子의 量子力學的 터널링(Quantum Mechanical Tunneling)에 대한

理解와 注入된 傳送子의 定性的·定量的 解析이 要求된다. 에너지 障壁을 통한 電子 放出모델에서 電界 放出모델(Field-Emission Model)은 最初로 Fowler와 Nordheim이 主張하여 Fowler-Nordheim(以下 FN라 表記) 터널링이라 하며,<sup>6)</sup> 放出 電流 密度 方程式은 式(1)과 같다.

$$\frac{J}{E_{ox}^2} = C \exp(-\beta/E_{ox}) \dots\dots\dots(1)$$

여기서,

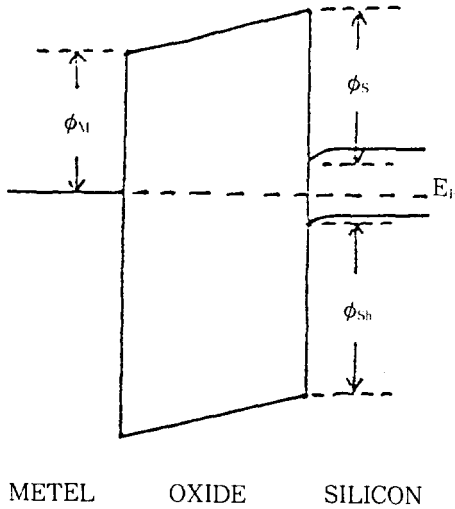
$$C = \frac{q^3 m_0}{8\pi h \phi m^*} = 1.54 \times 10^{-6} \frac{m_0}{m^*} \frac{1}{\phi} \quad [A/V^2]$$

$$\beta = \frac{8\pi}{3} \frac{(2m^*)^{1/2}}{h q} \phi^{3/2} = 6.83 \times 10^7 \left(\frac{m^*}{m_0}\right)^{1/2} \phi^{3/2} \quad [V/cm]$$

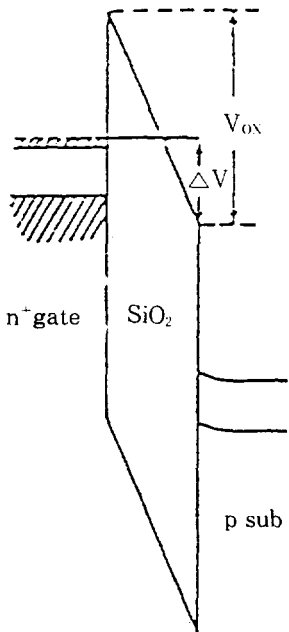
또한, J는 電流 密度, q는 電子의 電荷量이며 h는 Planck常數이다. m\*는 酸化膜 속의 電子 혹은 正孔의 有效質量을 의미하며, 電子인 境遇 m\*=0.5 m<sub>0</sub>(m<sub>0</sub>는 自由空間에서 電子 質量)으로 假定하였다.<sup>7)</sup> φ는 界面의 障壁높이 즉, 酸化膜 傳導帶 아래(혹은 價電子帶 項)와 陰極(혹은 兩極)의 Fermi 에너지 차이이며, E<sub>ox</sub>는 게이트 酸化膜에 걸린 電界이다.

2-2. FN 電流에서 電子波 干涉 效果

FN 電流에서의 電子波 干涉 現象은 1975年 Lewicki와 Maserjian에 의해 實驗的으로 發見된 물결波를 그 原因으로 보고 있으며, FN 電流 및 이것에 수반된 現象에 관하여 많은 研究가 進行되어 왔다.<sup>6~9)</sup>



(a) 0바이어스 狀態



(b) 큰 (-)바이어스를 가한 狀態

그림 1. MOS 構造의 에너지 帶 모델과 FN 電流

Fig.1. Energy band model and FN Current of MOS Structure.

그림 1의 (a)는 0바이어스(平衡 狀態) (b)는 게이트 電極에 큰 (-)바이어스를 가한 境遇 MOS 構造의 에너지 帶 모델과 FN 電流를 나타낸 것으로, 電子波 干涉은 三角 電位를 貫通한 一部 電子가 酸化膜/실리콘 界面의 電位差에 의해 反射되며, 入射 電子와 干涉하기 때문에 발생하는 現象으로 解析할 수 있다.

그림 2는 電位 障壁을 簡單한 三角形으로 보고 Fermi 에너지 差와 電位 障壁 높이의 關係를 나타낸 것으로, (a)非縮退된 單結晶의 境遇 酸化膜 傳導帶와 실리콘 傳導帶의 障壁 높이  $\phi_c$ 는 다음 式(2)에 의해 구할 수 있다.

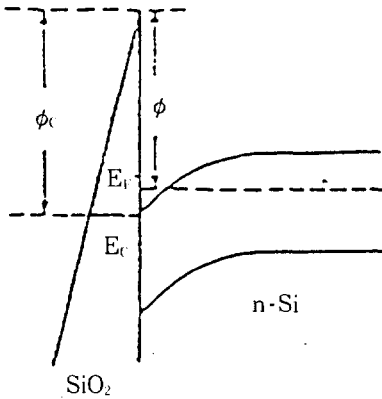
$$\phi_c(\text{비축퇴}) = \phi + (E_f - E_c)_s \dots\dots\dots(2)$$

여기서,  $(E_f - E_c)_s$ 는 單結晶 실리콘 酸化膜 界面에서의 傳導帶 아래와 Fermi에너지의 差이며, 이 값은 인가 電壓에 따라 다르지만 0.2[eV]程度이다. 그리고, (b)縮退된 多結晶 실리콘의 境遇, 傳導帶와 Fermi에너지 差  $V_s$ 과 밴드의 굽어진 量  $\phi_s$ 부터 式(3)이 된다.

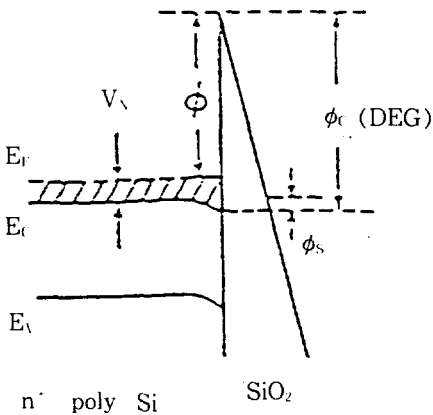
$$\phi_c(\text{축퇴}) = \phi + V_s + \phi_s \dots\dots\dots(3)$$

여기서,  $V_s = (KT/q) [\ln(N_V/N_c) + 0.35(N_V/N_c)]$   
 $V_s + \phi_s$ 값은 0.15+0.1[eV]程度이다.

따라서, 式(3)-式(2) 즉,  $\phi_c(\text{縮退}) - \phi_c(\text{非縮退})$ 값은 0.05[eV]誤差가 있으나, 帶域 減少(band narrowing)量을 考慮하면 妥當하게 되고 그 값의 半이 傳導帶의 에너지 準位를 低下시킨다고 생각하면 잘 一致하게 된다.



(a) 非縮退된 單結晶 실리콘



(b) 縮退된 多結晶 실리콘

그림 2. Fermi 에너지 차와 電位 障壁 높이의 關係

Fig.2. Relation of Fermi energy difference and potential barrier height

### 3. 試料 製作 및 測定 方法

本 研究은 窒化 및 酸化 條件이 各 各 다

큰 超 薄膜 構造의 酸化膜(O)과 再酸化 窒化 酸化膜(ONO)을 熱酸化(Thermal Oxidation; 以下 TO라 表記) 시스템으로 成長하였다. 試料 製作을 위해 6인치 p형 5-15 [ $\Omega \cdot \text{cm}$ ], (100) 面指數를 가진 실리콘 웨이퍼를 使用하였고, 標準 洗滌 工程을 거친 뒤 初期 酸化膜(ONO-1)은 dry  $\text{O}_2$  雰圍氣에서 775[ $^{\circ}\text{C}$ ], 29分 동안 成長하였으며, 窒化膜(ONO-2) 成長은 LPCVD裝備를 利用하여  $\text{SiH}_2\text{Cl}_2/\text{NH}_3$  雰圍氣에서 溫度 770[ $^{\circ}\text{C}$ ], 13分 동안 그리고 마지막 再 酸化膜(ONO-3)은 920[ $^{\circ}\text{C}$ ], 12分 30秒 동안 各 各 變化시키면서 ONO를 成長하였다. 또한, 熱酸化膜을 wet  $\text{O}_2$  雰圍氣에서 800[ $^{\circ}\text{C}$ ], 10分 30秒 동안 酸化하여  $\text{SiO}_2$ 를 成長하였다. 電極은 LPCVD 方法으로 620[ $^{\circ}\text{C}$ ]에서  $\text{SiH}_4$ 를 熱分解하여 多結晶 실리콘을 1,719[ $\text{\AA}$ ] 蒸着한後 850[ $^{\circ}\text{C}$ ]에서 25分  $\text{POCl}_3$ 도핑( $R_s=26.243[\Omega/\square]$ )하였다. 絶緣膜 두께 測定 方法으로 88[ $\text{\AA}$ ]의 O는 Nanospec을 使用하여도 可能하지만 焦点 調節을 使用者가 해 주어야 하므로 計器 誤差 등의 不正確性이 發生하므로, 自動 焦点 調節등 超 薄膜 測定에 더욱 正確한 Ellipsometer를 使用하였으며, 89[ $\text{\AA}$ ]의 ONO는 O, N, O 各 各을 모니터 웨이퍼上에서 Ellipsometer를 使用하여 測定하고 有效 두께는 數式 計算에 의해 구하였다.

多結晶 실리콘과 O 및 ONO薄膜을 Dot mask/Etching으로 패턴 形成하여 MIS Capacitor를 製作하였고, 製作된 Capacitor面積은  $0.1256 \times 10^{-2}[\text{cm}^2]$ 이다. 全體 工程 順序圖는 그림3과 같으며, 酸化膜과 窒化膜 成長條件은 표1에 나타내었다. 그리고, 絶緣膜의 電氣的 特性을 分解하기 위한 I-V

測定은 HP4140B pA meter를 利用하였으  
며, P型 基板이 Accumulation mode가 되도  
록 하기 위해 게이트 電極에 (-)電壓을 印  
加하면서 Sweep하였다.

표 1. 酸化 및 窒化膜 成長條件

Table.1. Growing Condition of SiO<sub>2</sub> and  
ONO.

PROCESS RUN	TO		LPCVD		TO	
	TEMP [°C]	TIME [min]	TEMP [°C]	TIME [min]	TEMP [°C]	TIME [min]
SiO <sub>2</sub>	800	105				
ONO	775	29	770	13	920	125

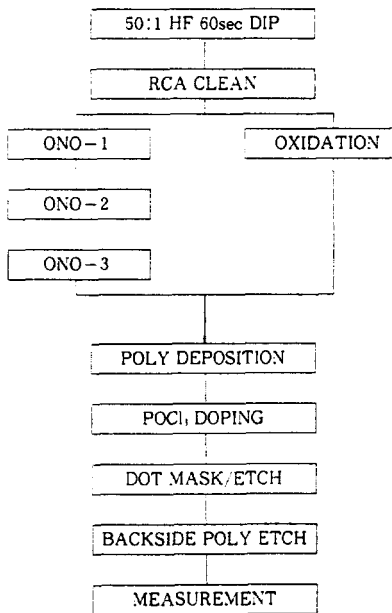
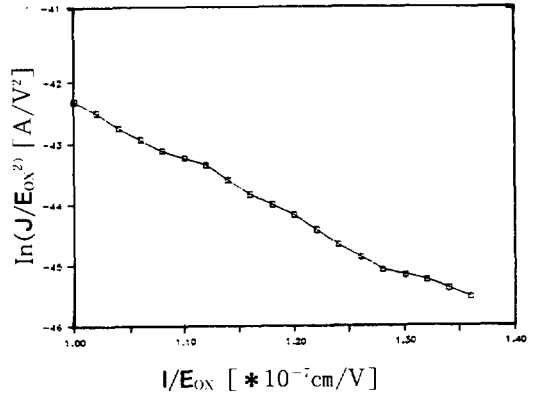
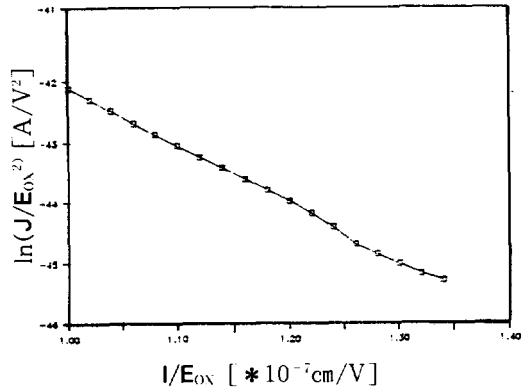


그림 3. 試料 製作 順序圖

Fig.3. Flowchart for device fabrication.



(a) 0構造인 境遇



(b) ONO 構造인 境遇

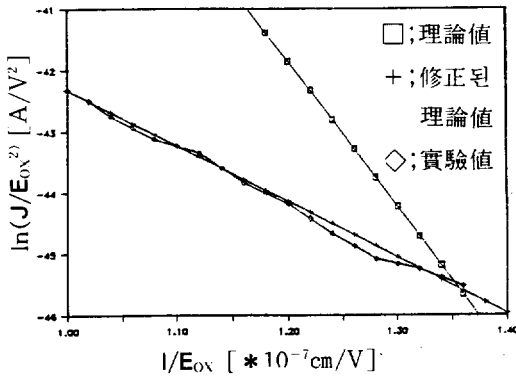
그림 4.  $\ln(J/E_{ox}^2)$ 와  $(I/E_{ox})$  特性

Fig.4.  $\ln(J/E_{ox}^2) - (I/E_{ox})$  Characteristics.

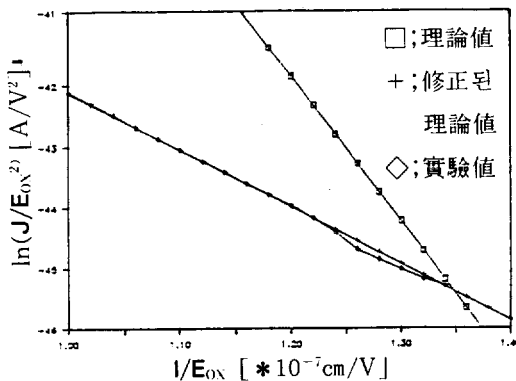
#### 4. 實驗 結果 및 考察

그림 4의 (a), (b)는 FN 터널 電流를  $J/E_{ox}^2$ (y軸)과  $I/E_{ox}$ (x軸)으로 圖示한 것이며, 絶緣膜 厚度가 88[Å](0) 및 89[Å]인 境遇 거의 直線으로 나타나는 것에 비해 0 厚度가 88[Å]인 境遇 電子波 干涉 現象이

나타남을 確認할 수 있는데, 이와같이 絶緣材料에 따라 干涉 現象을 除去할 수 있음을 提示하고 있다. 또한, 高 電界 領域에서는 FN 터널 電流가 優勢하게 흐르며 干涉에 의한 물결波가 나타나고, 低 電界 領域에서는 미소 電流로 마스크시키기 위해 電磁波 干涉이 消滅된 것처럼 보인다.



(a) O 構造인 境遇



(b) ONO 構造인 境遇

그림 5. 絶緣膜에 따른 理論 및 實驗值의  $\ln(J/E_{ox}^2)$ 와  $(1/E_{ox})$  特性

Fig.5.  $\ln(J/E_{ox}^2)$ - $(1/E_{ox})$  Characteristics of theoretical and experimental Values according to the insulator.

그림 5의 (a), (b)는 FN터널링 理論式 (1)을 O 構造 및 ONO 構造의 特性 曲線에 一定 比率로 移動시켜 fitting시킨 狀態이며, 理論值과 實驗值의 誤差값을  $V_{ox}$ 값 變化에 따라 圖式的으로 나타내면 그림 6과 같은 波形을 나타낸다.

式(1)은 高 電界에서 線形 特性을 갖는 電流 電壓 關係式으로, 厚膜으로부터 얻어진 結果와 잘 一致하는 理論式이다. 그러나, 超 薄膜에서는 그림 4 및 그림 5와 같이 直線 周邊의 데이터 값을 갖는 一定한 振動 現象이 觀察되며, 그 理由는  $SiO_2/Si$  界面에서 入射 및 反射된 電磁波의 干涉에 의해 일어나는 것으로, 三角 障壁을 통한 電子 터널링을 豫測할 수 있다. 이러한 電流 飽和(Current saturation) 現象 혹은 負性 抵抗(Negative resistance) 特性은 O 構造인 境遇 理論值과 實驗值의 平均 誤差는 約 0.1597[%]이며, ONO 構造인 境遇 約 0.0733[%]이므로 絶緣 材料에 따라 EWIE 現象이 減少함을 알 수 있다. 또한,  $\ln(J/E_{ox}^2)$ 의 理論 및 實驗值는 線形 依存 函數이며

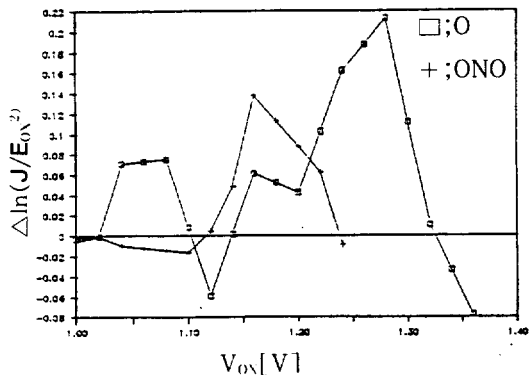


그림 6.  $\Delta \ln(J/E_{ox}^2)$ 와  $V_{ox}$  特性

Fig.6.  $\Delta \ln(J/E_{ox}^2)$ - $V_{ox}$  Characteristics.

$\Delta \ln(J/E_{ox}^2)$ 는  $V_{ox}$  增加에 따라 振動함을 알 수 있다. 干涉 現象이 微弱하게 發生하는 原因으로, 酸化膜의 傳導帶에서 音子(Phonon)와의 衝突 등으로 非彈性 散亂을 받게 되어 電子波의 位相이 變化되는 境遇와 酸化膜 界面의 不均一性(凹凸)이 심한 境遇 등으로 생각할 수 있다.

## 5. 結 論

本 論文은 電氣爐에 의한 熱 酸化法에 의해  $88[\text{\AA}]$ 의  $\text{SiO}_2$ 와  $89[\text{\AA}]$ 의 ONO를 成長시켜 MIS Capacitor를 製作하고, 各 絶緣膜의 放出 電流 密度 特性에 의한 電磁波 干涉 效果에 관한 研究이다.

EWIE 現象은 低 電界 領域에 비해 高 電界 領域에서 優勢함을 알 수 있으며, 修正된 理論値와 實驗値의 平均 誤差는 ONO 構造가 約  $0.0733[\%]$ 이고 O 構造가 約  $0.1597[\%]$ 이므로 ONO가 O에 비해 電子波 干涉이 적게 나타나므로 결국 ONO 構造가 熱 傳送子에 대한 抵抗性이 優秀함을 알 수 있다. 따라서, DRAM 集積度의 增加에 따른 셀 크기의 縮小로 인하여 絶緣膜 두께의 減少는 不可避하며, 極小 面積에서 靜電 容量을 確保하기 위한 한가지 方法으로 O에 비해 誘電率이 높은 ONO 絶緣膜을 使用하

여 電氣的 特性을 改善할 수 있을 것이며, 向後 ULSI級의 게이트 絶緣膜으로서의 實用 可能性을 確認하였다.

## 參 考 文 獻

- 1) H. Sunami et.al.; Int. Sym. on VLSI Technology Systems and Application, 4, (1985).
- 2) M. S. Liang et.al.; in IEDM Tech. Dig., 186, (1983).
- 3) T. Ito et.al.; *IEEE Trans. Electron Devices*, ED-29, 498, (1982).
- 4) S. K. Lai et.al.; in IEDM Tech. Dig., 190, (1983).
- 5) T. Hori and H. Iwasaki; *IEEE Trans. Electron Devices*, ED-36, 340, (1989).
- 6) M. Lenzlinger et.al.; *J. Appl. Phys.* 40, 28, (1969).
- 7) Z. A. Weinberg; *J. Appl. Phys.*, 53, (7), 5052, (1982).
- 8) G. Lewicki and J. Maserjian; *J. Appl. Phys.*, 46, (7), 3032, (1975).
- 9) J. Maserjian and N. Zamani; *J. Appl. Phys.* 53, (1), 559, (1982).

(1990년 7월 27일 접수)