

Sb₂Te₃ 반데르발스 접합을 가진 MoS₂ FET의 h-BN 캡슐화를 통한 전기적 안정성 향상

이은비¹, 임세희², 윤재모³, 이윤경^{1,3} 

¹ 전북대학교 신소재공학부 전자재료공학전공

² 전북대학교 전자공학부

³ 전북대학교 나노융합공학과 대학원

Enhanced Electrical Stability of MoS₂ FETs with Sb₂Te₃ vdW Contacts via h-BN Encapsulation

Eun Bi Lee¹, Se Hee Lim², Jae Mo Yun³, and Yoon Kyeong Lee^{1,3}

¹ Major of Electronic Materials Engineering, Division of Advanced Materials Engineering, Jeonbuk National University, Jeonju 54896, Korea

² Department of Electrics Engineering, Jeonbuk National University, Jeonju 54896, Korea

³ Nano convergence Engineering, Jeonbuk National University, Jeonju 54896, Korea

(Received January 4, 2026; Revised February 3, 2026; Accepted February 6, 2026)

Abstract: MoS₂ has attracted significant attention as a next-generation semiconductor material to overcome the physical scaling limits of silicon-based devices due to its atomic thinness and excellent electrical properties. However, high contact resistance and the formation of Schottky barriers resulting from interface defects during the metal deposition process remain major bottlenecks that degrade overall device performance and reliability. In this study, we fabricated MoS₂ FETs by employing Sb₂Te₃, van der Waals (vdW) contacts. Minimized interface inhomogeneity was achieved through a hemispherical stamp-based dry transfer of h-BN for device encapsulation. h-BN encapsulation decreased the hysteresis window in the ± 25 V gate voltage range from 17 V to 11.5 V compared to un-capped devices, confirming that charge trapping phenomena induced by external environmental factors were suppressed. Consequently, the dry transfer technique of h-BN using a hemispherical stamp demonstrated in this study provides a potential solution for securing the long-term reliability of MoS₂ devices with vdW contact by minimizing interface contamination.

Keywords: MoS₂, h-BN, Stamp, Dry transfer, Encapsulation

✉ Yoon Kyeong Lee; yoonklee@jbnu.ac.kr

Copyright ©2026 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

반도체 산업이 초미세 공정 시대로 진입함에 따라 기존 실리콘(Si) 기반 소자는 단채널 효과(short-channel effects) 및 전자 산란으로 인한 물리적 스케일링의 한계에 직면해 있다 [1-3]. 이러한 한계점을 극복할 차세대 물질로 주목받는 이황화 몰리브데늄(MoS₂) 등의 2차원 전이금속 디칼코게나이드(transition metal dichalcogenide,

TMD)는 원자 수준의 얇은 두께와 적절한 밴드갭을 통해 우수한 정전기 제어 능력과 높은 On/Off 비의 전기적 성능을 구현할 수 있음이 여러 연구를 통해 제시되었다 [4-6].

전이금속 칼코겐 화합물은 양자구속효과(quantum confinement effect)에 의해 다층 구조의 경우 간접 천이형(indirect transition) 반도체, 단층(single layered) 구조의 경우 직접 천이형(direct transition) 반도체 특성이 나타난다. 특히 층의 수가 감소함에 따라 밴드갭은 점차 증가하여 다층의 경우 약 1.2 eV의 값으로, 단층 MoS₂는 밴드갭이 1.8 eV로 나타난다 [7,8]. 최근 연구에 따르면, MoS₂ 전계 효과 트랜지스터(field-effect-transistor, FET)는 채널 길이를 30 nm까지 미세화 하여도 실리콘 전면 게이트(gate-all-around, GAA) 소자와 경쟁 가능한 잠재력을 지닌 것으로 확인된다 [9-11].

그러나 MoS₂의 뛰어난 이론적 물성에도 불구하고 높은 접촉 저항(R_c)과 쇼트키 장벽(Schottky barrier)은 MoS₂ 기반 FET 소자의 상용화를 막는 병목 현상으로 남아있다. 특히 전극과 채널 간의 계면에서 발생하는 쇼트키 장벽은 전하 주입 효율을 저해하고, 소자의 전체적인 성능과 신뢰성을 낮추는 주요 원인이 된다.

예를 들어, 일반적인 금속 증착 공정 과정에서 유발되는 MoS₂의 계면 결함은 페르미 준위 고착(Fermi-level pinning) 현상과 높은 접촉 저항을 일으킨다 [12,13]. 따라서 차세대 2차원 반도체의 실용화를 위해서는 채널과 접합하는 전극 물질의 탐색과 공정의 최적화가 필요하다 [14].

최근에는 비스무스(Bi), 안티모니(Sb) 등의 반금속을 활용하여 금속 유도 갭 내 표면 상태(metal induced gap state, MIGS)의 발생을 억제하거나, 채널과 공유결합을 형성하기 어려운 2차원 금속성 물질을 접합으로 사용하려는 시도가 활발하다 [15]. 특히 2차원 금속성 물질은 원자 단위의 적층이 가능한 반데르발스(van der Waals, vdW) 결합 특성을 지니고 있어 이종 구조 제작에 이점을 갖는다 [16,17].

층상 구조를 가진 2차원 금속성 물질인 Sb₂Te₃는 MoS₂와 높은 구조적 유사성을 보인다. 특히 [100], [010], [110] 방향에서 Sb₂Te₃의 Te 원자와 MoS₂의 S 원자 배열 간격이 유사하여, 스트레스가 최소화된(stress-free) 원자 정렬을 통해 이상적인 전극-채널 계면을 형성할 수 있다. 이러한 결정학적 정합성은 계면 결함을 효과적으로 억제한다. 덕분에 Sb₂Te₃-MoS₂ 접합은 450 °C 이상의 고온 열처리 공정에서도 안정적인 반데르발스 접합을 유지하며, 결과적으로 소자의 열적 신뢰성을 크게 향상시킨다 [18].

소자와 공기 및 불순물과의 접촉을 방지하는 절연체 물질로는 육방정 질화붕소(h-BN)가 활발하게 사용된다 [19]. h-BN은 땀글링 본드(dangling bond)가 없는 원자 단위의 평탄한 표면을 가지며, 전하 트랩(charge trapping)이 매우 적은 절연체이다 [20]. 이러한 특성으로 인해 MoS₂ 채널 상단에 h-BN을 캡슐화(encapsulation)하면 외부 환경으로부터 소자를 보호하고 기판 유도 산란(substrate-induced scattering)을 줄여 소자의 전기적 안정성과 전하 이동도(mobility)를 향상시킬 수 있다 [21-23].

본 연구는 물리적 제어를 통해 접합 시 발생하는 계면의 불균일도를 최소화하기 위해 선행 연구들의 메커니즘을 종합하여 판형(flat), 반구형(hemispherical)의 다양한 스탬프 구조를 제작 및 활용하여 Sb₂Te₃를 접촉 물질로 가지는 MoS₂ 기반 FET 소자 제작을 진행하였다 [24-27].

그림 1은 MoS₂ 기반 FET 소자의 제작 과정과 구조를 광학현미경(optical microscopy, OM)으로 확인한 모습이다. 모든 제작 과정에는 SiO₂가 100 nm 열 산화된 Si wafer(p⁺⁺, 0.001~0.005 Ω·cm)를 사용하였다. 웨이퍼는 사용 전 피라냐 클리닝(piranha cleaning)을 진행하였다.

MoS₂ 박편은 액상 박리법(liquid phase exfoliation) 등 다양한 방법으로 얻을 수 있으나, 본 연구에서는 결함이 적고 결정성이 우수한 채널을 확보하기 위해 기계적 박리법(mechanical exfoliation)을 사용하였다 [28]. 반데르발스 힘을 이용하는 테이프를 벌크 소재에 붙였다 떼어내며 벌크 MoS₂에서 MoS₂ 박편(flake)을 얻는다 [29]. 테이프에 붙은 MoS₂ 박편을 다른 깨끗한 웨이퍼에 붙인다. 웨이퍼와 MoS₂ 박편의 접착력을 높이기 위해 웨이퍼를 hot-

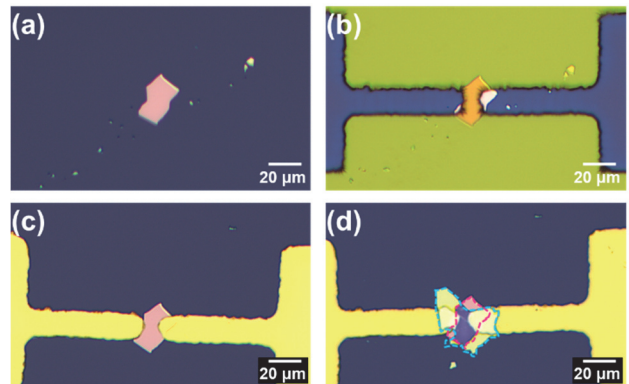


Fig. 1. Optical microscopy images of the MoS₂ FET fabrication process (a) transferred multilayer MoS₂ flake on the substrate, (b) photoresist pattern defined by photolithography using a mask aligner, (c) source and drain electrodes formed by e-beam evaporation followed by lift-off, and (d) h-BN flake transferred onto MoS₂ channel for capping.

plate에 110°C의 온도로 열처리한다. 열처리한 웨이퍼를 꺼낸 뒤 천천히 테이프를 떼어내고, MoS₂ 박편이 접착이 잘 되었는지 OM으로 확인한다.

MoS₂ 박편을 중심으로 하여 포토공정을 진행하였다. MoS₂ 위에 negative photoresist (PR) 용액을 도포한 뒤 1000 rpm으로 30초간 spin coating을 진행하고 110°C의 온도로 hard baking을 진행한다. Mask aligner를 이용하여 MoS₂ 박편 위에 전극 패턴을 새긴 뒤 다시 1분 30초 동안 110°C로 hard baking을 진행한다. 패턴을 새긴 웨이퍼를 AZ 300 MIF 용액과 DI water를 7:3의 비율로 섞은 현상액(developer)에 담가 남은 PR 용액을 제거한다.

PR이 코팅된 웨이퍼에 전자 빔 증착기(E-beam evaporator)를 이용하여 0.1 Å/s의 증착 속도로 Sb₂Te₃ 20 nm를, 0.1 Å/s의 증착 속도로 금(Au) 40 nm를 쌓는다. 증착 시 chamber 내의 진공도는 5 × 10⁻⁶ Torr 이하로 설정하였고, 균일한 박막 형성을 위해 기판을 일정한 속도로 회전시켰다. 증착 후 Acetone을 이용하여 잔여물을 리프트-오프(lift-off) 시키고 IPA (isopropyl alcohol)로 세척한다 [30]. 그림 2는 제작된 MoS₂ FET 채널의 두께를 원자 힘 현미경(atomic force microscopy, AFM)으로 분석한 것으로, 각각 20 nm, 32 nm, 34 nm, 30 nm로 측정되었다.

그림 3은 h-BN 박편을 MoS₂ 채널 위에 건식전사(dry transfer) 하기 위해 제작한 스탬프이다. 스탬프들은 polydimethylsiloxane (PDMS) 및 poly (propylene carbonate)(PPC) 물질을 사용하여 제작하였다. PPC를

40°C에서 110°C 사이로 열처리할 경우 PDMS 단층으로 형성된 스탬프보다 박편의 전사 능력이 우수하고 전사 재현성이 높았기 때문에, PDMS로 스탬프 모양을 구현한 뒤 PPC를 위에 덮는 방식으로 진행하였다.

PDMS는 실리콘 엘라스토머 베이스(silicon elastomer base)와 실리콘 엘라스토머 경화제(silicon elastomer curing)를 9:1의 비율로 섞어 만든다. PDMS를 진공 펌프를 사용하여 용액 내의 기포를 제거해 깨끗한 PDMS를 얻을 수 있었다. PPC 용액은 유리병에 PPC 결정 15 wt%와 아니솔(anisole) 85 wt%의 비율을 넣은 뒤 hot-plate에서 magnetic stirring bar를 이용하여 800 rpm, 40°C로 3시간 동안 회전 및 열처리하여 만든다.

평평한 형태의 스탬프는 유리 슬라이드에 양면 테이프를 붙이고 그 위에 두께 약 1 mm의 고체 PDMS를 올린 후 위에 PPC 필름을 부착하여 만들었다. 사용한 PPC 필름은 1500 rpm으로 60초간 spin coating을 진행하여 만들어졌다. 반구형 스탬프는 유리 슬라이드에 PDMS 용액을 도포한 뒤 1500 rpm으로 60초간 spin coating하여 얇은 막을 형성한다. 그 위에 다시 PDMS를 피펫으로 한 방울씩 쌓아 올려 두께 약 0.8 mm의 반구를 만든다. 반구형 PDMS 위에 PPC를 도포하고 1500 rpm으로 60초간 spin coating을 진행하였다. 제작한 모든 스탬프는 PPC를 spin coating한 뒤 hot-plate에 110°C의 온도로 5분간 열처리하여 PPC 표면이 균일해지도록 하였다.

평평한 스탬프의 경우 박편의 전사를 용이하게 하는 굴곡이 없어 전사 효율이 낮았기 때문에, 반구형 스탬프로 h-

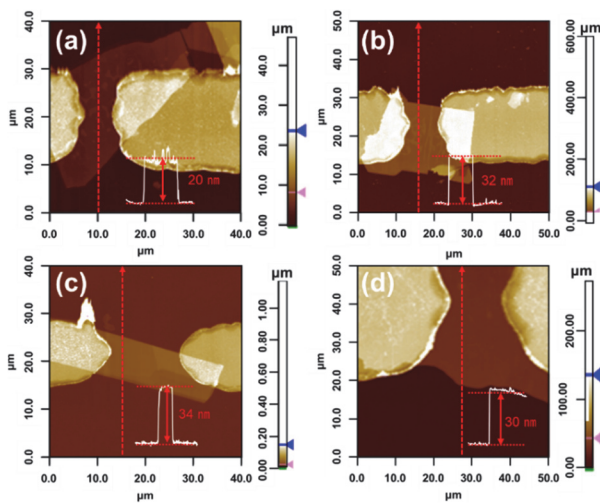


Fig. 2. AFM analysis of MoS₂ channel thicknesses: (a–d) AFM topography images of the MoS₂ flakes used in the FET devices. The height profiles indicate the thickness of each channel as approximately (a) 20 nm, (b) 32 nm, (c) 34 nm, and (d) 30 nm.

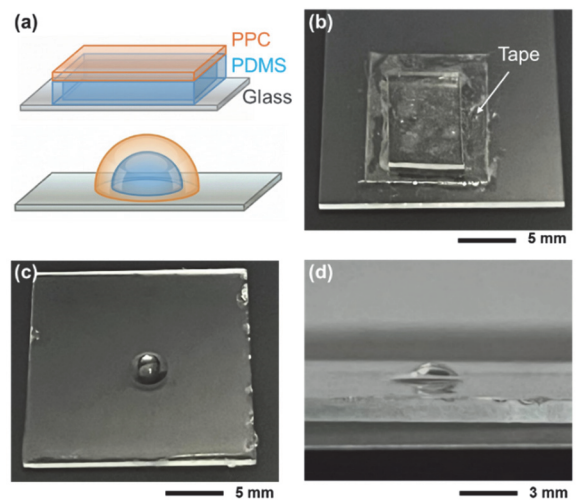


Fig. 3. Two types of fabricated stamps for dry transfer: (a) schematic of (top) flat- and (bottom) hemispherical-type stamps, (b-d) images of flat-type (b: top view), and hemispherical-type (c: top view, d: sideview) stamp.

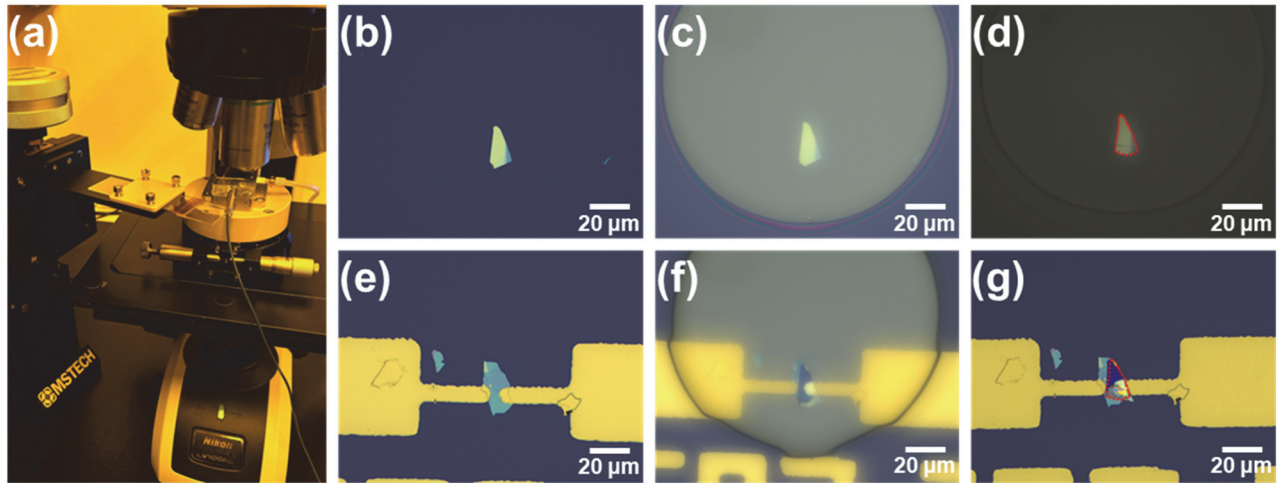


Fig. 4. Optical images illustrating the h-BN transfer process onto the MoS₂ FET: (a) micromanipulator system used for the dry transfer process, (b) h-BN flake selected for transfer, (c) h-BN flake brought into contact with the stamp, (d) h-BN flake picked up and attached to the stamp, (e) MoS₂ FET prior to h-BN transfer, (f) stamp brought into contact with the MoS₂ FET, and (g) final device after completing the h-BN transfer onto the MoS₂ FET.

BN 박편의 전사를 시도하였고 그 과정을 그림 4에 나타내었다.

벌크 h-BN에서 기계적 박리법을 이용하여 h-BN 박편을 얻은 뒤 깨끗한 웨이퍼에 붙여 hot-plate에 110°C로 2분간 열처리한 뒤 테이프를 떼어냈다. 제작한 스탬프와 유리 슬라이드를 테이프로 결합해 dry transfer 장비에 고정시킨다. Hot-chuck이 존재하는 OM 위에 h-BN 박편이 있는 웨이퍼를 올린다. 스탬프와 웨이퍼 간의 거리를 조절하여 서로 맞닿게 한다. 이때 hot-chuck을 약 50°C로 올려 맞닿은 상태로 2분간 열처리한 후 3분 정도 실온으로 냉각시킨다. 스탬프를 위쪽으로 천천히 들어올리면 PPC 필름에 h-BN 박편이 붙으며 픽업(pick-up)이 된다.

Hot-chuck 위에 MoS₂ FET을 올린다. 스탬프에 픽업된 h-BN 박편과 MoS₂ 채널의 위치를 맞추고 서로 접촉시킨 뒤 hot-chuck의 온도를 110°C로 올린다. 온도를 유지한 채 약 30초 정도 기다린 후 스탬프를 아주 느린 속도로 들어 올리면 픽업되었던 h-BN 박편은 릴리즈(release) 되고 스탬프만 분리된다. 전사된 h-BN 박편과 MoS₂ 채널의 접착력을 높이기 위하여 hot-chuck의 온도를 150°C로 설정하고 2분간 열처리한다.

전사 과정에서 MoS₂ 채널 주위에 묻은 불순물들은 acetone을 이용해 리프트-오프 시키고 IPA로 세척한다. h-BN 캡슐화된 MoS₂ FET를 OM으로 확인한 결과, 그림 4(g)에서 볼 수 있듯이 h-BN의 표면이 찌그러짐 없이 균일하게 전사되었음을 확인할 수 있다.

MoS₂ 기판 FET 소자에서 채널 계면의 불균일도는 소자

성능(이동도 등)을 저하시키기 때문에 최적의 전사를 위한 스탬프 구조 선정이 중요하였다. 본 연구 결과 반구형 스탬프는 박편을 전사하는 표면이 둥글어 기판과 닿을 때 중앙부터 접촉하며 계면의 기포와 같은 불순물을 외부로 밀어내어 깨끗한 계면을 형성하는 데 유리한 것으로 판단된다 [24,25,31].

제작된 MoS₂ FET 소자는 Keithley 4200A-SCS parameter analyzer를 이용하여 상온에서 I-V curve를 측정하였다 [30]. 본 연구에서 사용된 기계적 박리법은 MoS₂ 박편의 두께와 형상을 원자 단위로 제어하는 데 물리적 한계가 존재한다. 따라서 제작된 4개의 소자는 각기 다른 채널 두께와 형상을 가져 본 연구에서는 특정 소자의 정량적 수치를 일반화하기보다, h-BN 캡슐화 유무에 따른 전기적 특성 변화 경향성을 분석하는 데 중점을 두었다.

그림 5는 서로 다른 채널 두께를 가진 MoS₂ FET 소자에 대하여 h-BN 캡슐화 적용 전후의 transfer curve ($I_{DS}-V_{GS}$)를 비교한 결과이다. $V_{DS} = 0.1$ V 조건에서 측정되었으며, gate voltage sweep 범위를 ± 25 V로 변화시켜 히스테리시스(hysteresis) 거동을 분석하였다 [7].

h-BN 캡슐화가 적용되지 않은 소자(검은색 곡선)의 경우, forward 및 backward sweep 간의 경로 차이가 뚜렷하게 관찰되었다. 4개 소자의 hysteresis 폭은 순서대로 24.05 V, 26.15 V, 27 V, 14.3 V로 나타나며, 이는 반복적인 sweep 과정에서 채널 내 전하 트래핑(charge trapping) 현상이 누적되었음을 의미한다.

반면, h-BN 캡슐화가 적용된 소자(빨간색 곡선)에서는

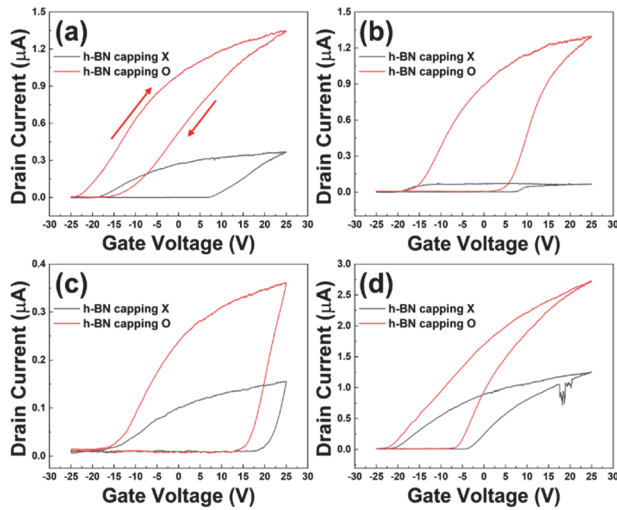


Fig. 5. Transfer characteristics of the MoS₂ FET with and without h-BN capping: (a-d) I_{DS}-V_{GS} transfer curves for four devices. The black curves and red curves correspond to the devices without and with h-BN encapsulation. Transfer curves measured with a gate voltage sweep range of ±25 V. All measurements were performed at V_{DS} = 0.1 V. Arrows indicate the forward and backward gate voltage sweep directions.

동일 측정 조건에서 hysteresis 폭이 14.9 V, 5.8V, 24.9 V, 8.25 V로, 전반적으로 hysteresis가 감소한 transfer 특성을 나타내며, 넓은 sweep 범위(± 25 V)에서도 비교적 안정적인 전류 변화를 유지하였다. 특히 h-BN 캡슐화 적용 시 대부분의 소자에서 드레인 전류 수준이 뚜렷하게 증가하고 기울기가 가파라지는 특성이 관찰되었다. 이러한 결과는 h-BN 층이 MoS₂ 채널의 전기적 성능과 안정성을 효과적으로 향상시킨다는 것을 입증한다.

MoS₂ FET에서 발생하는 hysteresis는 소자 외부환경의 영향뿐만 아니라 주로 MoS₂ 표면 및 MoS₂-SiO₂ 계면의 전하 상태 변화와 관련되어 나타나는 것으로 보고되고 있다. MoS₂는 황 공공(sulfur vacancy)과 같은 고유 결함에 의해 본질적으로 n-type 전도 특성을 나타내는 것으로 알려져 있으며, 이러한 결함은 산소(O₂) 및 수분(H₂O) 분자의 흡착을 촉진한다. 흡착된 O₂ 및 H₂O 분자는 전자 수용체(electron acceptor)로 작용하여 채널 내 전자를 부분적으로 포획함으로써 국소적인 전하 불균형 및 문턱전압(threshold voltage, V_{th})의 변화를 유발한다. 특히 온도가 상승할수록 MoS₂ 내부의 황 공공 및 계면 트랩에 갇힌 전하들이 열적으로 활성화된 트래핑(thermally activated trapping) 메커니즘이 활성화되며 hysteresis loop 면적을 증대시킨다 [32].

본 연구에서 관찰된 소자의 hysteresis 감소는 이러한

표면 흡착 분자에 의한 전하 charge trapping 효과를 완화하고, 결과적으로 transfer 특성에서 나타나는 hysteresis 거동을 감소시키는데 기여한 것으로 판단된다 [33]. 따라서 그림 5의 결과는 h-BN 캡슐화가 MoS₂의 본질적인 n-type 특성을 유지하면서도, 외부 환경 요인에 의해 유발될 수 있는 hysteresis를 완화하는 패시베이션(passivation) 역할을 수행했음을 시사한다.

MoS₂ 기반 FET의 hysteresis 거동은 계면 결함, 환경적 요인, 측정 조건에 의해 크게 좌우된다. 선행 연구를 통해 기판의 물리화학적 특성, 주변 기체 환경, 측정 속도 및 온도와 같은 변수들이 hysteresis 폭의 증가에 미치는 영향을 확인할 수 있다. 예를 들어, MoS₂ 광검출기의 hysteresis 특성을 분석한 기존 연구에서는 기판의 표면 에너지와 주변 습도가 주요 변수로 작용함을 확인하였다. 친수성(hydrophilic)인 SiO₂ 기판은 소수성(hydrophobic)인 Al₂O₃ 기판에 비해 계면에 더 많은 수분(H₂O) 분자를 trapping하며 gate voltage 인가 시 charge trapping 및 de-trapping을 가속화하여 hysteresis를 크게 증가시킨다. 습도가 높을수록 이러한 경향은 심화되어 드레인 전류(I_{DS})의 편차를 확대시켰다 [32].

한편, 게이트 전압의 스캔 속도는 charge trapping의 동역학적 과정을 결정하여 hysteresis 값에 직접적인 변화를 준다. 단층 MoS₂ FET를 대상으로 한 이전 연구에 따르면, 스캔 속도가 2.0 V/s에서 0.5 V/s로 느려질수록 전하가 트랩에 포획될 충분한 시간이 확보되어 hysteresis 폭이 2 V에서 15 V까지 급격히 증가하는 거동을 보였다. 이러한 불안정은 Si₃N₄ 캡슐화 공정을 통해 해결되었는데, Si₃N₄는 외부 분자의 유입을 차단하고 계면 트랩을 passivation함으로써 hysteresis를 크게 제거하고 전하 이동도를 10배 이상 높였다. 이러한 연구 결과들은 MoS₂ FET의 hysteresis가 단순히 소자 계면의 결함뿐만 아니라 측정 조건과 주변 환경 변수의 복합적인 상호작용에 의해 조절됨을 시사한다 [34].

마지막으로 기존의 전극 증착 공정은 2차원 물질의 원자적으로 얇은 구조적 특성상 전자 빔 증발기 또는 스퍼터링과 같은 증착 공정 중 결정 격자가 쉽게 손상되어 전극-채널 계면의 균일도에 악영향을 미친다. 이는 강한 페르미 준위 고착 효과 또는 금속 접촉 영역 아래에 누설 전류를 초래한다 [25].

Sb₂Te₃ 접촉 기반 MoS₂ FET의 h-BN 캡슐화 영향을 관측한 본 연구는 이러한 기존의 연구 결과들을 바탕으로 향후 실험에서 건식 전사를 통한 전극의 형성, 소수성 기판 도입 등을 적용하여 소자의 전기적 성능과 신뢰성을 향상시킬 계획이다.

ORCID

Yoon Kyeung Lee

<https://orcid.org/0000-0001-5160-1015>

감사의 글

이 성과는 정부(과학기술정보통신부)의 재원으로 한국 연구재단의 지원을 받아 수행된 연구임(No.2022R1C1C101007113, RS-2023-00221295).

REFERENCES

- [1] P. Han, E. R. Adler, Y. Liu, L. St Marie, A. El Fatimy, S. Melis, E. Van Keuren, and P. Barbara, *Nanotechnology*, **30**, 284004 (2019).
doi: <https://doi.org/10.1088/1361-6528/ab149e>
- [2] V. V. Zhirnov, R. K. Cavin, J. A. Hutchby, and G. I. Bourianoff, *Proc. IEEE*, **91**, 1934 (2003).
doi: <https://doi.org/10.1109/JPROC.2003.818324>
- [3] M. Chhowalla, D. Jena, and H. Zhang, *Nat. Rev. Mater.*, **1**, 16052 (2016).
doi: <https://doi.org/10.1038/natrevmats.2016.52>
- [4] T. Baba, N. F. Hasbullah, N. Saidin, N. A. Siddiqui, A. Üzümlü, and M. Turhal, *Trans. Electr. Electron. Mater.*, **26**, 779 (2025).
doi: <https://doi.org/10.1007/s42341-025-00668-y>
- [5] Z. Yu, Z. Y. Ong, S. Li, J. B. Xu, G. Zhang, Y. W. Zhang, Y. Shi, and X. Wang, *Adv. Funct. Mater.*, **27**, 1604093 (2017).
doi: <https://doi.org/10.1002/adfm.201604093>
- [6] B. Radisavljevic, A. Radenovic, J. Brivio, V. Giacometti, and A. Kis, *Nat. Nanotechnol.*, **6**, 147 (2011).
doi: <https://doi.org/10.1038/nnano.2010.279>
- [7] D. Park, H. Baek, C. Park, C. Lee, and J. Suh, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **38**, 233 (2025).
doi: <https://doi.org/10.4313/JKEM.2025.38.3.1>
- [8] H. G. Lee and G. Lee, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **31**, 135 (2018).
doi: <https://doi.org/10.4313/JKEM.2018.31.3.135>
- [9] E. A. Moon and P. J. Ko, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **29**, 576 (2016).
doi: <https://doi.org/10.4313/JKEM.2016.29.9.576>
- [10] M. D. Siao, W. C. Shen, R. S. Chen, Z. W. Chang, M. C. Shih, Y. P. Chiu, and C. M. Cheng, *Nat. Commun.*, **9**, 1442 (2018).
doi: <https://doi.org/10.1038/s41467-018-03824-6>
- [11] G. Arutchelvan, Q. Smets, D. Verreck, Z. Ahmed, A. Gaur, S. Sutar, J. Jussot, B. Groven, M. Heyns, D. Lin, I. Asselberghs, and I. Radu, *Sci. Rep.*, **11**, 6610 (2021).
doi: <https://doi.org/10.1038/s41598-021-85968-y>
- [12] S. B. Desai, S. R. Madhvapathy, A. B. Sachid, J. P. Llinas, Q. Wang, G. H. Ahn, G. Pitner, M. J. Kim, J. Bokor, C. Hu, H.S.P. Wong, and A. Javey, *Science*, **354**, 99 (2016).
doi: <https://doi.org/10.1126/science.aah4698>
- [13] J. Kang, W. Liu, and K. Banerjee, *Appl. Phys. Lett.*, **104**, 093106 (2014).
doi: <https://doi.org/10.1063/1.4866340>
- [14] D. K. Ban, W. H. Park, B. M. Jong, and J. Kim, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **30**, 417 (2017).
doi: <https://doi.org/10.4313/JKEM.2017.30.7.417>
- [15] J. Tang, S. Li, L. Zhan, and S. Li, *Mater. Today Electron.*, **11**, 100132 (2025).
doi: <https://doi.org/10.1016/j.mtelec.2024.100132>
- [16] P. C. Shen, C. Su, Y. Lin, A. S. Chou, C. C. Cheng, J. H. Park, M. H. Chiu, A. Y. Lu, H. L. Tang, M. M. Tavakoli, G. Pitner, X. Ji, Z. Cai, N. Mao, J. Wang, V. Tung, J. Li, J. Bokor, A. Zettl, C. I. Wu, T. Palacios, L. J. Li, and J. Kong, *Nature*, **593**, 211 (2021).
doi: <https://doi.org/10.1038/s41586-021-03472-9>
- [17] A. S. Chou, T. Wu, C. C. Cheng, S. S. Zhan, I. C. Ni, S. Y. Wang, Y. C. Chang, S. L. Liew, E. Chen, W. H. Chang, C. I. Wu, J. Cai, H.S.P. Wong, and H. Wang, *Proc. IEEE Int. Electron Devices Meeting (IEDM)* (IEEE, San Francisco, CA, USA, 2021), pp. 7.2.1–7.2.4.
doi: <https://doi.org/10.1109/IEDM19574.2021.9720608>
- [18] W. Li, X. Gong, Z. Yu, L. Ma, W. Sun, S. Gao, Ç. Köroğlu, W. Wang, L. Liu, T. Li, H. Ning, D. Fan, Y. Xu, X. Tu, T. Xu, L. Sun, W. Wang, J. Lu, Z. Ni, J. Li, X. Duan, P. Wang, Y. Nie, H. Qiu, Y. Shi, E. Pop, J. Wang, and X. Wang, *Nature*, **613**, 274 (2023).
doi: <https://doi.org/10.1038/s41586-022-05431-4>
- [19] W. H. Chang, S. Hatayama, Y. Saito, N. Okada, T. Endo, Y. Miyata, and T. Irisawa, *Adv. Electron. Mater.*, **9**, 2201091 (2023).
doi: <https://doi.org/10.1002/aelm.202201091>
- [20] Z. Zhang, J. Shang, C. Jiang, A. Rasmitta, W. Gao, and T. Yu, *Nano Lett.*, **19**, 3138 (2019).
doi: <https://doi.org/10.1021/acs.nanolett.9b00553>
- [21] A. F. Young, C. R. Dean, L. Wang, H. Ren, P. Cadden-Zimansky, K. Watanabe, T. Taniguchi, J. Hone, K. L. Shepard, and P. Kim, *Nat. Phys.*, **8**, 550 (2012).
doi: <https://doi.org/10.1038/nphys2307>
- [22] X. Han, J. Lin, J. Liu, N. Wang, and D. Pan, *J. Phys. Chem. C*, **123**, 14797 (2019).
doi: <https://doi.org/10.1021/acs.jpcc.9b02549>
- [23] M. Xu, T. Xu, A. Yu, H. Wang, H. Wang, M. Zubair, M. Luo, C. Shan, X. Guo, F. Wang, W. Hu, and Y. Zhu, *Adv. Opt. Mater.*, **9**, 2100937 (2021).
doi: <https://doi.org/10.1002/adom.202100937>
- [24] J. Yoon, W. Park, G. Y. Bae, Y. Kim, H. S. Jang, Y. Hyun, S. K. Lim, Y. H. Kahng, W. K. Hong, B. H. Lee, and H. C. Ko, *Small*, **9**, 3295 (2013).

- doi: <https://doi.org/10.1002/sml.201300134>
- [25] M. Onodera, M. Ataka, Y. Zhang, R. Moriya, K. Watanabe, T. Taniguchi, H. Toshiyoshi, and T. Machida, *ACS Appl. Mater. Interfaces*, **16**, 62481 (2024).
doi: <https://doi.org/10.1021/acsami.4c05972>
- [26] X. Song, Z. Liu, Z. Ma, Y. Hu, X. Lv, X. Li, Y. Yan, Y. Jiang, and C. Xia, *Nanophotonics*, **12**, 3671 (2023).
doi: <https://doi.org/10.1515/nanoph-2023-0398>
- [27] A. Castellanos-Gomez, M. Buscema, R. Molenaar, V. Singh, L. Janssen, H.S.J. van der Zant, and G. A. Steele, *2D Mater.*, **1**, 011002 (2014).
doi: <https://doi.org/10.1088/2053-1583/1/1/011002>
- [28] G. H. Ju, J. H. Kim, S. Y. Park, K. H. Kim, and H. E. Lee, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **37**, 241 (2024).
doi: <https://doi.org/10.4313/JKEM.2024.37.3.2>
- [29] H. Kaur, V. V. Agrawal, and R. Srivastava, arXiv: Materials Science., 1701.02476 (2017).
doi: <https://doi.org/10.48550/arXiv.1701.02476>
- [30] H. Kang, H. Kim, J. Yun, and Y. K. Lee, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **38**, 33 (2025).
doi: <https://doi.org/10.4313/JKEM.2025.38.1.4>
- [31] F. Pizzocchero, L. Gammelgaard, B. S. Jessen, J. M. Caridad, L. Wang, J. Hone, P. Bøggild, and T. J. Booth, *Nat. Commun.*, **7**, 11894 (2016).
doi: <https://doi.org/10.1038/ncomms11894>
- [32] M. S. Al Mamun, Y. Sainoo, T. Takaoka, A. Ando, and T. Komeda, *RSC Adv.*, **14**, 36517 (2024).
doi: <https://doi.org/10.1039/d4ra04820b>
- [33] J. Lee, P. J. Ko, P. G. Jung, and C. Woo, *J. Adv. Eng. Technol.*, **18**, 27 (2025).
doi: <https://doi.org/10.35272/jaet.2025.18.1.27>
- [34] W. Hu, Z. Zhang, H. Sun, Y. Zhao, Y. He, Z. Sheng, and Z. Zhang, *ACS Appl. Mater. Interfaces*, **17**, 69600 (2025).
doi: <https://doi.org/10.1021/acsami.5c17888>