

# 열처리에 의한 반도체성 탄소나노튜브의 양극성 향상 및 이를 이용한 CMOS 유사 회로 개발 연구

이정민<sup>1</sup>, 정지윤<sup>1</sup>, 백강준<sup>1,2</sup> 

<sup>1</sup> 국립부경대학교 스마트그린기술융합공학과

<sup>2</sup> 국립부경대학교 차세대반도체공학전공

## Enhanced Ambipolarity of Semiconducting Carbon Nanotubes by Thermal Annealing for High-Performance CMOS-like Circuits

Jeong-Min Lee<sup>1</sup>, Ji-Yoon Jung<sup>1</sup>, and Kang-Jun Baeg<sup>1,2</sup>

<sup>1</sup> Department of Smart Green Technology Engineering, Pukyong National University, Busan 48513, Korea

<sup>2</sup> Department of Semiconductor Engineering, Pukyong National University, Busan 48513, Korea

(Received May 17, 2025; Revised May 29, 2025; Revised June 8, 2025; Accepted June 9, 2025)

**Abstract:** With the advancement of the information society, the demand for highly integrated and multi-functional electronic devices is rapidly increasing. To meet these demands, high-performance transistors with low power consumption, high-speed operating, and mechanical flexibility are essential. Among various candidates, semiconducting single-walled carbon nanotubes (s-SWCNT)-based transistors, which exhibit intrinsically ambipolar characteristics, have emerged as promising components for CMOS-like circuits. In this study, s-SWCNT were selectively dispersed using rr-P3DDT, a thiophene-based conjugated polymer, and field-effect transistors (FETs) were fabricated by inducing directional alignment for enhanced charge transport through an off-centered spin-coating process. The electrical characteristics of the fabricated s-SWCNT FETs were evaluated under various thermal annealing conditions (100°C, 150°C, 200°C, and 250°C). Off-centered spin-coated and high temperature annealed s-SWCNT FETs exhibited high field-effect mobilities over 5 cm<sup>2</sup>/Vs in both p-type and n-type operation, along with ideal V-shaped ambipolar transfer curves. These results indicate a significant enhancement in ambipolar performance due to efficient desorption of residual oxygen and water molecules in active channel via high temperature annealing. Furthermore, CMOS-like inverter circuits demonstrated an ideal inversion voltage ( $V_{IN} = V_{DD}/2$ ) and a high voltage gain of approximately 9.5. These findings highlight the potential of SWCNT-based materials for realizing next-generation flexible electronic circuits that combine high-performance, energy efficiency, and simplified solution-processing.

**Keywords:** Single-walled carbon nanotubes, Ambipolar, CMOS-like circuits, Field-effect transistors, Thermal annealing

## 1. 서론

✉ Kang-Jun Baeg; [kangjun100@pknu.ac.kr](mailto:kangjun100@pknu.ac.kr)

Copyright ©2025 KIEEME. All rights reserved.  
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

최근 인공지능(AI), 사물인터넷(IoT), 빅데이터 등과 같은 차세대 정보통신기술들이 본격적으로 상용화되면서, 전자 소자의 고집적화와 고기능화에 대한 수요가 급격히

증가하였다. 또한 다양한 환경 조건 속에서 안정적으로 작동하면서도, 기계적 유연성과 고성능 전자적 특성을 동시에 구현할 수 있는 유연 전자 소자가 새로운 응용 분야의 핵심 플랫폼으로 자리 잡고 있다. 이에 따라, 전자소자의 저전력 구동, 고속 응답, 대면적 공정 그리고 집적화의 필요성이 부각되었으며, 이러한 요구 사항을 만족시키기 위하여, 우수한 양극성(ambipolar) 전하 수송 특성을 지닌 고성능 트랜지스터가 주목받고 있다 [1]. 전통적인 CMOS (complementary metal oxide semiconductor) 회로는 n형과 p형 반도체를 각각 제작하여 집적하여야 한다. 이에 반해 양극성 반도체는 하나의 소자 내에서 이 두가지 특성을 구현할 수 있기 때문에 구조적, 공정적, 전기적으로 다양한 이점을 가진다. 따라서, 집적화와 기능 통합 측면에서 뛰어난 이점을 제공한다. 예를 들어 전통적인 CMOS는 n형과 p형을 각각 도핑하는 등의 방법을 통해 제작하여야 해서 공정 복잡도가 증가하는 반면에 양극성 반도체는 하나의 재료로 n/p 동시동작이 가능하여 공정 간소화를 통한 비용 절감 효과가 높다 [2,3]. 또한, 동일한 채널 소재를 사용하기 때문에 소자 면적을 줄이고 더 높은 집적도 구현이 가능하며, 하나의 반도체 재료로 CMOS-like 인버터, logic gate 등을 구현할 수 있다. 특히, 양극성 반도체 소자의 구성 및 입력 조건에 따라 전하 이동 특성 및 방향을 손쉽게 바꿀 수 있으며 이는 재구성 가능한 논리 회로 구현도 가능하게 한다.

현대 정보사회를 이끌고 있는 실리콘(Si) 기반 반도체 소자들은 트랜지스터의 채널 길이가 줄어들어 따라, 단-채널 효과(short-channel effect), 양자 수율 감소, 발열 등의 다양한 난관에 직면해 있다 [4]. 이와 같은 실리콘 기반 반도체 소자들의 문제는 더 이상 무어의 법칙에 따른 성능 향상만을 기대하기는 어려우며, 새로운 물질, 새로운 소자 구조 개발을 필요로 한다. 이 때문에 우수한 유연성, 저전력 구동, 높은 광 응답성 그리고 공정 편리성을 갖춘 유기반도체 [5,6], 이차원 나노소재(2D nano-material) [7], 반도체성 단일벽 탄소나노튜브(s-SWCNT) [8,19] 등이 실리콘을 대체할 수 있는 소재로서 각광받고 있다. 이러한 신규 반도체 소재들은 저온 또는 용액 공정이 가능하여 대면적 인쇄 공정을 통한 플렉서블 전자기기 구현이 용이하다. 특히, 유기반도체나 s-SWCNT 등의 경우 진성적으로 전자와 정공의 이동 특성을 모두 가지는 양극성 반도체 특성이 나타나며, 이를 활용할 경우 기계적 유연성이 매우 뛰어난 차세대 플렉서블 전자회로 구현에 적합하다.

SWCNT는 뛰어난 전기 전도성을 가지고 있으며, 유연성과 기계적 안정성을 통해 전계-효과 트랜지스터, NIR 검출기, 전기화학 센서, 디스플레이 및 이차전지의 전극

등으로 다양한 분야에서 매우 유망한 소재로 여겨지고 있다 [8-10]. 전기 방전법, 열화학기상법 등으로 합성된 SWCNT는 통상적으로 키랄성(chirality)이 다른 1/3의 금속성 탄소나노튜브(m-SWCNT)와 2/3의 반도체성 탄소나노튜브(s-SWCNT)로 이루어져 있다 [11]. 수십억 개의 트랜지스터가 집적화되는 반도체 소자에서는 매우 작은 양의 금속성을 가진 소재가 포함되어 있으면, 전체 소자의 성능을 저하시킬 수 있다. 특히 금속성 탄소나노튜브가 포함된 트랜지스터의 경우, 온/오프 점멸비(on/off-current ratio)를 크게 낮추어 스위칭 특성을 저하시킨다 [9,12]. 따라서 SWCNT를 전자 소자에 사용할 때에는 s-SWCNT의 선택적 사용이 반드시 필요하다. 이처럼 s-SWCNT 단독 사용을 위한 방법으로 s-SWCNT만을 선택적으로 성장시키거나, 밀도 구배 초원심분리법(density gradient ultracentrifugation) [13,19], 전기영동(electrophoresis) [14], 표면 기능화(surface functionalization) [15] 및 고분자 랩핑(polymer wrapping) [17,18] 등의 다양한 정제 및 분리 기법들이 제시되어 있다.

일반적으로 합성된 SWCNT는 물이나 유기 용매에 녹지 않으며, 입자 간의 강한 반데르 발스 힘(van der Waals)이나 점유적 구조로 인해 서로 강하게 응집되는 형태로 나타난다. 이러한 응집은 구조적, 물성적 불균일을 일으키며 전자 소자에도 매우 치명적인 요인으로 여겨지고 있다. SWCNT의 얽힘 및 응집을 방지하기 위해 용매 분산 과정으로 초음파 분산, 고압 분산, 계면활성제 및 고분자 재료를 사용하여 표면 화학반응을 유도하거나 물리적인 흡착을 유도하는 등의 방법을 사용하지만, 통상적인 방법에 의한 분산 유도는 탄소나노튜브 표면에 구조적 결함(structural defects)을 유발하며, 이는 미세 전자소자의 전기적 성능에 큰 영향을 미칠 수 있다 [16]. 또한 계면활성제 사용은 추후 완전한 제거가 이루어 지지 않을 시 전도성 경로를 방해하며, 불균일한 필름 형성을 초래하기도 한다. 따라서, 반도체성 SWCNT를 선택적으로 분리/분산하기 위한 방법으로, 공액 고분자를 활용해 SWCNT 표면을 감싸 물리적인 응집을 막는 기술이 매우 유망하다 [17]. 현재 정확한 원인 규명에 대해서는 추가적인 연구가 필요한 상황이지만 공액 고분자의 파이( $\pi$ ) 전자와 SWCNT 표면의  $\pi$  전자와의 상호작용으로 인해 선택적으로 반도체성 SWCNT만 분리되는 것으로 파악된다.

본 연구에서는 공액 구조의 고분자를 활용해 반도체성 SWCNT를 성공적으로 분리/분산하였다. 1차원 구조의 SWCNT의 특성을 고려한 정렬된 채널 층 형성을 위해 off-centered 스핀-코팅 방법을 통해 높은 성능의 SWCNT-FETs를 제작하였다. SWCNT의 경우 진성적으

로 양극성 특성을 가짐에도 불구하고 제조된 SWCNT FET 소자의 경우 p형 특성이 n형보다 상대적으로 높은 비대칭성을 나타낸다. 이는 SWCNT 분리/분산 과정에서 공기 중의 산소와 수분에 의해 전자 트랩이 발생하였기 때문인 것으로 파악되며, 이를 개선하기 위해 높은 온도의 열처리를 통해 양극성을 회복할 수 있었다. 우수한 양극성을 나타내는 s-SWCNT FET를 개발하고 이를 집적하여 CMOS-like inverter를 성공적으로 구현하였다. 이를 통해 양극성 s-SWCNT를 활용한 고성능 플렉서블 전자소자 및 회로 구현을 위한 가능성을 확인하였다.

## 2. 실험 방법

본 연구에서는 s-SWCNT를 선택적으로 분산하고 결함 없는 전하 수송 능력 향상을 이끌어내기 위해 공액성 고분자 반도체를 활용한 분산 기법을 사용하였다. 곁가지(side chain)의 밀도가 높은 싸이오펜(thiophene) 계열의 정렬된 rr-P3DDT (regioregular poly(3-dodecylthiophene-2,5-diyl)) 유기반도체 10 mg과 SWCNT(HiPco, Nano Integris, diameter = 0.8-1.2 nm) 10 mg을 Toluene용매에 혼합하여 30분간 25°C의 온도를 유지하며 초음파 분산하였다. 이후 금속성 CNT를 제거하기 위하여 고속원심 분리(15,000 rpm, 30분)를 진행하고, 상층액만 추출하여 순수한 반도체성 탄소나노튜브 분산액을 얻을 수 있었다.

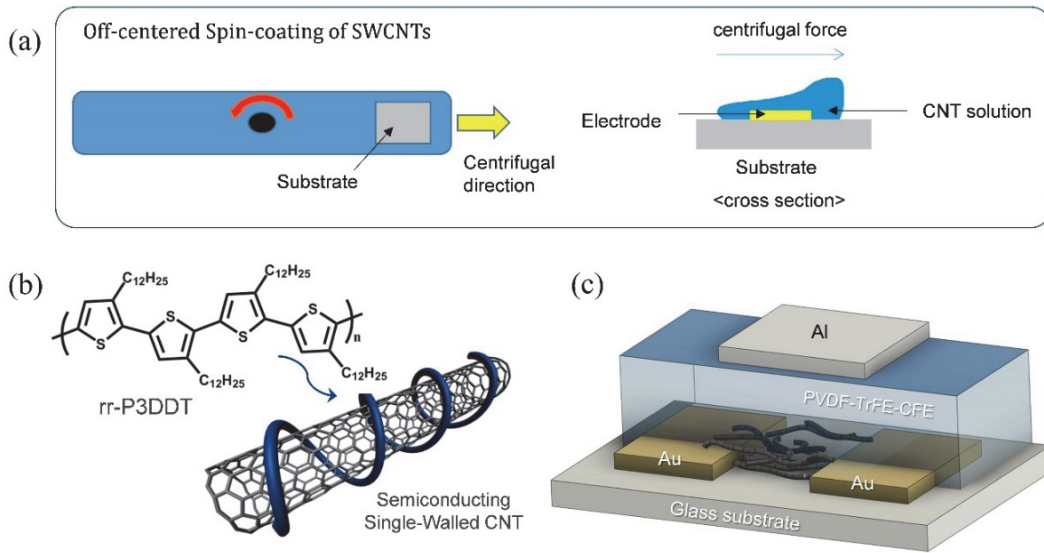
s-SWCNT 전계-효과 트랜지스터(FET)를 제작을 위하여 포토-리소그래피 공정을 통해 형성한 1 mm 넓이, 5  $\mu$ m 길이의 소스-드레인 전극(source-drain, Ni: 3 nm, Au: 15 nm)이 있는 유리기판을 사용하였다. 제조된 기판은 아세톤, 이소프로필알코올(IPA), 초순수(DI-H<sub>2</sub>O)를 사용하여 각 10분간 초음파 수조에서 세척공정을 진행한 후, 80°C의 오븐에서 30분간 잔여 용매를 제거해주었다. 이후 UV-O<sub>3</sub> cleaner를 통해 30분간 표면의 잔류 유기물을 제거하며 동시에 표면에너지를 증가시켰다. 제조된 s-SWCNT 분산액은 오프-센터 스피닝 코팅 방법을 통해 중심으로부터 약 15 mm 떨어진 지점에서 2,000 rpm의 회전속도로 60 s 동안 박막을 형성하였다. 고성능의 CMOS 유사회로 구현을 위해서는 고성능 양극성 반도체 동작이 기반이 되어야 한다. 따라서, n형과 p형의 균형 있는 동작과 함께 높은 전계-효과 이동도(field-effect mobilities)를 가져야 하고, 이를 위해 소스-드레인 전극 사이에 반도체 물질의 무작위 정렬이 아닌 평행한 정렬을 유도하여 원활한 전하 수송을 유도하여야 한다. 이러한 관점에서 오프-센터 스피닝 코팅 방법은 일반적인 스피닝 코팅 방법보다 원심력에 큰 영

향을 받고, 회전 반경에 따른 유체 흐름의 차이로 CNT나 고분자 반도체 사슬 등의 정렬(alignment)을 유도할 수 있다 [22]. 오프-센터 스피닝 코팅에 대한 간단한 그림을 그림 1(a)에 나타냈다. 이후 핫-플레이트를 사용하여 100°C, 150°C, 200°C 그리고 250°C에서 약 1시간 동안 열처리하여 잔류 용매를 제거하고, 결정성을 향상시키고자 하였다. 이 과정은 산소(O<sub>2</sub>) 및 수분(H<sub>2</sub>O)의 농도가 1 ppm 이하로 유지된 질소분위기의 글로브박스 내부에서 수행하였다.

게이트 절연체로는 30 nF/cm<sup>2</sup>의 높은 정전용량을 가지고 있는 불소계 고분자인 poly(vinylidene fluoride-trifluoroethylene-chlorotrifluoroethylene) (PVDF-TrFE-CFE)를 Acetonitrile 용매에 30 mg/ml로 완전히 용해한 뒤, 온-센터 스피닝 코팅 방법을 통하여 반도체 박막 위에 코팅하였다. 이후 열 증착 공정을 통해 40 nm의 알루미늄 게이트 전극을 증착하여 최종적으로 s-SWCNT FETs를 제작하였다. 제작한 제작된 FET 소자의 전기적 성능인 전달곡선(transfer plot, 드레인 전류 I<sub>D</sub> vs 게이트 전압 V<sub>G</sub>)와 CMOS 유사 인버터 회로의 입력전압(V<sub>IN</sub>)에 따른 출력전압(V<sub>OUT</sub>)과 그에 따른 이득 특성(Gain-V<sub>IN</sub>)은 질소(N<sub>2</sub>) 분위기의 글러브 박스 내부에 설치된 Probe station (MS Tech, Korea)와 반도체 특성분석 장비인 Kithley 4200-SCS(Agilent, USA)를 사용하여 측정하였다. 이를 위해 드레인 전압(V<sub>D</sub>)를 p형 동작에서는 -2 V와 -6 V로 고정하였으며, n형 동작에서는 +2 V와 +6 V로 고정한 뒤, 게이트 전압(V<sub>G</sub>)를 각각 +2 V에서 -8 V까지, -2 V에서 +8 V까지 영역에서 0.1 V 간격으로 전압을 가해 주었다.

## 3. 결과 및 고찰

본 연구에서는 고분자 래핑(wrapping) 기법을 통해 선택적으로 분산된 s-SWCNT를 반도체 활성층으로 사용한 FET를 제작하고, 열처리 조건 변화에 따른 전기적 특성의 변화를 분석하였다. 그림 1(b)에는 본 연구에 활성층에 사용된 Thiophene 계열의 유기반도체(rr-P3DDT)가 SWCNT를 나선형으로 감싸 분자 간 물리적 응집을 막고, 안정적인 분산을 유도하는 구조를 도식화하였다. rr-P3DDT와 같은 Thiophene 계열의 고분자는 곁사슬이 길고, 안정적인  $\pi$ - $\pi$  상호작용을 유도하여 SWCNT의 분산성 향상을 도우며, 결함 없이 전하수송에 유리한 특성을 가진 반도체성 SWCNT 만을 선택적으로 분산시킨다 [20]. 또한 분산제나 계면활성제와는 다르게 후처리 혹은 제거 공정 없이, 복합체 박막 형태로 열처리 이후에도 잔존하는 rr-P3DDT가 전하 수송에 기여할 수 있다. 최종적으로 제작된 s-SWCNT



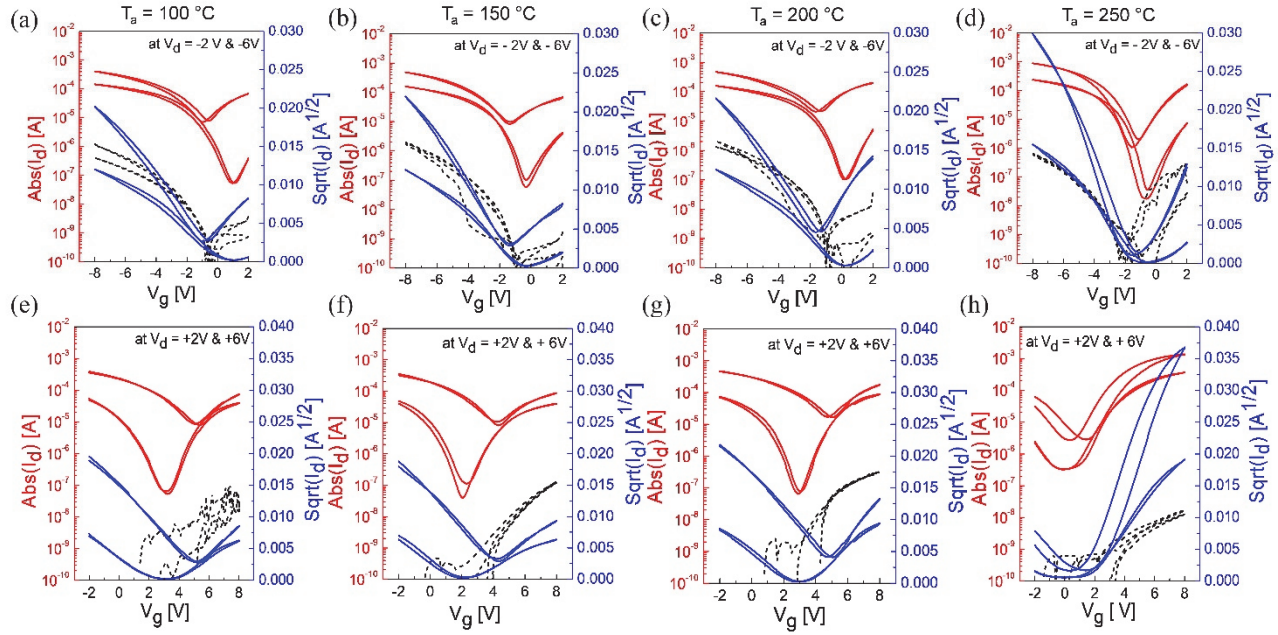
**Fig. 1.** (a) Schematic illustration of the off-centered spin-coating process showing the direction of centrifugal force, (b) chemical structure of rr-P3DDT and its helical wrapping around a semiconducting single-walled carbon nanotube (s-SWCNT), and (c) device architecture of s-SWCNT-based FETs with a bottom-contact/top-gate structure using PVDF-TrFE-CFE as the gate dielectric.

FET 소자의 구조를 그림 1(c)에 나타내었다. 유리기판 상에 증착된 금속 source/drain 전극(Au) 위에 rr-P3DDT로 감싸진 SWCNT 필름이 오프-센터 스핀 코팅 공정을 통해 정렬된 구조로 형성되었으며, 그 위에 고유전율 유전체인 PVDF-TrFE-CFE 불소계 고분자 박막을 형성하며, 최종적으로 상부에 알루미늄 게이트 전극이 증착된 top-gate/bottom-contact(TG/BC) 구조를 갖는 전계효과 트랜지스터를 제작하였다. 제작된 소자의 활성층에 사용된 SWCNT는 원자 수준의 정렬성과 높은 이동도를 가지고 있어 전계 효과가 매우 우수하다. 일반적인 유기반도체보다 낮은 밴드갭을 가지며, 표면 민감도가 높고, 유전체와의 접촉된 계면이 작기 때문에 고유전율의 유전체를 사용하여 낮은 전압 구동 조건에서 높은 특성을 유도하였다.

그림 2에는 열처리 온도에 따른 s-SWCNT FETs의 transfer plots의 변화를 나타냈으며, 표 1에 각 소자 별 전계-효과 이동도(field-effect mobility), 문턱전압(threshold voltage) 그리고 온/오프 점멸비(on/off ratio)와 같은 전기적 파라미터를 나타냈다. 그림 2(a-d)는 제작된 소자의 열처리 온도 별 p형 동작( $V_d = -2\text{ V}, -6\text{ V}$ )의 전기적 특성을 측정하였으며, 그림 2(e-f)에는 열처리 온도 별 n형 동작( $V_d = +2\text{ V}, +6\text{ V}$ )의 전기적 특성을 측정하였다. 그림 2(a)와 2(e)의 100°C에서 열처리한 소자의 전기적 특성에서 p형 동작의 전계-효과 이동도는 3.7 cm<sup>2</sup>/Vs이며, n형은 1.8 cm<sup>2</sup>/Vs로 2배 이상의 차이를 보여주었으며, 특히, n형 동작의 문턱전압은 +4.42 V로 비교적 높게 나타

났다. 이러한 p형 우세인 전기적 특성은 일반적인 공기 중에서 측정된 SWCNT 기반의 트랜지스터에서 흔하게 나타나는데, p형 유기반도체인 rr-P3DDT와 공기 중 수분과 산소의 영향을 받아 p형 동작을 우세적으로 하는 것이다 [21]. 따라서, n형 SWCNT FET 특성 구현을 위해 진공에서 측정하거나 도핑을 통해 n형 특성을 향상시키기 위한 연구가 수행되어왔다. 이러한 방법은 특수한 측정 조건을 요구하거나 번거롭고 세밀한 분자/표면 도핑 기술이 필요하여 SWCNT의 상용성에 문제점을 가질 수 있다.

본 연구에서는 n형 특성 향상을 통한 양극성 SWCNT FET 구현을 위해 기존에 많이 시도된 도핑 기술이 아닌 통상적인 소자 제작 조건에서 단순하게 수행할 수 있는 열처리 공정에 의한 반도체 특성 변화를 유도하였다. 그림 2에서 보는 바와 같이, 열처리 온도가 증가함에 따라 점진적으로 n형 특성이 향상되는 것을 알 수 있으며, p형 우세 FET에서 n형과 p형이 동시에 우수한 ambipolar 특성을 나타내는 이상적인 V형상의 transfer plot을 확인할 수 있었다. 특히, 250°C로 열처리를 진행한 s-SWCNT FET 소자의 경우 그림 2(d)의 p형 전계효과 이동도와 그림 2(f)의 n형 전계효과 이동도는 모두 5 cm<sup>2</sup>/Vs 이상으로 높고 유사한 값을 나타냈다. 열처리 온도가 증가함에 따라 n형 동작의 전계효과 이동도가 100°C의 열처리 조건 하에 1.8 cm<sup>2</sup>/Vs에서 250°C의 조건에서 5.38 cm<sup>2</sup>/Vs로 약 3배가량 증가하였다. 또한, 문턱전압은 4.42 V에서 1.99 V로 크게 감소하며 n형 동작의 전기적 성능 증가를 나타냈다.



**Fig. 2.** Transfer characteristics ( $I_d$  vs  $V_g$ ) of rr-P3DDT-wrapped semiconducting SWCNT FETs annealed at (a, e) 100°C, (b, f) 150°C, (c, g) 200°C, and (d, h) 250°C. (a–d) show p-type operation measured at  $V_d = -2$  V and  $-6$  V, while (e–h) show n-type operation at  $V_d = +2$  V and  $+6$  V.

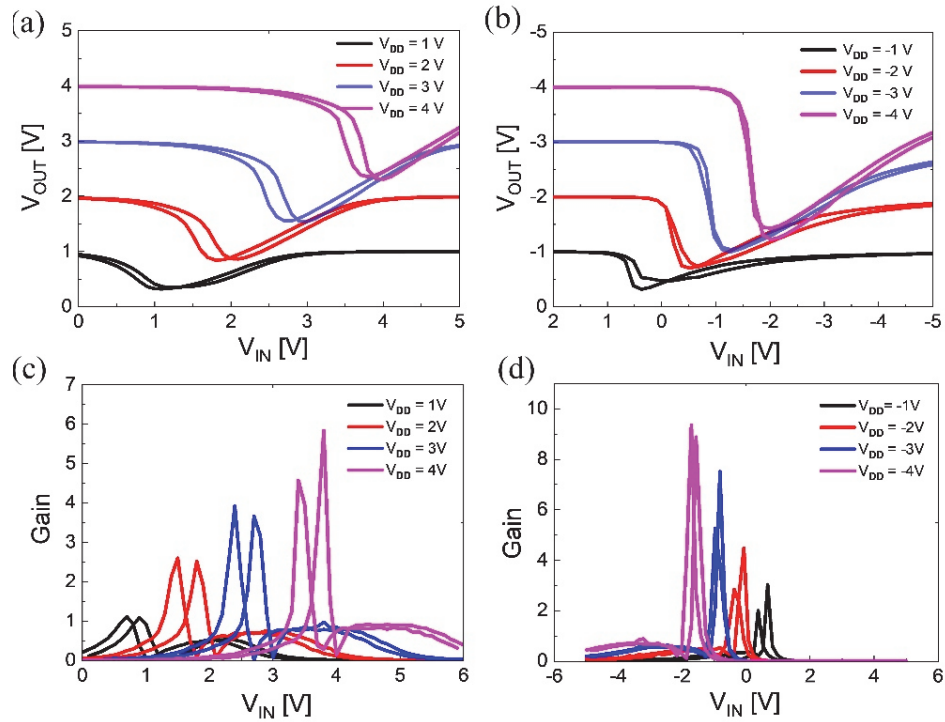
**Table 1.** Fundamental device parameters of FETs using s-SWCNTs exhibiting different types of behavior (p-channel and n-channel) under different annealing temperatures (100°C, 150°C, 200°C, and 250°C), including linear mobilities, threshold voltages ( $V_{th}$ ), and ON/OFF ratios.

Semiconductors	Annealing temp. [°C]	Types	Lin. mobility [cm <sup>2</sup> /Vs]	Threshold voltage [V]	On/off ratio
s-SWCNT	100°C	P-channel	3.7 ± 0.2	0.14	2.7 × 10 <sup>3</sup>
		N-channel	1.8 ± 0.6	4.42	1.0 × 10 <sup>3</sup>
	150°C	P-channel	4.8 ± 0.8	-0.61	2.7 × 10 <sup>3</sup>
		N-channel	1.3 ± 0.5	2.88	1.2 × 10 <sup>3</sup>
	200°C	P-channel	4.3 ± 0.7	-0.2	1.5 × 10 <sup>3</sup>
		N-channel	5.3 ± 1.2	4.00	1.4 × 10 <sup>3</sup>
	250°C	P-channel	5.0 ± 1.9	-0.89	1.4 × 10 <sup>4</sup>
		N-channel	5.4 ± 0.5	1.99	1.1 × 10 <sup>3</sup>

이러한 열처리 온도 상승에 따른 n형 동작의 전기적 성능의 증가는 높은 열처리 온도 조건에서 SWCNT 표면에 흡착된 산소나 수분의 제거를 통해 -OH 기능기를 감소시켜 SWCNT 전하 수송 경로 상의 전자 트랩(trap)을 감소시켰기 때문으로 볼 수 있다 [21]. On/Off 점멸비는 열처리 조건에 따른 SWCNT FET 소자들 모두 큰 차이가 나타나지 않았으며, 이는 열처리로 인해 활성층에 가해지는 물리적

/화학적 손상이 나타나지 않으면서 n형 동작의 전기적 성능의 증가로 인해 우수한 양극성 트랜지스터로 사용가능함을 나타낸다.

전계-효과 트랜지스터의 양극성(ambipolar) 동작은 CMOS 유사회로를 구현하는 데 매우 중요한 역할을 한다. 전통적인 CMOS는 p형과 n형 반도체 소재를 별도로 활용하여 소자를 구현하여 상보적 구동을 통해 노이즈 마진을



**Fig. 3.** (a, b) Static characteristics ( $V_{IN}$  vs  $V_{OUT}$ ) and (c, d) corresponding voltage gain ( $V_{IN}$  vs Gain) characteristics of CMOS-like inverter circuits fabricated using rr-P3DDT-wrapped semiconducting SWCNT FETs at various values of  $V_{DD}$  ranging from  $\pm 1$  V  $\sim$   $\pm 4$  V. Devices were annealed at (a, c)  $150^\circ\text{C}$  and (b, d)  $250^\circ\text{C}$ , respectively.

높고 높은 이득과 전력 소모를 최소화하는 방식으로 작동한다. 이에 반해 양극성 회로는 하나의 소자에서 정공과 전자 모두를 효율적으로 운반할 수 있는 특성을 갖도록 한다. 이렇게 하면 별도의 p형 및 n형 재료의 개발이나 도핑 등의 추가 공정 없이 동일한 재료를 기반으로 CMOS와 유사한 전자회로를 구현할 수 있다. 따라서 공정 단순화와 소자의 집적도를 향상시키는 데 크게 기여할 수 있다. 본 연구에서는 rr-P3DDT로 감싸진 반도체성 SWCNT를 활성층으로 사용하고, 고온의 열처리를 통해 n형 동작 특성을 크게 향상시켜 전자와 정공 모두의 전계효과 이동도 균형을 확보하여 우수한 양극성 특성을 구현하였다. 동일한 반도체 소재를 활용해 CMOS 유사 인버터 회로를 구현하였다.

그림 3은  $150^\circ\text{C}$ 와  $250^\circ\text{C}$ 의 열처리 조건에서 입력전압에 따른 출력전압과 그에 따른 이득(gain) 특성을 0 V에서 5 V, 그리고 2 V에서 -5 V의 전압 범위에서 측정된 값을 나타낸다. n형과 p형의 동작 균형을 이루는 이상적인 CMOS 인버터는 입력전압과 출력전압이 동일한 ( $V_{OUT} = V_{IN}$ ) 지점에서 반전이 발생되며, 반전전압( $V_{inv}$ )이 공급전압( $V_{DD}$ )의 절반( $V_{DD}/2$ ) 지점에 위치해야 한다 [22]. 먼저 그림 3(a)에서 보이는 바와 같이,  $150^\circ\text{C}$ 의 열처리 조건에

서 제작된 s-SWCNT 인버터의 전압 전달 곡선은  $V_{DD} = 1$  V에서 4 V 모든 공급전압 조건에서 반전 전압이 양의 방향으로 치우쳐진 형태를 볼 수 있다. 이는  $150^\circ\text{C}$  까지의 열처리 온도에서는 트랜지스터의 p형 동작이 n형에 비해 상대적으로 우세하기 때문이다. 또한, 최대 전압 이득(gain) 값은 6.0으로 비교적 낮게 나타났으며, 이는 스위칭 시 출력이 제한적임을 의미한다. 반면  $250^\circ\text{C}$ 에서 열처리한 CMOS 유사회로의 경우, -1 V에서 -4 V의 범위 모두에서 반전전압( $V_{inv}$ )이 이상적인 값인  $1/2 V_{DD}$  근처에 위치함을 알 수 있고, 최대 전압 이득 또한 약 9.5로 증가됨을 보인다. 이러한 결과는 단순한 열처리를 통해서도 s-SWCNT 소자의 n형 채널 성능이 크게 향상되어 나타날 수 있고, n형과 p형 동작을 균형 있게 이루는 이상적인 양극성 동작을 구현할 수 있음을 나타낸다. 이는 기존 n형과 p형의 상보적 구동을 통해 작동하던 일반적인 CMOS와 달리 단일 반도체 소재만으로 CMOS와 매우 유사하고 정밀한 동작을 할 수 있음을 나타낸다. 이러한 접근 방식은 재료 선택과 공장 복잡성을 획기적으로 줄일 수 있으며, 결과적으로 공정의 단순화와 비용 절감 등의 효과를 동시에 기대할 수 있다.

#### 4. 결론

본 연구에서는 Thiophene 계열 유기 반도체 물질인 rr-P3DDT를 이용한 고분자 래핑 기술을 통해 s-SWCNT를 선택적으로 분리/분산하고, 오프-센터 스핀 코팅 공정을 이용해 전하 수송에 유리한 방향으로 정렬을 유도한 고성능 SWCNT FET 소자를 제작하였다. 일반적인 SWCNT는 p형이 n형에 비해 우세한 단일 극성을 나타내는데, 이는 SWCNT 고유의 양극성 전하이동 특성을 저해하는 흡착된 수분이나 산소와 같은 외부적인 요인에 의한 것이다. 따라서, 단순한 열처리 공정을 통해서도 고유의 전기적 특성을 회복할 수 있는 방법을 고안하여 소자의 전기적 특성분석을 진행하였다. 그 결과 초기 100°C에서 열처리된 소자는 비교적 낮은 전계-효과 이동도인 1.8 cm<sup>2</sup>/Vs를 보이는 데에 비해 250°C에서 열처리된 소자는 약 3배 정도인 5.38 cm<sup>2</sup>/Vs로 크게 증가함을 나타냈다. 250°C 정도의 고온 열처리를 통하면 SWCNT 표면의 수분과 산소를 완전히 제거할 수 있고, 이를 통해 전자 트랩을 줄여 FET의 n형 동작의 전기적 성능 향상을 이끌어낼 수 있음을 보여준다. 결과적으로, p형 동작과 n형 동작 모두에서 5 cm<sup>2</sup>/Vs 이상의 높은 전하이동도 뿐만 아니라, 전자와 정공 이동의 불균형을 해소한 균형 잡힌 양극성 특성을 확보하였다. 동일한 방법으로 제작된 CMOS 유사 인버터 회로에서도 이상적인 반전 전압과 9.5의 높은 이득을 얻을 수 있었다. 또한, 손쉬운 용액 공정을 통해 공액구조 고분자 반도체로 감싸진 SWCNT의 정렬성을 유도하는 방법의 추가적인 도입은 차세대 유연 전자 장치의 고성능화를 달성하는데 활용될 수 있을 것으로 기대된다. 본 연구를 통해 기존 n형 및 p형 MOSFET 기반의 CMOS 구조에 의존하지 않고 SWCNT와 같은 단일 반도체 소재를 기반으로 우수한 성능의 다양한 논리회로 또는 재구성 가능한 회로를 구현할 수 있음을 보여준다. 향후 인쇄전자 및 유연 전자 회로 분야에서 고성능 양극성 반도체 소자의 개발을 통해 다양한 집적회로를 개발하는데 활용될 수 있을 것으로 기대한다.

#### ORCID

Kang-Jun Baeg

<https://orcid.org/0000-0001-7821-2458>

#### 감사의 글

이 논문은 2023학년도 국립부경대학교 자율창의연구 지원사업에 의하여 연구되었음.

#### REFERENCES

- [1] S. Z. Bisri, C. Piliago, J. Gao, and M. A. Loi, *Adv. Mater.*, **26**, 1176 (2014).  
doi: <https://doi.org/10.1002/adma.201304280>
- [2] Y. J. Kim, S. Biswas, J. H. Song, S. Song, Y. H. Kim, H. Kim, and J. Kwak, *J. Mater. Chem. C*, **11**, 11920 (2023).  
doi: <https://doi.org/10.1039/D3TC02318D>
- [3] K. J. Baeg, M. Caironi, and Y. Y. Noh, *Adv. Mater.*, **25**, 4210 (2013).  
doi: <https://doi.org/10.1002/adma.201205361>
- [4] A. Chaudhry and M. J. Kumar, *IEEE Trans. Device Mater. Reliab.*, **4**, 99 (2004).  
doi: <https://doi.org/10.1109/TDMR.2004.824359>
- [5] Q. Zhang, W. Hu, H. Sirringhaus, and K. Müllen, *Adv. Mater.*, **34**, 2108701 (2022).  
doi: <https://doi.org/10.1002/adma.202108701>
- [6] T. Park, M. Kim, E. K. Lee, J. Hur, and H. Yoo, *Small*, **20**, 2306468 (2024).  
doi: <https://doi.org/10.1002/sml.202306468>
- [7] M. C. Lemme, D. Akinwande, C. Huyghebaert, and C. Stampfer, *Nat. Commun.*, **13**, 1392 (2022).  
doi: <https://doi.org/10.1038/s41467-022-29001-4>
- [8] A. D. Franklin, M. C. Hersam, and H. S. P. Wong, *Science*, **378**, 726 (2022).  
doi: <https://doi.org/10.1126/science.abp8278>
- [9] Y. Sun, J. Zhu, W. Yi, Y. Wei, X. Zhou, P. Zhang, Y. Liu, P. Li, Y. Lei, and X. Ma, *J. Appl. Phys.*, **134**, 230701 (2023).  
doi: <https://doi.org/10.1063/5.0172970>
- [10] S. Rathinavel, K. Priyadharshini, and D. Panda, *Mater. Sci. Eng. B*, **268**, 115095 (2021).  
doi: <https://doi.org/10.1016/j.mseb.2021.115095>
- [11] L. Cao, Y. Li, Y. Liu, J. Zhao, Z. Nan, W. Xiao, S. Qiu, L. Kang, H. Jin, and Q. Li, *ACS Nano*, **18**, 3783 (2024).  
doi: <https://doi.org/10.1021/acsnano.3c11921>
- [12] A. Javey, J. Guo, Q. Wang, M. Lundstrom, and H. Dai, *Nature*, **424**, 654 (2003).  
doi: <https://doi.org/10.1038/nature01797>
- [13] S. Ghosh, S. M. Bachilo, and R. B. Weisman, *Nat. Nanotechnol.*, **5**, 443 (2010).  
doi: <https://doi.org/10.1038/nnano.2010.68>
- [14] S. Mesgari, A. K. Sundramoorthy, L. S. Loo, and M. B. Chan-Park, *Faraday Discuss.*, **173**, 351 (2014).  
doi: <https://doi.org/10.1039/C4FD00092G>
- [15] M. S. Strano, C. A. Dyke, M. L. Usrey, P. W. Barone, M. J. Allen, H. W. Shan, C. Kittrell, R. H. Hauge, J. M. Tour, and R. E. Smalley, *Science*, **301**, 1519 (2003).  
doi: <https://doi.org/10.1126/science.1087691>
- [16] W. Dai, J. Wang, X. Gan, H. Wang, X. Su, and C. Xi, *Colloids Surf. A*, **589**, 124369 (2020).  
doi: <https://doi.org/10.1016/j.colsurfa.2019.124369>

- [17] W. Gomulya, G. D. Costanzo, E. J. F. de Carvalho, S. Z. Bisri, V. Derenskyi, M. Fritsch, N. Fröhlich, S. Allard, P. Gordiichuk, A. Herrmann, S. J. Marrink, M. C. dos Santos, U. Scherf, and M. A. Loi, *Adv. Mater.*, **25**, 2948 (2013).  
doi: <https://doi.org/10.1002/adma.201300267>
- [18] J. M. Salazar-Rios, W. Talsma, V. Derenskyi, W. Gomulya, T. Keller, M. Fritsch, S. Kowalski, E. Preis, M. Wang, S. Allard, G. C. Bazan, U. Scherf, M. C. dos Santos, and M. A. Loi, *Small Methods*, **2**, 1700335 (2018).  
doi: <https://doi.org/10.1002/smt.201700335>
- [19] A. A. Green and M. C. Hersam, *Adv. Mater.*, **23**, 2185 (2011).  
doi: <https://doi.org/10.1002/adma.201100034>
- [20] H. W. Lee, Y. Yoon, S. Park, J. H. Oh, S. Hong, L. S. Liyanage, H. Wang, S. Morishita, N. Patil, Y. J. Park, J. J. Park, A. Spakowitz, G. Galli, F. Gygi, P. H.-S. Wong, J. B. H. Tok, J. M. Kim, and Z. Bao, *Nat. Commun.*, **2**, 541 (2011).  
doi: <https://doi.org/10.1038/ncomms1545>
- [21] V. Derycke, R. Martel, J. Appenzeller, and P. Avouris, *Appl. Phys. Lett.*, **80**, 2773 (2002).  
doi: <https://doi.org/10.1063/1.1467702>
- [22] N. K. Kim, S. Y. Jang, G. Pace, M. Caironi, W. T. Park, D. Khim, J. Kim, D. Y. Kim, and Y. Y. Noh, *Chem. Mater.*, **27**, 8345 (2015).  
doi: <https://doi.org/10.1021/acs.chemmater.5b03775>