


Nanosheet Tunneling FETs의 양극성 전류 감소를 위한 이종 게이트 절연막의 적용

김아영¹, 방다은¹, 박호준¹, 길태현¹, 연주원¹, 이문권¹,
윤의철¹, 김민우¹, 전수진¹, 김문석², 박준영^{1,3} 

¹충북대학교 전자공학

²국립한밭대학교 반도체시스템공학과

³주식회사 파크랩세미컨덕터

Study on Hetero Gate Dielectrics to Reduce Ambipolar Current in Nanosheet Tunneling FETs

A-Young Kim¹, Da-Eun Bang¹, Hyo-Jun Park¹, Tae-Hyun Kil¹, Ju-Won Yeon¹, Moon-Kwon Lee¹,
Eui-Cheol Yun¹, Min-Woo Kim¹, Su-Jin Jeon¹, Moon-Seok Kim², and Jun-Young Park^{1,3}

¹ School of Electronics Engineering, Chungbuk National University, Cheongju 28644, Korea

² Department of Semiconductor System Engineering, Hanbat National University, Daejeon 34158, Korea

³ ParkLab Semiconductor Inc., Cheongju 28644, Korea

(Received December 22, 2024; Revised January 16, 2025; Accepted January 21, 2025)

Abstract: Aggressive device scaling has severely degraded the switching characteristics of CMOS transistors. This issue has led to the development of tunneling FETs (TFETs) as an alternative. TFETs, with their asymmetric doping of the source and drain regions, offer improved subthreshold swing (SS) compared to conventional MOSFETs. However, despite this advantage, TFETs still suffer from ambipolar current, which increases off-state current (I_{OFF}). This paper introduces an approach to applying hetero gate dielectrics (HGDs) in nanosheet (NS) TFETs to reduce ambipolar current characteristics. The magnitude of the drain electric field is reduced by selectively forming a high- k dielectric near the source region. This configuration allows the TFETs to avoid unintended band-to-band tunneling (BTBT) and suppress ambipolar current during the off-state.

Keywords: Hetero gate dielectrics (HGDs), Nanosheet tunneling FETs (NS TFETs), Reliability, Short-channel effects (SCEs), Simulation, Subthreshold swing

1. 서론

✉ Jun-Young Park; junyoung@cbn.ac.kr

A-Young Kim and Da-Eun Bang contributed equally to this work.

Copyright ©2025 KIEEME. All rights reserved.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

금속 산화막 반도체 전계효과 트랜지스터(metal-oxide-semiconductor field-effect transistors, MOSFETs) 반도체소자는 높은 집적도와 향상된 출력속도를 위하여, 지속적으로 소형화되고 있다 [1]. 하지만 반도체소자의 소

형화는 drain-induced barrier lowering (DIBL)과 같은 단채널 효과(short-channel effects, SCEs)에 대한 우려를 증가시킨다. 특히, 게이트 통제력(gate controllability)을 약화시킴으로써, 소자의 문턱 전압 이하 스윙(sub-threshold swing, SS) 및 칩의 대기전력(static power)을 증가시킨다 [2].

이와 같은 단채널 효과를 극복하고자, 기존의 드리프트(drift)에 의한 소자 동작이 아닌, 터널링(tunneling)을 기반으로 동작하는 터널링 전계효과 트랜지스터(tunneling FETs, TFETs) 소자가 개발되었다 [3]. 기존 MOSFETs의 문턱 전압 이하 스윙 값이 이론적으로 60 mV/dec에서 제한되는 것과 달리, TFETs의 경우 더 낮은 값 구현이 가능하다 [4]. 따라서, 이와 같은 TFETs 소자가 칩 제조에 적용된다면, 더 낮은 대기전력을 구현할 수 있다.

하지만, 이와 같은 TFETs 소자는 여러가지의 기술적 한계로 인하여, 양산적용에 어려움을 지니고 있다. 먼저, 소수 캐리어의 터널링 메커니즘에 의존하여 전류가 흐르기 때문에, 기존 드리프트 MOSFETs보다 ON 전류(on-state current, I_{ON})가 100~1,000배 가량 더 낮다 [5]. 이와 같은 단점을 개선하기 위하여, 나노시트 터널링 전계효과 트랜지스터(nanosheet tunneling FETs, NS TFETs)가 소개된 바 있다 [6-8]. 이러한 NS TFETs은 다수의 나노시트(nanosheet)가 지닌 넓은 표면적으로 인하여 소자의 출력 전류가 개선된 것이 특징이다. 하지만, 이러한 NS TFETs 또한 여전히 높은 양극성 전류(ambipolar current)를 지니고 있기에, 이로 인한 OFF 전류(off-state current, I_{OFF}) 증가는 여전히 해결하기 어려운 난제로 남아있다 [9,10].

이에, 이 연구에서는 NS TFETs 소자의 양극성 전류 감

소를 위하여 이종 게이트 절연막(hetero gate dielectrics, HGDs)을 사용한 HGDs NS TFETs 구조를 제안한다 [11,12]. 제안 구조의 검증을 위하여, technology computer-aided design (TCAD)을 활용한 소자의 전기적 특성을 추출하여 비교 분석한다. 제안하는 HGDs NS TFETs는, high- k 절연막 소재를 소스(source, S) 근처의 게이트 절연막에만 부분적으로 적용한다. 이를 통해, 소스 근처에서는 게이트 전계(gate electric field) 강화를 통한 밴드-대-밴드 터널링(band-to-band tunneling, BTBT) 효율을 증가시킬 수 있다. 반면, 드레인(drain, D) 근처에서는 게이트 전계 및 BTBT를 최소화하여, 소자의 양극성 전류를 감소시킬 수 있다.

2. 실험 방법

시뮬레이션을 진행하기에 앞서 먼저, Silvaco 사의 Athena & Atlas 툴을 활용하여 NS FETs를 구현하였다. 구체적으로, 그림 1(a)와 같이 총 3개의 실리콘 나노시트를 가진 소자를 Atlas를 활용하여 설계하였다. 구현된 NS FETs는 bulk 실리콘 기판에서 제작된 gate-all-around (GAA) 구조를 기반으로 하고 있으며, SiO_2 와 HfO_2 게이트 절연막, 그리고 게이트 절연막 위로 TiN 금속 게이트(gate, G)를 보유하고 있다(그림 1(b)). 시뮬레이션을 통해 구현된 NS FETs 소자의 상세한 정보는 표 1에서 확인할 수 있다. 이후, 시뮬레이션으로 구현한 NS FETs의 전기적 특성 결과, 실제 제조된 NS FETs와 일치하도록 보정(calibration)을 진행하였다 [13] (그림 1(c)). 구체적으로, 나노시트의 표면에 존재하는 Quantum confinement effect를 반영하

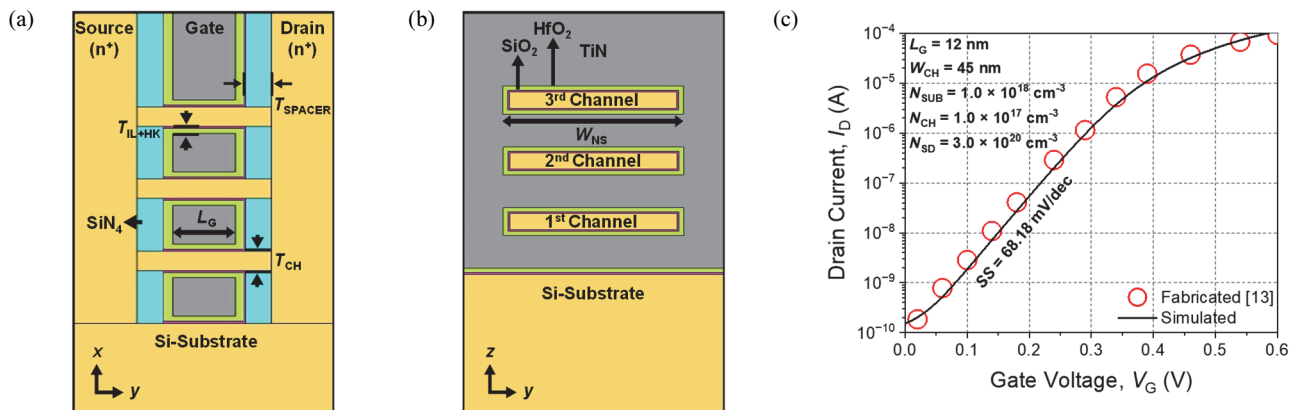


Fig. 1. (a) Schematic of an NS FETs for calibration. (b) Z-direction section view of the NS FETs. (c) I_D - V_G characteristic of NS FETs, calibrated with respect to the fabricated device [13].

Table 1. Device geometry and material parameters for NS FET simulations.

Parameters	Values
Number of nanosheets, N_{NS}	3
Gate length, L_G	12 nm
Channel thickness, T_{CH}	5 nm
Channel width, W_{CH}	45 nm
Inner spacer thickness, T_{SPACER}	3 nm
Interlayer dielectric thickness, T_{IL}	0.5 nm
High- k dielectric thickness, T_{HK}	1.3 nm
S / D doping concentration, N_{SD}	Arsenic, $1 \times 10^{20} \text{ cm}^{-3}$
Substrate doping concentration, N_{SUB}	Boron, $1 \times 10^{18} \text{ cm}^{-3}$
Channel doping concentration, N_{CH}	Boron, $1 \times 10^{17} \text{ cm}^{-3}$

Table 2. Doping concentrations of a simulated NS TFET [14].

Parameters	Values
Source doping concentration, N_S	Boron, $1 \times 10^{20} \text{ cm}^{-3}$
Drain doping concentration, N_D	Arsenic, $5 \times 10^{18} \text{ cm}^{-3}$
Substrate doping concentration, N_{SUB}	Boron, $1 \times 10^{17} \text{ cm}^{-3}$
Channel doping concentration, N_{CH}	Boron, $1 \times 10^{17} \text{ cm}^{-3}$

기 위하여, Quantum model을 적용하였다. 또한, 도핑 농도가 밴드 갭 축소에 미치는 영향을 분석하기 위해 bandgap narrowing model을 적용하였다. 그리고, OFF 전류의 보정을 위하여, Shockley-Read-Hall recombination (SRH) model과 BTBT model을 적용하였다. 그리고 surface roughness, phonon scattering, impurity scattering으로 인한 전하 이동도 감소를 반영하기 위하여, Yamaguchi model과 Lombardi (CVT) model을 적용하였다.

실제 제작된 소자를 바탕으로 시뮬레이션 보정이 이루어진 이후, NS FETs backbone의 소스, 드레인 및 실리콘 채널(silicon channel) 영역을 표 2와 같은 도핑조건에서 NS TFETs를 제작하였다. 이때, 도핑 농도는 선행 연구를 기반으로 진행하였으며, 기판(substrate)과 채널영역의 도핑을 $1 \times 10^{17} \text{ cm}^{-3}$ 로 설정하였다 [14].

3. 결과 및 고찰

이에, 그림 2(a)와 같은 NS TFETs가 구현되었으며, 소자의 I_D - V_G 출력 특성은 그림 2(b)와 같다. 소자의 추출된 문턱전압 이하 스윙 값은 51.03 mV/dec이며, 이는 그림 1(c)의 드리프트 기반의 NS FETs의 값 68.18 mV/dec와 비교하여 확연히 더 낮은 것을 확인할 수 있다. 하지만, 소자의 출력 특성을 볼 때, 게이트 전압(V_G) - 0.15 V 이하의 전압 영역에서 OFF 전류가 급증하는 것을 볼 수 있는데, 이는 양극성 전류(ambipolar current)에 의한 것이다 [15,16]. 특히, 이러한 양극성 전류는 소자의 대기전력을 증가시키고, 트랜지스터의 I_{ON}/I_{OFF} 비율 감소를 초래한다. 그림 2(c)와 같이 ON 상태(on-state)에서의 에너지 밴드 다이어그램을 보면 소스와 채널 사이의 터널링 장벽 간격(tunneling barrier width)인 $\lambda = 3.61 \text{ nm}$ 로, 소스에서 채널로의 전자의 BTBT로 ON 전류가 발생한다. 반면, 그림 2(d)와 같이, OFF 상태(off-state)인 $V_G = -1.5 \text{ V}$ 인 경우, 채널과 드레인 사이의 터널링 장벽 간격 $\lambda = 4.8 \text{ nm}$ 로, 전자의 BTBT로 인한 양극성 전류가 생성되게 된다. 이러한 양극성 전류는 OFF 전류의 증가를 초래한다. 따라서, 이 연구에서는 이러한 양극성 전류를 감소시키기 위하여, 게이트 절연막에 이중 게이트 절연막 구조를 적용하였다.

그림 3(a)는 NS TFETs에 존재하는 이러한 양극성 전류의 감소를 위하여, 이중 게이트 절연막을 적용한 제안 소자의 단면을 보여준다 [14]. 이중 게이트 절연막을 소자에 최초로 적용한 기존의 선행 연구는, silicon-on-insulator (SOI) 기판 상에서 평면형 MOSFETs를 대상으로 시뮬레이션을 수행하였다 [11]. 이를 바탕으로, 본 연구에서는 이중 게이트 절연막을 bulk 실리콘 기판 상의 나노 시트 소자에 적용하였다. 해당 구조는 게이트 절연막으로 유전 상수가 20인 high- k HfO_2 를 y 축 방향으로 4.86 nm의 길이로 소스 근처의 게이트 절연막에 적용하였고(L_{HfO_2}), 나머지 구간에는 SiO_2 를 적용하였다 [11]. 특히, 다양한 HfO_2 와 SiO_2 비율에 대한 시뮬레이션 결과, 양극성 전류의 차이는 미미하였다. 다만, HfO_2 와 SiO_2 의 비율이 1 : 2인 경우, 즉 $L_{\text{HfO}_2} = 4.86 \text{ nm}$ 일 때, 문턱전압 이하 스윙 값이 43.83 mV/dec로 가장 낮음을 확인하였기 때문에, $L_{\text{HfO}_2} = 4.86 \text{ nm}$ 를 최종 적용하였다 [12]. 더불어, 기존의 NS TFETs과 제안구조의 HGDs NS TFETs의 비교에서, ON 상태의 변화는 거의 없음을 확인할 수 있다(그림 3(b)). 그러나 OFF 상태에서, $V_G = -1.5 \text{ V}$ 일 때를 기준으로, 양극성 전류가 약 93.51% 감소하여 채널에서 드레인으로의 BTBT 현상이 효과적으로 억제된 것을 확인할 수 있다.

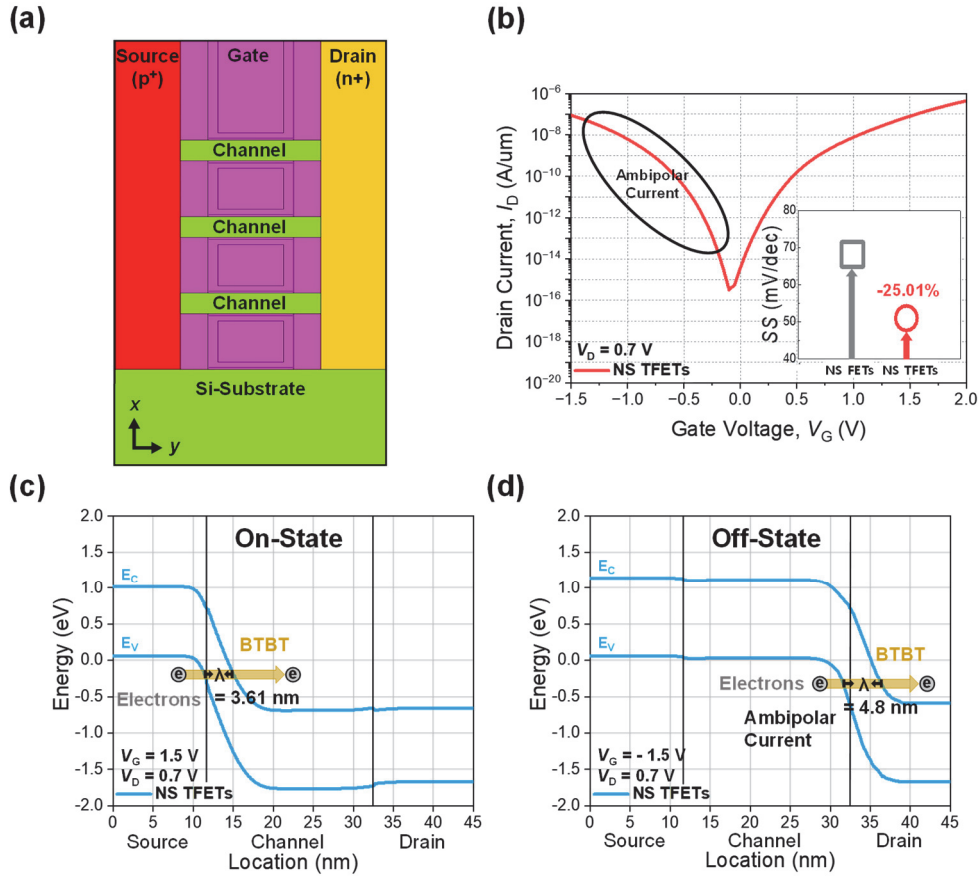


Fig. 2. (a) Simulated conventional device structure of a NS TFET without HGDs, (b) extracted I_D - V_G characteristic normalized by the perimeter of three nanosheets with a W_{CH} of 45 nm and a T_{CH} of 5 nm, and (c)-(d) energy band diagrams of NS TFETs in the on-state and off-state, respectively.

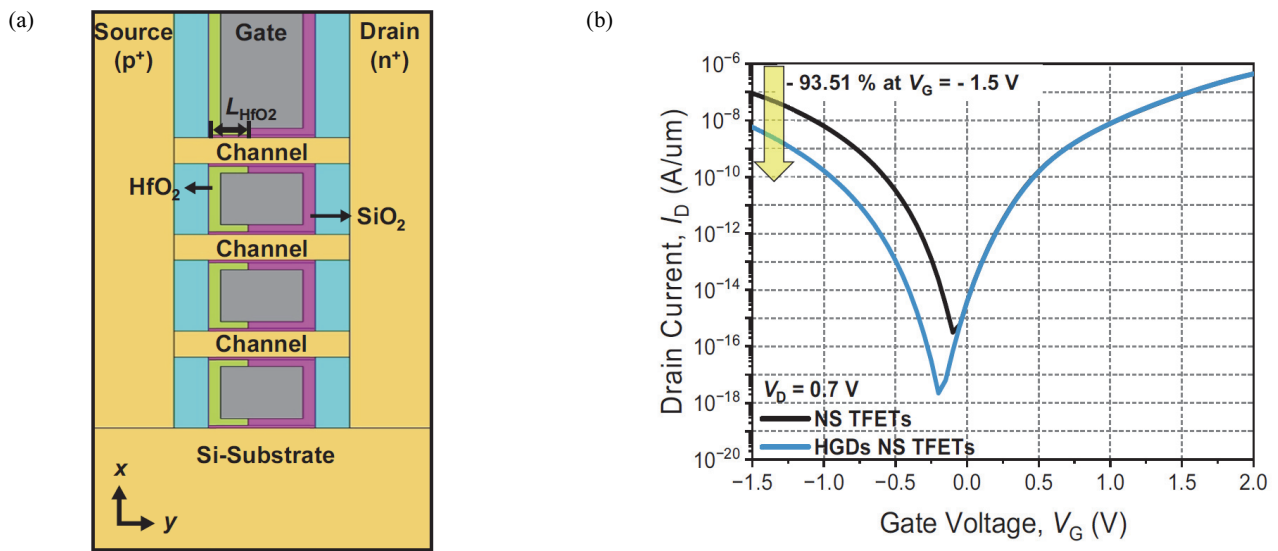


Fig. 3. (a) Proposed NS TFETs structure with the HGDs and (b) extracted I_D - V_G characteristic of NS TFETs and HGDs NS TFETs, respectively. The I_D was normalized by the perimeter of three nanosheets with a W_{CH} of 45 nm and a T_{CH} of 5 nm.

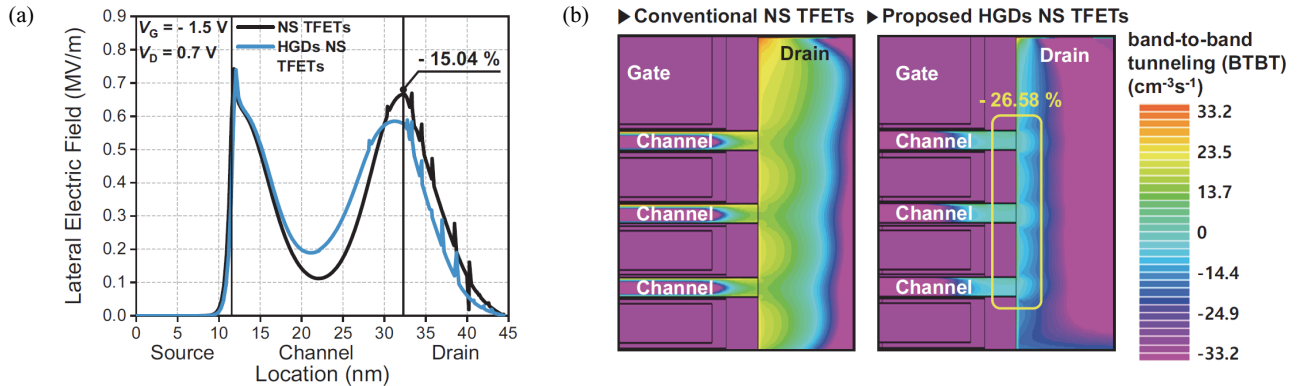


Fig. 4. (a) Simulated lateral electric-field in HGDs NS TFETs during the off-state ($V_G = -1.5$ V and $V_D = 0.7$ V) and (b) extracted BTBT rate for NS TFETs and proposed HGDs NS TFETs, respectively.

그림 4는 기존 구조인 NS TFETs와 제안구조인 HGDs NS TFETs 간의 전계 특성을 추출한 결과를 보여준다. HGDs 구조를 NS TFETs에 적용하자, 드레인 근처의 최대 전계 강도는 6.23×10^5 V/m에서 5.27×10^5 V/m로 약 15.04% 감소했음을 확인할 수 있다. 반면, 소스 영역의 최대 전계 강도는 HGDs 구조 적용 이후, 7.42×10^5 V/m에서 7.39×10^5 V/m로 약 0.40% 감소에 그쳐 유의미한 변화가 없음을 확인할 수 있다. 이러한 전계 강도의 변화는 그림 4(b)와 같이, BTBT 비율에 영향을 미친다. 기존 구조인 NS TFETs와 제안구조인 HGDs NS TFETs의 BTBT 비율을 비교한 결과, 채널과 드레인 경계 지점에서의 터널링 비율이 $22.2 \text{ cm}^{-3}\text{s}^{-1}$ 에서 $16.3 \text{ cm}^{-3}\text{s}^{-1}$ 로 26.58% 줄어드는 것을 확인할 수 있다.

따라서, HGDs 적용을 통하여 NS TFETs의 양극성 특성이 감소 가능함을 알 수 있다. 다시 말하여, 국부적인 high- k 게이트 절연막을 통하여, 소스와 채널 사이의 전계는 강하게 유지되어 ON 전류의 특성은 변화가 미미하다. 반면, 채널과 드레인 경계의 전계의 세기는 감소시킴으로써 소자의 OFF 상태에서 발생하는 BTBT 및 양극성 전류는 감소 가능하다.

4. 결론

이 논문에서는 나노시트 터널링 전계효과 트랜지스터 (nanosheet tunneling FETs, NS TFETs)가 지닌 높은 양극성 전류(ambipolar current)를 감소시키기 위하여, 이중 게이트 절연막(hetero gate dielectrics, HGDs) 적용을 제안한다. 제안하는 HGDs NS TFETs는 소스 부근 게이트 절연막에 국부적으로 높은 유전상수(high- k) 소재

인 HfO_2 를 적용하고 나머지 게이트 구간은 상대적으로 유전상수가 낮은 소재인 SiO_2 를 사용한 것이 특징이다. 이를 통하여, OFF 상태에서 드레인 근처의 전계 강도를 최대 15.04% 감소시키는 것이 가능하며 양극성 전류(ambipolar current)를 93.51%까지 감소 가능성이 확인되었다. 뿐만 아니라, 제안소자의 문턱 전압 이하 스윙(subthreshold swing, SS) 및 소자의 ON 상태 전류(on-state current, I_{ON})는 기존의 NS TFETs에 견주어 차이가 미미한 것이 장점이다. 결론적으로, 높은 I_{ON}/I_{OFF} 비율(I_{ON}/I_{OFF} ratio)을 지닌 TFETs의 제작이 용이할 것으로 기대된다.

ORCID

Jun-Young Park

<https://orcid.org/0000-0003-4830-9739>

REFERENCES

- [1] C. Hu, *Proc. IEEE*, **81**, 682 (1993). doi: <https://doi.org/10.1109/5.220900>
- [2] S. Veeraghavan and J. G. Fossum, *IEEE Trans. Electron Devices*, **36**, 522 (1989). doi: <https://doi.org/10.1109/16.19963>
- [3] A. C. Seabaugh and Q. Zhan, *IEEE Trans. Electron Devices*, **98**, 2095 (2010). doi: <https://doi.org/10.1109/JPROC.2010.2070470>
- [4] W. Y. Choi, B. G. Park, J. D. Lee, and T. -J. K. Liu, *IEEE Trans. Electron Devices*, **28**, 743 (2007). doi: <https://doi.org/10.1109/LED.2007.901273>
- [5] K. R. N. Karthik and C. K. Pandey, *Silicon*, **15**, 1 (2022). doi: <https://doi.org/10.1007/s12633-022-02028-4>
- [6] S. K. Yoo and S. Y. Kim, *IEEE Trans. Electron Devices*, **69**,

- 4109 (2022).
doi: <https://doi.org/10.1109/TED.2022.3182300>
- [7] N. Loubet, T. Hook, P. Montanini, C. W. Yeung, S. Kanakasabapathy, and M. Guillon, *2017 Symposium on VLSI Technology* (IEEE, Kyoto, Japan, 2017) p. T230.
doi: <https://doi.org/10.23919/VLSIT.2017.7998183>
- [8] S. Srivastava, S. Panwar, and A. Acharya, *IEEE Trans. Electron Devices*, **69**, 4693, (2022).
doi: <https://doi.org/10.1109/TED.2022.3184915>
- [9] Hraziia, A. Vladimirescu, A. Amara, and C. Anghel, *Solid-State Electron*, **70**, 67 (2012)
doi: <https://doi.org/10.1016/j.sse.2011.11.009>.
- [10] G. Jain, R. S. Sawhney, R. Kumar, and A. Saini, *Silicon*, **15**, 187 (2023).
doi: <https://doi.org/10.1007/s12633-022-02013-x>
- [11] W. Y. Choi and W. J. Lee, *IEEE Trans. Electron Devices*, **57**, 2317 (2010).
doi: <https://doi.org/10.1109/TED.2010.2052167>
- [12] R. Narang, M. Saxena, R.S. Gupta, and M. Gupta, *JSTS*, **12**, 482 (2012).
doi: <https://doi.org/10.1007/s12633-021-00955-2>
- [13] K. S. Lee and J. Y. Park, *Micromachines*, **13**, 432 (2022).
doi: <https://doi.org/10.3390/mi13030432>
- [14] K. Boucart and A. M. Ionescu, *IEEE Trans. Electron Devices*, **54**, 1725 (2007).
doi: <https://doi.org/10.1109/TED.2007.899389>
- [15] T. Krishnamohan, *2008 IEEE International Electron Devices Meeting* (IEEE, San Francisco, CA, USA, 2008) p. 947.
doi: <https://doi.org/10.1109/IEDM.2008.4796839>
- [16] A. S. Verhulst, W. G. Vandenberghe, K. Maex, and G. Groeseneken, *Appl. Phys. Lett*, **91**, 053102 (2007).
doi: <https://doi.org/10.1016/j.sse.2011.11.009>