

a-IGZO 성능 개선을 위한 시간에 따른 병행 저온 플라즈마 어닐링 효과

최정훈¹, 이재윤¹, 이범구¹, 서정무¹, 김성진^{1,2} 

¹충북대학교 전자정보대학

²충북대학교 의생명연구원

Effect of Concurrent Low-Temp Plasma Annealing on a-IGZO TFT Performance Over Time

Jeong Hun Choi¹, Jae-Yun Lee¹, Beom Gu Lee¹, Jeong Moo Seo¹, and Sung-Jin Kim^{1,2}

¹College of Electrical and Computer Engineering, Chungbuk National University, Cheongju 28644, Korea

²Biomedical Research Institute, Chungbuk National University Hospital, Cheongju 28644, Korea

(Received November 6, 2024; Revised November 25, 2024; Accepted November 29, 2024)

Abstract: Recently, oxide semiconductors have assumed a pivotal role in electronic displays and transparent electronic devices such as amorphous indium gallium zinc oxide (a-IGZO), characterized by high electron mobility and excellent stability. a-IGZO is very suitable for next-generation applications such as flexible displays because it is possible to manufacture high-performance transistors even at low temperatures. However, since the electrical properties tend to deteriorate in high-temperature environments, research aimed at improving thermal stability is needed. In this study, a low-temperature plasma annealing process was introduced to improve the high-temperature stability of the a-IGZO thin film. This process enhances electron mobility by reducing defects in the a-IGZO film and provides stable device performance even under high-temperature conditions. As a result of the experiments of 5 min, 10 min, 15 min, and 20 min, the a-IGZO TFT, which was subjected to plasma annealing at 160°C for 5 min, showed the best electrical performance, especially in charge mobility and current-voltage characteristics. The technical potential for improving the performance of a-IGZO-based display device was emphasized, and the foundation for applying this power generation to flexible displays and next-generation electronic devices was laid. Future research will focus on determining the optimal annealing conditions by exploring various temperature ranges and plasma parameters to integrate these results into the actual device manufacturing process. These efforts are expected to advance significantly to advancing next-generation high-performance display technology.

Keywords: Thin film transistor, a-IGZO, Effect of concurrent low-temperature plasma annealing, Effusion cell, IR lamp

1. 서론

✉ Sung-Jin Kim; ksj@cbnu.ac.kr

Copyright ©2025 KIEEME. All rights reserved.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

최근 산화물 반도체는 전자 디스플레이와 다양한 투명 전자 소자에서 핵심적인 역할을 하고 있다. 그중에서도 비정질 인듐 갈륨 아연 산화물(a-IGZO)은 높은 전기적 이

동도, 뛰어난 안정성, 우수한 투명성, 그리고 유연성으로 인해 연구자와 산업계의 높은 주목을 받고 있다 [1-3]. a-IGZO는 낮은 제조 온도에서도 고성능 박막 트랜지스터 (TFT)를 형성할 수 있어 플라스틱 기판과 같은 유연한 기판에도 적용할 수 있다. 이는 곡면 디스플레이, 웨어러블 기기, 투명 전자 제품 등 새로운 응용 분야에 큰 가능성을 열어준다 [4,5]. 또한, a-IGZO는 고온 다결정 실리콘 TFT보다 제조 공정이 단순하고, 대면적 기판에도 균일하게 증착될 수 있어 대량 생산에 유리하다 [6,7]. 그러나 a-IGZO는 고온 환경에서 전기적 특성이 저하되는 단점을 가지고 있다 [8,9]. 고온에서 a-IGZO 박막의 구조적 변화가 발생하여 전자 이동도가 감소하고, 이는 소자의 성능 저하로 이어질 수 있다 [10,11]. 이러한 문제는 특히 고온에서 작동하는 전자 소자나 디스플레이에서 신뢰성 문제가 발생할 수 있다. 따라서 a-IGZO의 고온 안정성을 향상시키기 위한 연구는 매우 중요하다 [12-15].

따라서 본 연구에서는 이러한 고온으로 인해 발생 가능한 안정성 문제를 해결하기 위해 시간에 따른 병행 저온 플라즈마 어닐링 공정을 도입하고자 한다. 병행 저온 플라즈마 어닐링 공정은 a-IGZO 박막의 전기적 특성을 유지하면서 고온 안정성을 향상시킬 수 있다. 이 공정은 낮은 온도에서 플라즈마 에너지를 이용해 a-IGZO 박막의 결함을 감소시키고, 전자 이동도를 향상시킨다. 이를 통해 고온 환경에서도 안정적으로 작동할 수 있는 a-IGZO 기반 전자 소자를 개발할 수 있을 것으로 기대된다.

2. 실험 방법

그림 1(a)는 본 연구에서 제작한 a-IGZO TFT에 대한 구조도이며, 그림 1(b)는 시간에 따른 병행 저온 플라즈마 어닐링 공정을 통해 플라즈마 처리 기술에 대한 모식도를 나타낸다. 제작된 소자는 상온에서 SiO₂가 100 nm 산화막이 형성된 Si 기판 n⁺⁺를 사용하였다. 기판은 H₂SO₄와 H₂O₂를 3:1의 비율로 혼합한 piranha 용액을 사용하여 60°C에서 20분간 세정을 진행하였다. 마지막으로, UV 조사를 통해 28 mW에서 15분 동안 기판 표면을 처리하여 최종 전처리를 완료하였다. 클리닝 공정 이후 RF 마그네트론 스퍼터링 공정을 통해 세정된 기판 위에 a-IGZO 활성층 증착 과정을 진행하였다. 이 과정에서 공정 조건은 RF 파워를 150 W로 설정하고, Ar 가스를 30 sccm 유량으로 공급하여 진행하였다. 증착 시간은 6분 40초로 설정하여 a-IGZO 박막의 두께를 50 nm로 형성하였다.

고온 어닐링에 따른 플라스틱 기판의 활용성을 저해하

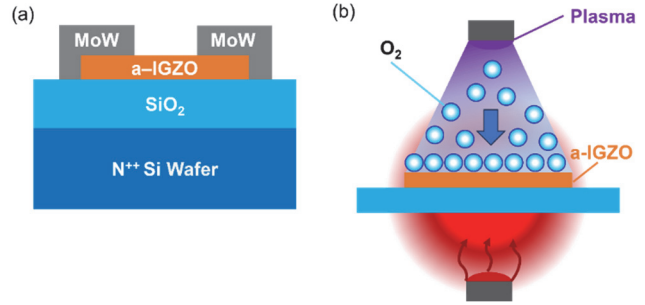


Fig. 1. (a) Schematic diagram of effect of concurrent low-temperature plasma annealing process a-IGZO TFT over time and (b) schematic diagram of effect of concurrent low temperature plasma annealing process.

는 문제점을 보완하고 a-IGZO 박막 트랜지스터의 성능 향상을 확인하기 위해, 그림 1(b)와 같이 병행 저온 플라즈마 어닐링 공정을 수행하였다. 이러한 공정 과정은 플라즈마 처리를 통해 웨이퍼 표면을 활성화시켜 어닐링 공정에서 더 나은 접착력이나 반응성을 가지도록 하고 전기적 특성이나 결정 구조를 최적화하기 위해 사용했다. RF 파워를 120 W로 설정하고, Ar 가스를 10 sccm 유량으로 흐른 뒤 어닐링 온도를 160°C로 고정하여 각각 5, 10, 15, 20 min 유지하는 방식으로 진행되었다. 마지막으로, MoW 전극을 증착하기 위해, DC 마그네트론 스퍼터링 공정을 이용하여 Ar 가스를 30 sccm 유량으로 흐르게 하고, DC 파워를 150 W로 설정하여 3분 20초 동안 증착하였다.

Output curve, transfer curves를 통해 a-IGZO 박막의 전기적 특성을 확인하였다. GBS 측정을 통해 스트레스에 대한 안정성을 평가하였으며, 소자의 0, 7, 14일에 걸친 시간에 대한 transfer curves 측정과 electrical retention stability를 통해 장기적인 안정성을 관찰하였다. Dynamic inverter, static inverter를 이용하여 반전 특성과 입력 신호에 대한 스위칭 응답속도를 확인하였으며, 시간에 따른 병행 저온 플라즈마 어닐링 공정의 응용 가능성을 확인하였다.

3. 결과 및 고찰

그림 2는 a-IGZO 박막에 160°C로 유지한 상태에서 병행 저온 플라즈마 어닐링 공정을 각각 5, 10, 15, 20 min 동안 수행한 후, TFT의 전기적 특성을 측정한 결과이다. Output curve는 V_{ds} 를 0에서 25 V까지 0.5 V 간격으로 변화시켰다. V_{gs} 또한 0에서 25 V 범위 내에서 가해진 상

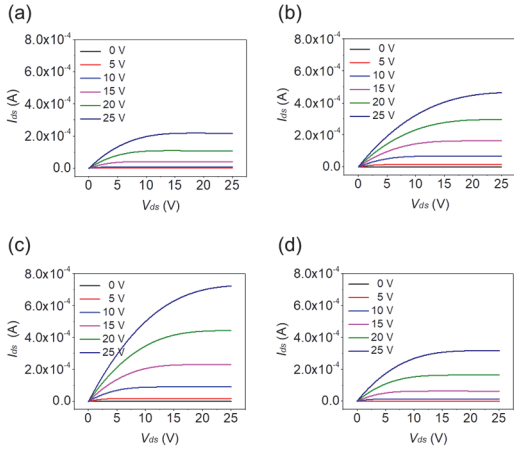


Fig. 2. Output characteristic curve of a-IGZO TFT according to the effect of concurrent low temperature plasma annealing process (a) 5 min, (b) 10 min, (c) 15 min, and (d) 20 min.

황에서 I_{ds} 값을 측정하였다. 그림 2(a) 5 min, 2(b) 10 min은 output curves 형태를 보았을 때 포화 영역에서 I_{ds} 가 매우 선형적인 특성을 보이며, 전기적 안정성이 높아지고 있다. 그림 2(c) 15 min은 포화 영역에서 I_{ds} 가 과도한 반응을 보이며, 이후 느리게 안정화되고 있다. 그림 2(d) 20 min은 포화 영역에서 I_{ds} 가 출력이 상대적으로 낮아지고 있다. 이를 통해 그림 2(a) 5 min, 2(b) 10 min은 2(c) 15 min, 2(d) 20 min에 비해 우수한 선형성, 빠른 안정화를 통해 가장 이상적인 output curves 형태를 나타내는 것을 확인할 수 있었다 [16]. 이를 더욱 자세히 분석하기 위해 성능지표와 transfer curves 분석을 진행하였다.

그림 3은 V_{gs} 를 -10 V에서 25 V까지 변화시키고, V_{ds} 를 25 V로 고정한 상태에서 I_{ds} 의 변화를 나타내는 transfer curves를 보여준다. a-IGZO 표면을 160°C로 유지한 상태에서 5, 10, 15, 20 min 동안 병행 저온 플라즈마 어닐링 공정을 수행하였으며, 그 결과 나타나는 전기적 특성을 체계적으로 분석하였다. 문턱 전압 이하 스윙, 전하 이동도는 a-IGZO TFT의 주요 성능지표 중 하나로, 아래의 수식을 통해 정의되었다.

$$S/S = \frac{dV_{gs}}{\log_{10} I_{ds}} \quad (1)$$

식 (1)은 문턱 전압 이하 스윙(S/S)을 계산한 것이며, 디바이스의 스위칭 특성을 평가하는 데 중요한 역할을 한다.

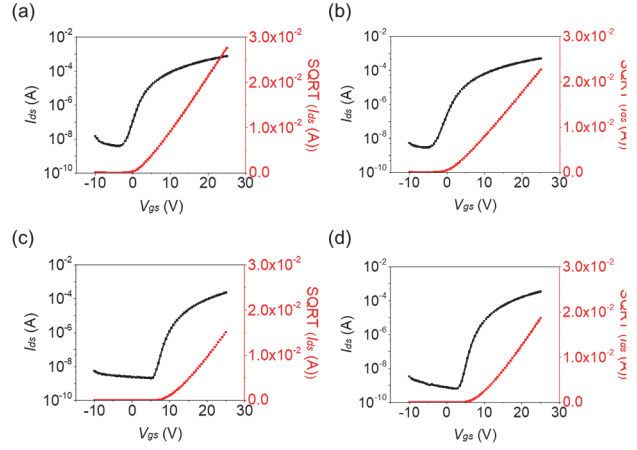


Fig. 3. Transfer characteristic curve of a-IGZO TFT according to the effect of concurrent low temperature plasma annealing process (a) 5 min, (b) 10 min, (c) 15 min, and (d) 20 min.

$$\mu = \frac{L}{W} \cdot \frac{1}{C_{ox}} \cdot \left(\frac{dI_{ds}}{dV_{gs}} \right) \cdot \frac{1}{V_{ds}} \quad (2)$$

전하 이동도(μ)를 계산하기 위해 사용되는 수식 (2)는 반도체 소자의 성능 분석에 중요한 역할을 한다. 이 식에서, L 은 채널 길이로서 전자가 이동하는 거리를 나타내며, W 는 채널의 폭으로서 전류가 흐를 수 있는 경로의 너비를 나타내고 있다. C_{ox} 는 산화막 커패시턴스로, 게이트 전압에 의해 형성된 전기장이 채널에 미치는 영향을 나타내는 중요한 파라미터이다. V_{ds} 는 드레인-소스 간의 전압 차이로, 전류가 흐르기 위해 필요한 전압 차이를 제공하며, I_{ds} 는 이 전압 차이에 의해 채널을 통해 흐르는 드레인 전류를 나타내고 있다. V_{gs} 는 게이트-소스 전압으로, 채널 내의 전하 운반자의 밀도를 제어하여 전류 흐름을 조절하는 역할을 한다. 이를 통해 전하 이동도는 전기장 하에서의 전하 이동도의 이동 능력을 나타낸다. 식 (1)과 (2)를 통해 계산된 TFT 소자의 전기적 특성은 다양한 조건에서 측정되었으며, 결과는 표 1에 제시되어 있다. 그림 3(a) 5 min은 V_{gs} 가 V_{th} 를 초과하는 순간부터 I_{ds} 가 급격히 증가하는 양상을 보이며, $SQRT(I_{ds})$ 를 통한 V_{gs} 에 대해 매우 선형적으로 증가하였다. 그림 3(b) 10 min은 $SQRT(I_{ds})$ 의 증가가 V_{gs} 에 대해 비선형적으로 나타나며, 이는 전자 이동도가 일정하지 않았다. 그림 3(c) 15 min은 임계 전압이 명확하게 나타나지 않으며, I_{ds} 의 증가가 점진적으로 발생하였다. 그림 3(d) 20 min은 $SQRT(I_{ds})$ 의 증가가 V_{gs} 에 대해 비선형적으로 나타나며, 신뢰성을 낮아질 수 있다.

표 1에 나타난 바와 같이, 160°C로 고정하고, 저온 플라즈마 어닐링 시간을 0, 5, 10, 15, 20 min으로 설정하여

Table 1. Electrical properties of a-IGZO following a low-temperature plasma annealing process.

Time (min)	Mobility (cm ² /Vs)	On/Off ratio (I_{on}/I_{off})	V_{th} (V)	S/S (V/dec)
0	1.00	1.8×10^4	7.81	2.08
5	9.19	1.9×10^5	3.06	1.47
10	5.65	6.5×10^4	2.13	1.77
15	7.31	1.1×10^5	11.51	4.50
20	8.63	5.3×10^5	9.72	2.00

실험을 진행하였다. 그 결과, 5 min 조건에서 전하 이동도와 문턱 전압 변화 등에서 가장 우수한 성능을 보였다. 또한, 5 min보다 짧은 어닐링 시간 0 min을 적용한 실험을 진행하였으나, 해당 조건에서는 전하 이동도와 소자 성능이 현저히 저하되는 결과를 나타냈다. 짧은 어닐링 시간에서는 플라즈마 활성화 효과가 충분히 발현되지 않아 박막 표면 및 계면의 결함이 충분히 제거되지 않았을 가능성이 크다 [17]. 이러한 결과로 인해 5 min보다 짧은 조건은 본 연구에서 제외되었으며, 이는 어닐링 효과가 특정 시간 이상에서만 유의미하게 발현된다는 점을 시사한다 [18]. 전하 이동도 값이 증가함에 따라, TFT 소자의 전류-전압 특성 및 스위칭 속도가 향상되며, 이는 곡면 디스플레이, 웨어러블 기기 같은 고성능 디스플레이 소자 개발에 중요한 요소로 작용한다 [19,20]. 160°C로 고정한 병행 저온 플라즈마 어닐링 공정을 통해 높은 전하 이동도와 안정적인 전기적 특성을 확인할 수 있었다 [21-23]. 그러나 a-IGZO 소자는 시간이 지남에 따라 성능이 저하되거나 노후화될 수 있어, 이를 방지하기 위한 병행 저온 플라즈마 어닐링 공정이 필요하다. 이러한 이유로 병행 저온 플라즈마 어닐링 공정이 필요하며, 이 결과를 바탕으로, 안정적인 전기적 특성을 확보하기 위해 병행 저온 플라즈마 어닐링 시간에 따른 추가적인 분석을 진행하였다. 그림 4는 소자의 0, 7, 14일에 걸친 시간에 대한 transfer curves를 측정한 결과이다. 그림 4(b) 10 min, 4(c) 15 min, 4(d) 20 min은 시간이 경과함에 따라 transfer curves에서 임계 전압의 변화에 의한 drift 현상이 나타났다. 이는 회로의 동작점을 변동시켜, 성능 및 신뢰성에 영향을 미칠 수 있음을 시사한다. 반면에, 그림 4(a) 5 min은 시간이 경과함에 따라 소자의 임계 전압 변화가 안정적으로 나타나 소자의 동작이 일관되게 유지되고 있다. 이는 소자의 안정성과 신뢰성 측면에서 긍정적으로 평가될 수 있다.

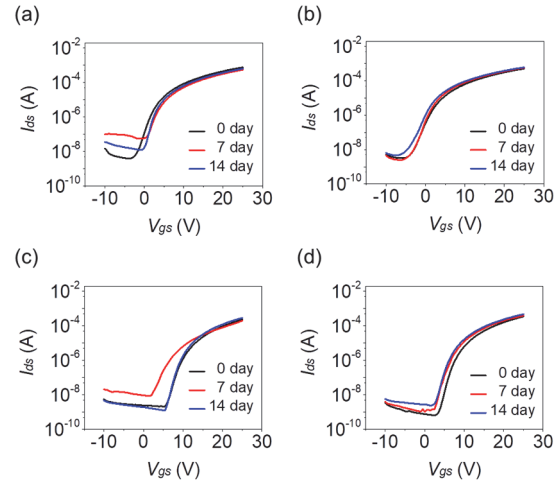
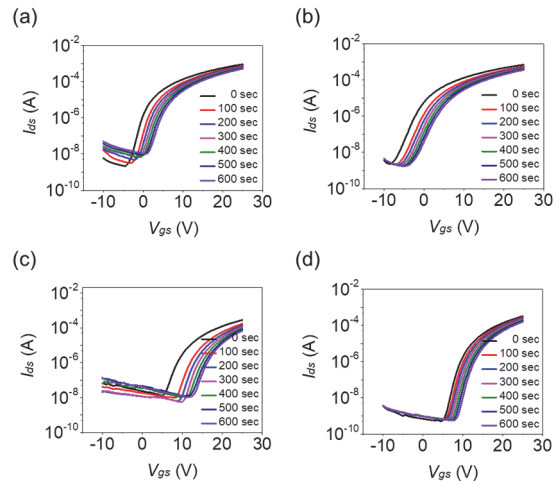
**Fig. 4.** The stability transfer characteristic curve over time of a-IGZO TFT at effect of concurrent low temperature plasma annealing process (a) 5 min, (b) 10 min, (c) 15 min, and (d) 20 min.**Fig. 5.** Positive bias stress stability of a-IGZO TFT by (a) 5 min, (b) 10 min, (c) 15 min, and (d) 20 min (over time. The stressing conditions were $V_{gs}=+20$ V).

그림 5는 TFT 소자의 게이트 부분에 양의 전압이 인가될 때 발생하는 positive stress에 따른 문턱 전압 변화를 보여준다. 이 측정은 스트레스에 대한 안정성을 평가하기 위해 positive bias stress (PBS)를 0초부터 100초 단위로 600초 동안 각각 적용하여 진행되었다. 장기적인 신뢰성을 확보하는 데 중요한 요소로 작용할 수 있다. 특히, V_{th} 의 큰 변동이 없는 경우, 소자가 실사용 환경에서 견딜 수 있는 내구성이 더 높을 가능성이 있다. 그림 5(b) 10 min, 5(c) 15 min, 5(d) 20 min은 stress에 덜 안정적이고 V_{th}

의 큰 변화는 소자의 오작동 가능성을 증가시키며, 이는 신뢰성에 부정적인 영향을 미칠 수 있다 [24,25]. 반면, 그림 5(a) 5 min은 양의 전압을 인가하였을 때 시간이 증가할수록 stress에 대해 어느 정도 안정성을 유지하고 있음을 나타내며, 이를 통해 5(a) 5 min은 TFT 소자의 신뢰성을 높이는 데 기여할 수 있다.

그림 6은 TFT 소자의 게이트 부분에 음의 전압이 인가될 때 발생하는 negative stress에 따른 문턱 전압 변화를 보여준다 [26,27]. 이 실험은 스트레스에 대한 안정성을 평가하기 위해 negative bias stress (NBS)를 0초부터 100초 단위로 600초 동안 각각 적용하여 진행되었다. 그림 6(b) 10 min, 6(c) 15 min, 6(d) 20 min은 음의 전압을 인가하였을 때 V_{th} 의 변화가 더 크게 나타나며, 시간이 지남에 따라 이러한 변화가 더욱 두드러짐을 확인할 수 있었다. 반면, 그림 6(a) 5 min은 음의 전압을 인가하였을 때 stress에 대해 어느 정도 안정성을 유지하고 있음을 나타내며, 장기적인 신뢰성을 확보하는 데 중요한 요소로 작용할 수 있다.

그림 7은 시간에 따른 a-IGZO TFT 저온 플라즈마 어닐링 처리를 5, 10, 15, 20 min 동안 진행한 a-IGZO TFT에 대해서, I_{ds} 를 초기 전류인 I_{ds0} 으로 나눈 값을 통해 TFT의 전기적 유지 안정성 결과를 보여주고 있다. 저온 플라즈마 어닐링 처리를 5 min 동안 진행하는 경우, 약 600s에서는 I_{ds} 가 초기 값의 약 73%로 유지되는 것을 확인할 수 있었다. 반면, 시간에 따른 저온 플라즈마 어닐링 처리를 10, 15, 20 min 동안 진행하는 경우, 약 600s에서는 I_{ds} 가 초기 값의 약 65%, 29%, 40%로 유지하였다. 5 min 동안 저온 플라즈마 어닐링 처리를 진행한 a-IGZO TFT와 10, 15, 20 min 저온 플라즈마 어닐링 처리를 진행한 a-IGZO TFT를 비교하였을 때 8%, 44%, 33%까지 감소하였다. 따라서 약 5 min 동안 저온 플라즈마 어닐링을 처리한 a-IGZO TFT는 전기적 성능이 개선되었으며, 특히 단기적인 전류 유지 안정성이 크게 향상된 것을 확인할 수 있었다 [28,29].

저온 플라즈마 어닐링을 160°C로 고정된 저온 플라즈마 어닐링 조건에서 최적의 성능을 보인 5 min을 가지고 소자의 반전 특성과 입력 신호에 대한 스위칭 응답 속도를 측정하기 위해 설계된 로직 회로는 그림 8에서 구성하였다. 그림 8(a)는 dynamic inverter 동작을 분석하기 위한 로직 인버터 회로의 모식도이고, 그림 8(b)는 a-IGZO TFT 소자의 인버터 특성 곡선을 보여준다. Power supply와 oscilloscope, function generator를 이용하여 회로를 구성하였으며 회로의 부하 저항은 1 MΩ, V_{dd} 는 10 V의 전압을 인가하였다. V_{in} 이 0 V일 때, 인가되는 전압

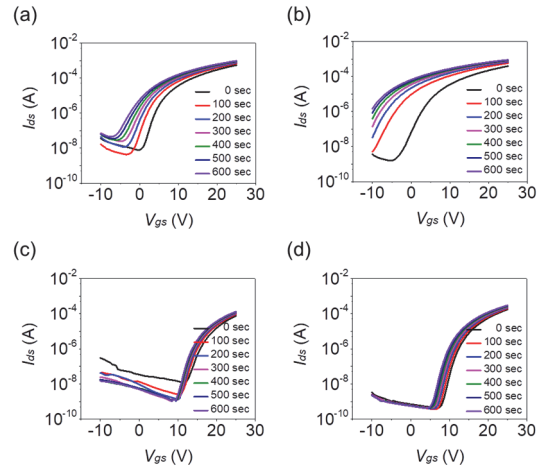


Fig. 6. Negative bias stress stability of a-IGZO TFT by (a) 5 min, (b) 10 min, (c) 15 min, and (d) 20 min (over time. The stressing conditions were $V_{gs}=-20$ V).

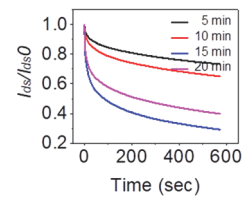


Fig. 7. Electrical retention stability of a-IGZO TFT over time (a) 5 min, (b) 10 min, (c) 15 min, and (d) 20 min.

이 V_{th} 값보다 낮아 gate-drain-source 간 저항이 무한대가 되어 V_{out} 으로 5 V가 출력된다. 반대로 V_{in} 으로 5 V가 인가되면, gate-drain-source 간 저항이 매우 낮아져 전류가 그라운드로 흐르면서 V_{out} 은 0 V가 출력된다. 그림 8(b)를 통해, 소자에 입력된 low/high 신호가 상하 반전된 high/low 신호로 출력되는 것을 확인할 수 있다.

최종적으로, 그림 9는 가장 좋은 성능을 보인 저온 플라즈마 어닐링 5 min a-IGZO TFT의 static inverter 동작 특성 분석을 위한 전압 전송 특성(VTC) 곡선을 측정하였으며, 그 결과를 그림 9(a)에 나타내었다. VTC 곡선은 5, 10, 15, 20 V로 달리 인가되는 V_{dd} 에 따른 $V_{in} - V_{out}$ curve이며, 그를 통해 gain 값을 그림 9(b)에서 볼 수 있다. 그림 9(a)는 시간에 따라 출력 전압이 일정하게 유지되고 있는 것으로 보이며, 이는 inverter의 안정적인 전력 변환 능력을 시사하는 것을 확인할 수 있었다 [30-32]. 이를 통해 인버터가 설정된 출력 전압으로 안정화되기까지의 과정을 보여주며, 인버터 설계 및 최적화를 위한 중요한 데이터를 제공할 수 있다.

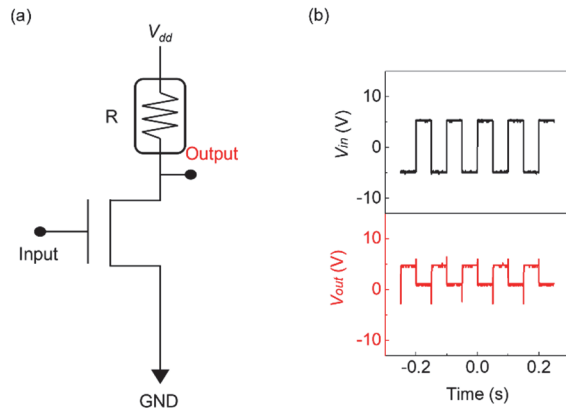


Fig. 8. Schematic diagram of a logic inverter circuit and a-IGZO TFT characteristic curve for analyzing dynamic inverter operation in effect of concurrent low-temperature plasma annealing process 5 min.

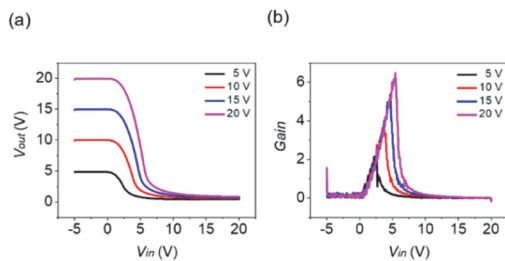


Fig. 9. Effect of concurrent low temperature plasma annealing process voltage transfer characteristic curve for static inverter operation characteristic analysis 5 min.

본 연구는 160°C라는 단일 온도 조건에서 진행되었으며, 이는 실제 응용에서의 다양한 환경 조건을 모두 반영하지 못할 수 있다. 또한, 어닐링 시간이 길어질 경우 플라즈마 강도 증가로 인해 표면 손상 위험이 존재할 수 있음을 확인했다 [33,34]. 향후 연구에서는 이러한 한계를 보완하여 다양한 온도 및 플라즈마 조건에서의 효과를 체계적으로 분석할 필요가 있다.

4. 결론

본 연구에서는 시간에 따른 a-IGZO 박막 트랜지스터의 성능 향상을 위한 병행 저온 플라즈마 어닐링 공정의 효과를 분석하였다. 0, 5, 10, 15, 20 min 조건에서 제작된 디바이스의 성능을 평가한 결과, 5 min 조건에서의 디바이스가 전하 이동도, 전류비, 문턱 전압 등에서 가장 우수한 성능을 나타냈다. 추가적으로 안정적인 전기적 특성을 확

인하기 위해 transfer curves, positive bias stress, negative bias stress, electrical retention stability, 0, 7, 14일에 걸친 시간에 대한 transfer curves를 평가한 결과, 5 min 조건에서 소자의 장기적 안정성과 신뢰성이 크게 향상된 것으로 나타났다.

이를 통해 a-IGZO 성능 개선을 위한 시간에 따른 병행 저온 플라즈마 어닐링 공정이 차세대 디스플레이 및 유연 전자 소자에 적용될 수 있는 기술적 토대가 될 수 있을 것으로 보이며, 향후 연구에서는 플라즈마 어닐링 외에도 화학적 어닐링이나 레이저 어닐링과 같은 기술을 병행하여 박막 트랜지스터의 장기적 안정성을 평가할 것이다. 또한, 이러한 기술을 실제 디스플레이 소자 제조 공정에 적용하는 방안을 모색할 계획이다.

ORCID

Sung-Jin Kim

<https://orcid.org/0000-0001-7739-5328>

감사의 글

This work was supported by Innovative Human Resource Development for Local Intellectualization program through the Institute of Information & Communications Technology Planning & Evaluation (IITP) grant funded by the Korea government (MSIT) (IITP-2025-RS-2020-II201462) (34%), and in part by the Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by Ministry of Education under Grant 2020R1A 6A1A12047945 (33%), and in part by the Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education under Grant RS-2023-00249610 (33%).

REFERENCES

- [1] S. Tappertzhofen, *MRS Adv.*, **7**, 723 (2022). doi: <https://doi.org/10.1557/s43580-022-00298-z>
- [2] S. Yan, Z. Cong, N. Lu, J. Yue, and Q. Luo, *Sci. China Inf. Sci.*, **66**, 200404 (2023). doi: <https://doi.org/10.1007/s11432-023-3802-8>
- [3] Z. Pan, Y. Hu, J. Chen, F. Wang, Y. Jeong, D. Pham, and J. Yi,

- Trans. Electr. Electron. Mater.*, **25**, 371 (2024).
doi: <https://doi.org/10.1007/s42341-024-00536-1>
- [4] W. C. Germs, W. H. Adriaans, A. K. Tripathi, W.S.C. Roelofs, B. Cobb, R.A.J. Janssen, G. H. Gelinck, and M. Kemerink, *Phys. Rev. B*, **86**, 155319 (2012).
doi: <https://doi.org/10.1103/PhysRevB.86.155319>
- [5] M. Benwadih, R. Coppard, K. Bonrad, A. Klyszcz, and D. Vuillaume, *ACS Appl. Mater. Interfaces*, **8**, 34513 (2016).
doi: <https://doi.org/10.1021/acsami.6b09990>
- [6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, **432**, 488 (2004).
doi: <https://doi.org/10.1038/nature03090>
- [7] H. Y. Jeong, S. H. Nam, K. S. Park, S. Y. Yoon, C. Park, and J. Jang, *Nanomaterials*, **10**, 1165 (2020).
doi: <https://doi.org/10.3390/nano10061165>
- [8] M. Kim, S. Y. Cho, Y. S. Shin, Y. C. Seok, H. W. Kim, J. Y. Yoon, R. Choi, and J. H. Lee, *Electron. Mater. Lett.*, **16**, 451 (2020).
doi: <https://doi.org/10.1007/s13391-020-00232-1>
- [9] T. Jung, J. H. Han, S. Nam, and S. Jeon, *J. Vac. Sci. Technol. B*, **41**, 032201 (2023).
doi: <https://doi.org/10.1116/6.0002343>
- [10] Y. Jeong, H. Kim, J. Oh, S. Y. Choi, and H. Park, *J. Electron. Mater.*, **52**, 3914 (2023).
doi: <https://doi.org/10.1007/s11664-023-10386-x>
- [11] S. J. Yoon, N. J. Seong, K. Choi, W. C. Shin, and S. M. Yoon, *RSC Adv.*, **8**, 25014 (2018).
doi: <https://doi.org/10.1039/C8RA03639J>
- [12] M. Kim, S. Y. Cho, Y. S. Shin, Y. C. Seok, H. W. Kim, J. Y. Yoon, R. Choi, and J. H. Lee, *Electron. Mater. Lett.*, **16**, 451 (2020).
doi: <https://doi.org/10.1007/s13391-020-00232-1>
- [13] C. C. Qu, L. X. Cao, M. L. Li, X. Q. Wang, and Z. Z. He, *Sci. China: Technol. Sci.*, **66**, 1617 (2023).
doi: <https://doi.org/10.1007/s11431-023-2431-4>
- [14] J. G. Troughton, P. Downs, R. Price, and D. Atkinson, *Appl. Phys. Lett.*, **110**, 011903 (2017).
doi: <https://doi.org/10.1063/1.4973629>
- [15] R. Velichko, Y. Magari, and M. Furuta, *Materials*, **15**, 334 (2022).
doi: <https://doi.org/10.3390/ma15010334>
- [16] A. Kerber and E. Cartier, *Bias Temperature Instability for Devices and Circuits* (Springer, 2014) p. 3.
doi: https://doi.org/10.1007/978-1-4614-7909-3_1
- [17] S. U. Lee and J. Jeong, *AIP Adv.*, **8**, 085206 (2018).
doi: <https://doi.org/10.1063/1.5040019>
- [18] M. S. Kim, H. T. Kim, S. Jung, Y. W. Kim, S. Lee, and H. J. Kim, *ACS Appl. Mater. Interfaces*, **31**, 41127 (2024).
doi: <https://pubs.acs.org/doi/10.1021/acsami.4c06708>
- [19] Z. Pan, Y. Hu, J. Chen, F. Wang, Y. Jeong, D. P. Pham, and J. Yi, *Trans. Electr. Electron. Mater.*, **25**, 371 (2024).
doi: <https://doi.org/10.1007/s42341-024-00536-1>
- [20] K. R. Sarma, *Handbook of Visual Display Technology* (Springer, 2016) p. 1389.
doi: https://doi.org/10.1007/978-3-319-14346-0_62
- [21] J. Bao, L. Huang, Y. Liu, F. Liu, H. Xie, and W. Wu, *J. Mater. Sci.: Mater. Electron.*, **35**, 872 (2024).
doi: <https://doi.org/10.1007/s10854-024-12633-1>
- [22] J. Kim, S. Bang, S. Lee, S. Shin, J. Park, H. Seo, and H. Jeon, *J. Mater. Res.*, **27**, 2318 (2012).
doi: <https://doi.org/10.1557/jmr.2012.199>
- [23] W. Zhang, Z. Fan, A. Shen, and C. Dong, *Micromachines*, **12**, 1551 (2021).
doi: <https://doi.org/10.3390/mi12121551>
- [24] D. H. Kim, H. S. Jeong, D. H. Lee, K. H. Bae, S. Lee, M. H. Kim, J. H. Lim, and H. I. Kwon, *Coatings*, **11**, 1192 (2021).
doi: <https://doi.org/10.3390/coatings11101192>
- [25] W. J. Cho and M. J. Ahn, *J. Korean Phys. Soc.*, **71**, 325 (2017).
doi: <https://doi.org/10.3938/jkps.71.325>
- [26] Y. Jeong, H. Kim, J. Oh, S. Y. Choi, and H. Park, *J. Electron. Mater.*, **52**, 3914 (2023).
doi: <https://doi.org/10.1007/s11664-023-10386-x>
- [27] D. S. Ang, *Bias Temperature Instability for Devices and Circuits* (Springer, 2013) p. 287.
doi: https://doi.org/10.1007/978-1-4614-7909-3_11
- [28] H. Y. Jeong, S. H. Nam, K. S. Park, S. Y. Yoon, C. Park, and J. Jang, *Nanomaterials*, **10**, 1165 (2020).
doi: <https://doi.org/10.3390/nano10061165>
- [29] Y. Shao, X. Wu, M. N. Zhang, W. J. Liu, and S. J. Ding, *Nanoscale Res. Lett.*, **14**, 122 (2019).
doi: <https://doi.org/10.1186/s11671-019-2959-1>
- [30] J. Wang, J. Bi, G. Xu, and M. Liu, *Electronics*, **13**, 1427 (2024).
doi: <https://doi.org/10.3390/electronics13081427>
- [31] C. Y. Lin, K. Tang, C. M. Leu, and Y. H. Yeh, *Microsyst. Technol.*, **28**, 275 (2022).
doi: <https://doi.org/10.1007/s00542-019-04707-6>
- [32] C. K. Nguyen, T. T. Nguyen, H. J. Yoo, and H. M. Kim, *Energies*, **11**, 27 (2018).
doi: <https://doi.org/10.3390/en11010027>
- [33] B. Olbrechts, X. Zhang, Y. Bertholet, T. Pardoën, and J. P. Raskin, *Microsyst. Technol.*, **12**, 383 (2006).
doi: <https://doi.org/10.1007/s00542-005-0038-2>
- [34] D. J. McCloskey, D. Roberts, L.V.H. Rodgers, Y. Barsukov, I. D. Kaganovich, D. A. Simpson, N. P. de Leon, A. Stacey, and N. Dontschuk, *Adv. Mater. Interfaces*, **11**, 2400242 (2024).
doi: <https://doi.org/10.1002/admi.202400242>