

# Switched Capacitor Array를 이용한 Si-NWFET 기반의 저전력 LC-VCO 설계

최승혁, 송한정 

인제대학교 나노융합공학과

## Low-Power LC-VCO Design Based on Si-NWFET Using Switched Capacitor Array

Seung Hyeok Choi and Han Jung Song

Department of Nanoscience and Engineering, Inje University, Gimhae 50834, Korea

(Received October 25, 2024; Revised November 13, 2024; Accepted November 13, 2024)

**Abstract:** This paper presents a Si-NWFET-based LC-VCO design that includes an SCA, a P-type Si-NWFET varactor, a 1.2 nH LC tank, and a bias network to linearize the varactor's C-V characteristics, enabling a wide oscillation frequency tuning range. The circuit achieves a 24 GHz oscillation frequency with a low power consumption of 16.8  $\mu$ W at a control voltage ( $V_{ctrl}$ ) of 0.7 V. Phase noise simulations indicate an excellent -109.62 dBc/Hz at a 1 MHz offset, confirming its applicability for RFIC systems. Additionally, the proposed LC-VCO demonstrates stable performance in five major corner process analyses, ensuring robustness under extreme conditions. These results validate the durability of the design and highlight the potential of Si-NWFET-based LC-VCOs as a viable, low-power, highly integrated solution for RFIC applications. The findings underscore the suitability of Si-NWFET technology as a promising alternative to current FinFET and CMOS processes in advanced circuit design.

**Keywords:** LC-VCO, Si-NWFET, Switched capacitor array, RFIC, Low power consumption

### 1. 서론

현대 전자공학 분야에서 전압 제어 발진기(voltage controlled oscillator, VCO)는 무선 주파수(RF) 통신, 신경형 시스템 사물 인터넷에 이르기까지 다양한 분야에서 주파수 조절 기능과 신호 안정성을 통해 기술적 요구를 충족할 수 있기 때문에 중요한 요소로 사용된다 [1]. 특히, 무선 주파수 집적회로(RFIC)의 경우 VCO는 주파수 생성과 변조, PLL에서의 동기화, 주파수 채널 선택 및 대역폭 조절 등의 동작을 수행하여 RFIC 시스템의 신호 품질과 안정

성을 보장하는 역할을 하기 때문에 RFIC에서 중요한 구성 요소이다. 따라서 이러한 역할을 수행하기 위해 설계 요구 조건을 충족하는 적절한 VCO 구조를 선택해야 한다. 대표적인 설계 요구 조건으로는 전력 소비, 주파수 범위, 설계 복잡성, 위상 잡음, 칩 면적을 포함한 많은 설계 요구 사항이 고려된다. 이러한 요구 사항을 충족시키기 위해 RFIC의 경우 delay stage VCO와 LC-VCO가 선호되는 구조이다 [2]. 이 중 LC-VCO는 상대적으로 위상 잡음 특성과 주파수 안정성이 우수하고 전력 소모가 적기 때문에 높은 정밀성을 요구하는 시스템에 적합하다. 또한, RFIC 시스템에서 VCO 회로를 구성하는 적절한 소자를 선택하는 것은 시스템의 성능을 결정하는 데 영향을 주는 요소 중 하나이다. 대표적인 소자로는 금속 산화물 반도체(CMOS) 소자가 있다. CMOS 소자는 30 nm 공정 기술까지의 집적회로

✉ Han Jung Song; [hjsong@inje.ac.kr](mailto:hjsong@inje.ac.kr)

Copyright ©2025 KIEEME. All rights reserved.  
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

를 구현하는 데 있어 가장 선호되는 소자이다. 그러나 평면 CMOS 소자는 단채널 효과(short channel effect)로 인해 30 nm 이하 공정으로 진입하는 데 어려움이 있다 [3]. 따라서 30 nm 이하 공정으로 진입하기 위한 해결책이 있다. 바로 CMOS 소자의 게이트 구조를 수정하여 게이트 채널의 제어성을 개선하는 방법이다 [4]. 게이트 구조를 수정한 트랜지스터는 대표적으로 FinFET (fin-field effect transistor)과 Si-NWFET (silicon-nano wire field effect transistor)가 있다. 이러한 트랜지스터는 평면 CMOS 소자보다 게이트 영역에서 더 나은 전기적 제어성을 제공하며 현재 제조공정을 사용하여 제작할 수 있다 [5]. 따라서 본 논문에서는 저전력 설계를 목표로 상대적으로 전력 소모가 적은 LC-VCO를 선택하였고, LC-VCO 설계에 앞서 Si-NWFET과 FinFET을 비교하여 적합한 소자를 확인할 필요가 있다. 이를 위해, 두 소자의 전이 특성과 출력 특성을 분석하여 어떤 소자가 저전력 설계에 유리한지 평가를 진행한 후에 결과를 바탕으로 LC-VCO를 설계하고자 한다.

## 2. LC-VCO의 설계

### 2.1 Si-NWFET와 FinFET의 비교

그림 1은 Si-NWFET의 3D 구조를 보여준다. 이 소자는 절연체 기판을 사용하며 그 위에 핀 피치 및 소스와 드레인 접촉부로 구성된다. 게이트 영역에 수직으로 위치한 수평 나노 와이어가 배치된다. 이는 게이트 올 어라운드(gate all around, GAA) 구조로 게이트가 채널의 모든 면을 감싸는 형태이고 기존 평면형 소자 대비 우수한 전류 제어 능력을 제공한다. hafnium 이산화물 같은 고유전율 유전체는 스페이서 영역 사이에 위치하여 채널 영역에 대한 우수성을 제공한다 [5]. 그림 2는 FinFET 소자의 3D 구조를 보여준다. FinFET의 특징으로는 Fin 형태의 얇고 길쭉한 3차원 구조의 채널을 갖고 있다는 것이다. 이러한 형태의 Fin을 게이트가 세 면을 감싸는 형태의 채널을 갖고 있다 [6]. FinFET 소자 또한 평면형 소자 대비 우수한 전류 제어 능력을 제공한다. 이러한 구조를 바탕으로 Si-NWFET와 FinFET 소자의 성능을 평가하기 위해 SYNOPSIS사의 HSPICE 환경에서 공급 전압 0.7 V에서 5 nm Si-NWFET PDK (process design kit) [5]와 7 nm FinFET PDK [6]를 이용하여 시뮬레이션을 수행했다. 소자 성능을 비교하기 위한 시뮬레이션 결과에 따르면 그림 3(a)에서 Si-NWFET 기술의  $I_{on}/I_{off}$  비율이  $2.5 \times 10^4$ 이고 FinFET 기술

의  $1.8 \times 10^4$ 보다 더 높은 것을 볼 수 있다. 이는 Si-NWFET 게이트의 기하학적 구조가 게이트 영역에 대한 제어성이 더 뛰어나고 FinFET 기술보다 누설 전류를 완화한다는 것을 보여준다 [7]. 또한, 그림 3(b)에서  $V_{DS}$ 가 증가함에 따라 Si-NWFET이 상대적으로 포화 영역에서 전류를 일정하게 출력하는 것을 볼 수 있다. 이는 Si-NWFET의 게이트 구조가 단채널 효과에 대한 역제가 우수하다는 것을 의미한다. 이러한 결과를 토대로 본 논문의 목표인 저전력 설계를 위한 LC-VCO의 소자는 Si-NWFET가 유리하다는 것으로 해석할 수 있다. 따라서 본 논문의 LC-VCO의 설계는 5 nm Si-NWFET 기술을 이용하여 구현하였다. 그림 3은 5 nm Si-NWFET와 7 nm FinFET PDK를 이용하여 시뮬레이션된 Si-NWFET와 FinFET의 (a) 전이 특성( $I_D-V_{GS}$ )과 (b) 출력 특성( $I_D-V_{DS}$ )을 보여준다.

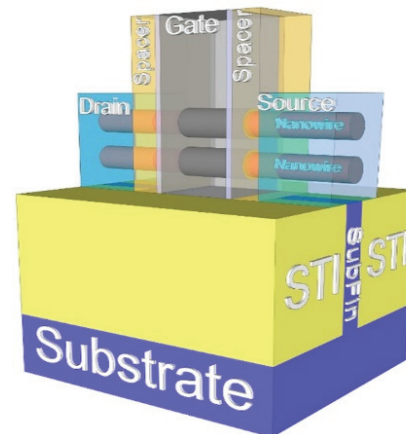


Fig. 1. The 3D view of a Si-NWFET device.

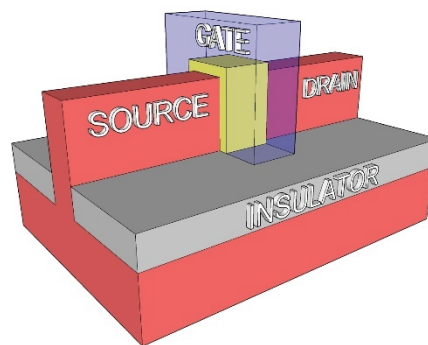
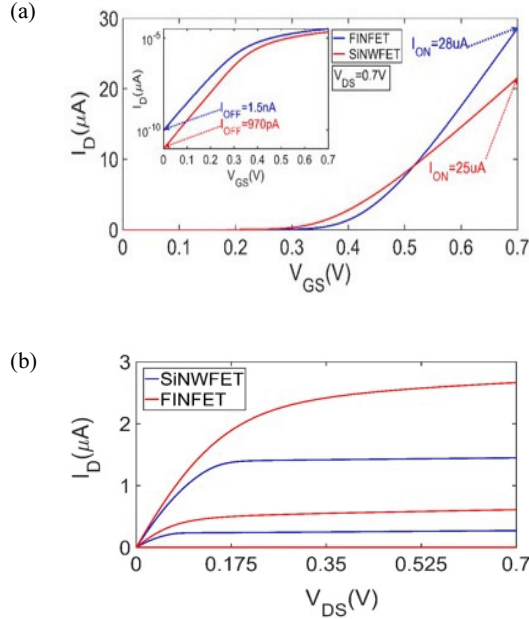


Fig. 2. The 3D view of a FinFET device.



**Fig. 3.** A comparison between (a) the transfer and (b) the output characteristics of Si-NWFET and FinFET technology.

## 2.2 Si-NWFET 기반의 LC-VCO 설계

LC-VCO는 일반적으로 LC 탱크와 능동 소자 두 가지 주요 부분으로 구성된다. LC 탱크는 안정적인 발진을 생성하는 역할을 하며 능동 소자 부분은 LC 탱크의 손실을 제거하는 데 사용된다. LC 탱크 VCO에서 발생한 시간 영역에서 발진은 식 (1)과 같이 표현할 수 있다.

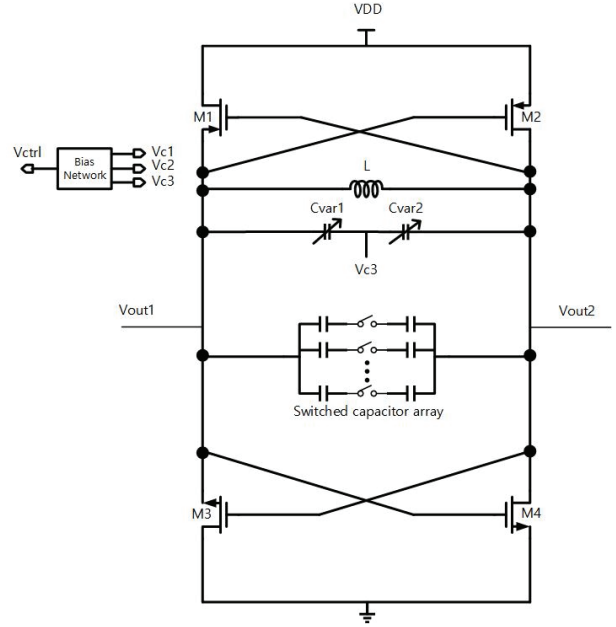
$$V_{osc}(t) \approx \frac{I_{pulse} e^{-\frac{t}{2RC}}}{C} \left( \sqrt{\left( \frac{1}{LC} - \frac{1}{4R^2 C^2} \right) t} \right) \quad (1)$$

여기서  $I_{pulse}$ 는 LC 탱크 회로에 공급되는 전류 펄스이다. 식 (1)에 따르면 LC 탱크 기반 VCO의 발진은 사인파이며 진폭은 탱크 커패시터에 대해 반비례하여 감소한다. 일정한 진폭으로 안정적인 발진을 갖기 위한 LC 탱크의 손실은 식 (2)와 같이 표현할 수 있다.

$$|R| = \sqrt{\frac{L}{C}} \quad (2)$$

LC-VCO의 발진 주파수는 식 (3)과 같다.

$$F_{osc} = \frac{1}{2\pi\sqrt{LC}} \quad (3)$$



**Fig. 4.** The circuit structure of the proposed Si-NWFET-based LC VCO.

이러한 수학적 이론을 바탕으로 그림 4는 제안하는 Si-NWFET 기반 LC-VCO의 회로 구조를 보여준다. 제안하는 LC-VCO는 LC 탱크와 Si-NWFET 교차 결합쌍, P-type 바랙터, switched capacitor array (SCA), bias network 구조로 이루어져 있다. LC 탱크의 손실을 보상하는 부성 저항은 P형과 N형 Si-NWFET 교차 결합쌍에서 제공한다.  $V_{ctrl}$  전압은 bias network를 통과하여 P-type Si-NWFET 바랙터와 SCA에 가하는 전압을 조정한다. 이는 회로 전체의 커패시턴스를 조절하여 LC-VCO의 발진 주파수를 조절할 수 있다. 그림 5는 제안하는 LC-VCO 회로의 주요 구성 요소인 bias network의 구조를 보여준다. 바랙터의 C-V 전달 특성은 매우 비선형적이며 축적 모드에서만 사용되는 경우 전압 조절 범위가 0.2~0.5 V에 불과하다. 이는 최종적으로 구현되는 VCO의 전압 조절 범위를 크게 제한한다. 따라서 본 VCO 설계에는 그림 5의 Mandal과 Bhattacharyya의 선형화 기법을 적용한 bias network 회로를 이용하였다. 3개의 N-type Si-NWFET 소스 팔로워가 직렬로 연결되어 각 단계는 이전 단계의 소스 전압에 의해 제어된다. 각 소스 팔로워는  $V_{gs}$  강하를 발생시키며, 이를 통해 출력 전압이 점진적으로 변하고 바랙터를 구동하여 주파수 조절 범위를 확장한다 [8]. 그림 6은 자체 바이어스 SCA 구조를 보여준다. 스위치와 커패시터가 배열된 구조로 전압을 조절하여 전체 커패시턴스를 변화시키는 구조이다. 또한 최소 크기의 스위치  $M_8$ ,  $M_9$ 를 통

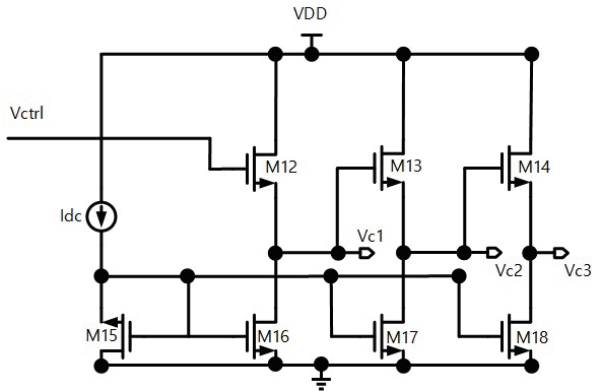


Fig. 5. The circuit structures of bias network.

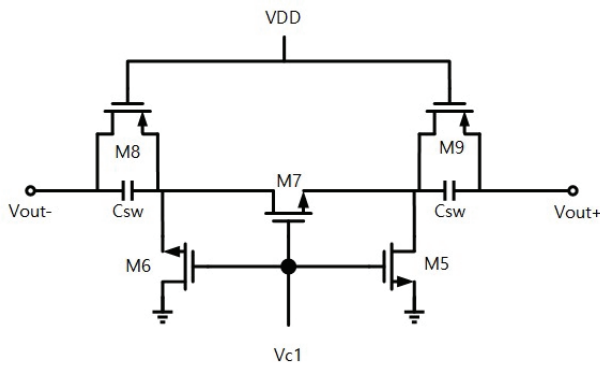


Fig. 6. A single switched capacitor array [9].

해 VCO 출력 노드에 연결된다. 이 연결 스위치는 M5, M6가 꺼져 있을 때 VCO 스윙으로 인해 켜지지 않도록 한다. 이 구조는 전원 공급 장치에 커패시터의 바닥판이 연결되는 것을 방지하여 VCO가 전원 공급 장치 노이즈의 민감도를 낮춘다 [9]. 본 논문의 설계에서는 각 10 fF 용량의 커패시터  $C_{sw}$ 를 이용하였고 총 3단의 array를 구성하였다.

그림 7은 P-type Si-NWFET 바랙터를 보여준다. 드레인, 소스, 바디를 단락시켜 D=S=B 바랙터로 구현하였다. 두 개의 바랙터가 마주 보도록 배치되어 게이트 접점이 두 단자를 형성하고 제어 전압은 바디 단자에 공급된다. 또한, M10과 M11 스위칭 트랜지스터를 바랙터 회로 양쪽에 배치하여 출력의 양의 반 주기 동안 스위치가 닫히며 전원에서 전류를 공급받아 바랙터를 충전하고 나머지 반 주기 동안 스위치가 열려 바랙터가 방전된다. 이는 동일한 VCO 성능을 제공하면서도 바랙터가 반 주기 동안만 전류를 공급받기 때문에 기존 VCO 대비 소비 전력을 절반 가까이 줄일 수 있다 [10].

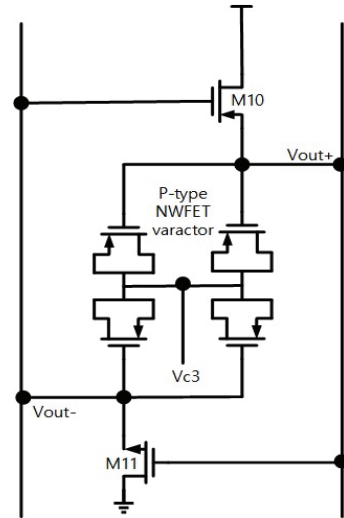


Fig. 7. The P-type Si-NWFET varactor.

### 3. 시뮬레이션

#### 3.1 Transient 시뮬레이션

제안된 Si-NWFET 기반 LC-VCO의 발진 주파수와 주파수 조절 범위를 확인하기 위해서 SYNOPSIS사의 HSPICE 환경에서 공급 전압 0.7 V 하에서 5 nm Si-NWFET PDK를 이용하여 transient 시뮬레이션을 진행한다. 해당 시뮬레이션은 0s부터 150ns까지 진행하며, 그림 4의 출력 노드에 해당하는 Vout 1과 Vout 2의 출력 신호를 측정하여 발진 주파수를 확인한다. 또한, 발진 주파수의 조절 범위를 확인하기 위하여  $V_{ctrl}$  전압을 bias network 회로로 입력하고 출력 전압  $V_{c1}$ ,  $V_{c2}$ ,  $V_{c3}$ 의 발생을 확인한다.  $V_{c1}$ 과  $V_{c2}$ 는 SCA의 입력 전압으로 연결되어 N-type Si-NWFET 스위치를 동작시켜 커패시턴스를 조절하고  $V_{c3}$ 는 바랙터 입력 전압으로 연결되어 바랙터의 커패시턴스를 조절한다.  $V_{ctrl}$  전압의 값을 0부터 0.7 V까지 변동을 주어 발생한 출력 노드의 발진 주파수를 측정하여 발진 주파수의 조절 범위를 확인한다. 마지막으로 0s부터 150ns까지의 소비 전력을 측정한다.

#### 3.2 위상 잡음 측정 시뮬레이션

제안하는 Si-NWFET 기반 LC-VCO의 발진 주파수 품질 및 신호 안정성을 검증하기 위해 1 MHz 오프셋에서의 위상 잡음을 측정하고 5 nm Si-NWFET PDK에서 제공하

는 5가지 주요 코너 프로세스에서의 위상 잡음을 측정한다. 해당 시뮬레이션은 HPSICE 프로그램에서 제공하는 harmonic balance oscillator (HBOSC) 시뮬레이션을 통하여 잡음 성분을 분석하고 출력 노드의 위상 잡음을 측정하여 확인할 수 있다.

1 MHz 오프셋 지점은 고주파 신호 품질 평가의 산업 표준으로 RF 및 통신 시스템에서 성능 비교 기준으로 사용된다. 따라서 이 지점에서의 성능 평가가 필수적이다. 또한, 상업용 실리콘 기반 기술에서 코너 프로세스 분석(corner process analysis)은 소자의 공정 변동에 따른 성능 변화와 회로가 다양한 조건에서 안정적으로 동작하는지 평가하기 위해 수행된다. 일반적으로 회로의 물리적 구현 전에 성능 편차를 예측하고 설계의 안정성을 확보하기 위해 코너 프로세스 분석을 진행한다. 5가지 주요 코너 프로세스는 다음과 같다. TT (typical-typical)는 모든 소자가 평균적인 특성을 가지는 경우로 공정의 표준 조건에서의 동작

을 나타낸다. FF (fast-fast)는 N-type, P-type 소자가 모두 빠르게 동작하는 것을 의미하며 전류 구동 능력이 높고 고속 동작에 유리하다. SS (slow-slow)는 N-type, P-type 소자가 모두 느리게 동작하는 것을 의미하며 전류 구동 능력이 낮고 상대적으로 느리게 동작한다. FS (fast-slow), SF (slow-fast)는 각각 소자의 속도가 다르기 때문에 비대칭적인 특성을 갖기 때문에 출력 신호에 편차가 발생할 가능성이 있다. 이러한 5가지 주요 코너 프로세스에서의 위상 잡음을 측정함으로써 제안하는 Si-NWFET 기반의 LC-VCO 설계의 견고함과 출력 신호의 안정성을 확인할 수 있다. 그림 8은 5가지 주요 코너 프로세스를 도식화하여 나타내었다. 표 1은 시뮬레이션에 사용된 Si-NWFET의  $L_g$  값과  $D$  값을 보여준다.

## 4. 시뮬레이션 결과 및 검토

### 4.1 Transient 시뮬레이션 결과

제안된 LC-VCO는 transient 시뮬레이션을 통하여 발진 주파수를 측정하였다.  $V_{ctrl}=0.7$  V에서 24.2 GHz로 발진함을 측정했고  $V_{ctrl}=0$  V에서 28.4 GHz로 발진하는 것을 확인하였다. 또한 식 (3)에 의하여 발진 주파수로 회로 전체의 커패시턴스를 계산할 수 있었는데,  $V_{ctrl}=0.7$  V에서  $C_{total}$ 은 약 36 fF 커패시턴스 값을 가지며,  $V_{ctrl}=0$  V에서  $C_{total}$ 은 약 26 fF의 커패시턴스를 가진 것을 계산하였다. 따라서 본 논문에서 제안하는 LC-VCO는 입력 전압이 증가함에 따라 커패시턴스가 증가하여 발진 주파수가 낮아지는 것을 확인할 수 있었다. Transient 시뮬레이션을 정리하자면,  $V_{ctrl}$  전압을 0부터 0.7 V까지 조절함에 따라 발진 주파수는 24~28 GHz의 14%의 조절 범위를 확인하였고 전력 소비는 13.7~16.8  $\mu$ W가 측정되었다. 그림 9는  $V_{ctrl}=0.7$  V일 때 제안된 LC-VCO의 transient 시뮬레이션 결과이다.

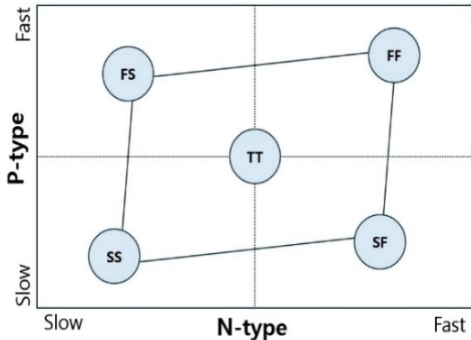


Fig. 8. The 5-types of corner process.

Table 1. The parameter of value of each transistor used in the simulation.

Transistor	$L_g$ ( $\mu$ m)	$D$ ( $\mu$ m)
M <sub>1</sub> -M <sub>4</sub>	0.14	0.08
M <sub>5</sub> -M <sub>7</sub>	2.8	0.72
M <sub>8</sub> -M <sub>9</sub>	0.14	0.08
M <sub>10</sub> -M <sub>11</sub>	0.14	0.08
M <sub>12</sub>	0.56	0.54
M <sub>13</sub>	1.12	0.91
M <sub>14</sub>	1.8	1.6
M <sub>15</sub>	0.86	0.36
M <sub>16</sub>	0.58	0.18
M <sub>17</sub>	0.24	0.18
M <sub>18</sub>	3	0.36

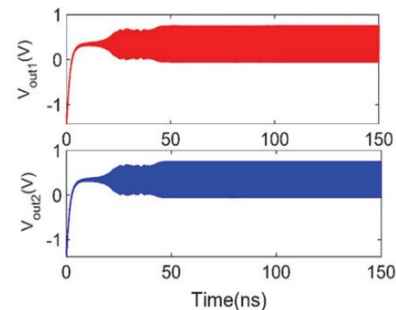


Fig. 9. The transient simulation results of the proposed LC-VCO.

### 4.2 위상 잡음 측정 시뮬레이션 결과

제안된 LC-VCO의 발진 주파수 품질 및 안정성을 확인하기 위해 위상 잡음 측정 시뮬레이션을 수행하였고 공정 변동에 따른 소자의 성능 변화를 확인하기 위해 5가지 주요 코너 프로세스에서의 위상 잡음 측정을 수행하였다. 시뮬레이션 결과에 따르면, 1 MHz 오프셋 주파수에서 제안된 LC-VCO는 -109.62 dBc/Hz의 위상 잡음을 측정하였다. 이 값은 RFIC 시스템에서 우수한 성능이라고 평가할 수 있는 -100 dBc/Hz 이하의 값으로, 제안하는 LC-VCO의 주파수 품질과 안정성이 높다는 것을 의미한다. 또한, 제안된 LC-VCO는 5가지 주요 코너 프로세스에서 측정된 위상 잡음은, 각 프로세스에서 1 dBc/Hz 미만의 변동성을 확인하였다. 그림 10은 제안된 LC-VCO의 위상 잡음 측정 시뮬레이션 결과를 보여준다. 그림 11은 제안된 Si-NWFET 기반 LC-VCO의 위상 잡음에 대한 코너 프로세스 분석 시뮬레이션 결과이다. 또한, 1 MHz에서 확대한 플롯을 추가하여 결과를 보여준다. 표 2는 제안하는 LC-VCO의 시뮬레이션 결과를 요약한 표이다.

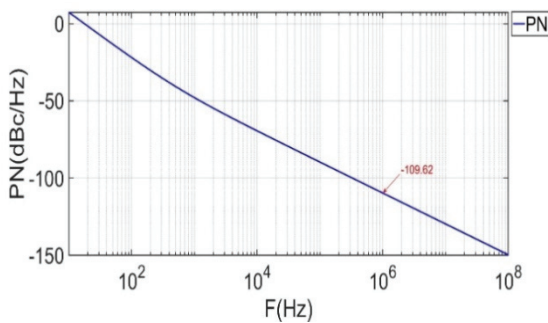


Fig. 10. The phase noise response of the proposed Si-NWFET based LC-VCO.

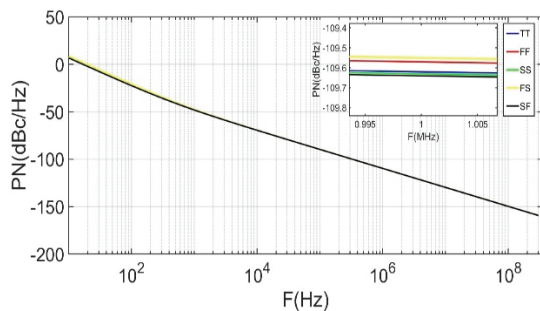


Fig. 11. The impact of corner process variations on the phase noise response.

Table 2. The simulation result summary table.

Metrics	Value
Power supply (mV)	700
FOSC (GHz)	24~28 (14%)
Phase noise (dBc/Hz)	-109.62
Power consumption ( $\mu$ W)	13.7~16.8
Technology	Si-NWFET

### 5. 결론

본 논문은 저전력 LC-VCO를 설계하기 위해 FinFET과 Si-NWFET 기술의 전이 특성과 출력 특성을 비교하였고 그 결과 Si-NWFET 기술을 활용하는 것이 상대적으로 저전력 설계에 유리하다는 것을 확인했다. Si-NWFET의 게이트의 GAA 구조가 FinFET의 Fin 게이트 구조보다 게이트 영역에 대한 제어성이 더 뛰어나고 누설 전류를 완화하며 단채널 효과를 억제하는 것으로 확인하였다. 제안된 Si-NWFET 기반의 LC-VCO는 1.2 nH의 값을 가지는 인덕터와 P-type Si-NWFET 바랙터와 SCA를 이용하여 LC 탱크를 구성하였다. P-type 바랙터는 C-V 특성이 비선형적으로 나타나기 때문에 VCO의 주파수 조절 범위를 크게 제한한다. 따라서 bias network 회로를 추가적으로 구성하여  $V_{ctrl}$  전압의 입력에 대한 점진적인 출력 전압을 얻었고 바랙터의 주파수 조절 범위를 확장했다. LC 탱크의 커패시턴스는  $V_{ctrl}=0.7$  V에서  $C_{total}=36$  fF 커패시턴스 값을 가지며, 0~0.7 V의  $V_{ctrl}$  전압을 조절함에 따라 발진 주파수는 24~28 GHz의 14%의 조절 범위를 확인하였고 전력 소비는 13.7~16.8  $\mu$ W가 측정되었다. 위상 잡음 측정 시뮬레이션에 따르면 1 MHz 오프셋에서 -109.62 dBc/Hz의 우수한 위상 잡음을 나타내어 제안된 Si-NWFET 기반 LC-VCO가 RFIC 시스템에 적합함을 보여준다. 또한, 5가지의 주요 코너 프로세스 분석에서 제안된 LC-VCO는 극단적인 동작 조건의 변동이 있음에도 불구하고 일관적으로 동작하며 제안하는 설계의 견고성이 확인되었다. 따라서 제안된 Si-NWFET 기반의 LC-VCO는 RFIC 시스템에 적합한 저전력, 고집적 VCO 설계의 가능성을 제시하며, 더 나아가 Si-NWFET 기반의 회로 설계는 현재의 FinFET 및 CMOS 설계 공정을 대체하는 강력한 후보로서 평가할 수 있다.

### ORCID

Han Jung Song

<https://orcid.org/0000-0001-5911-4529>

### 감사의 글

This work was supported by the National Research Foundation of Korea (NRF) grant funded by the Korea government (MSIT) (NRF-2022R1F1A1063656). The chip fabrication and EDA tool were supported by the IC Design Education Center (IDEC), Korea.

### REFERENCES

- [1] M.K.Q. Jooq, A. Bozorgmehr, and S. Mirzakuchaki, *Int. J. Circuit Theory Appl.*, **49**, 142 (2021).  
doi: <https://doi.org/10.1002/cta.2864>
- [2] N. R. Sivaraaj and K.K.A. Majeed. *IEEE Access*, **11**, 127987 (2023).  
doi: <https://doi.org/10.1109/ACCESS.2023.3331308>
- [3] M.K.Q. Jooq, M. H. Moaiyeri, and K. Tamersit, *IEEE Trans. Electron Devices*, **69**, 6113 (2022).  
doi: <https://doi.org/10.1109/TED.2022.3207703>
- [4] T. Kayanselçuk and E. Zencir, *J. Circuits Syst. Comput.*, **31**, 2250140 (2022).  
doi: <https://doi.org/10.1142/S0218126622501407>
- [5] V. Vashishtha and L. T. Clark, *Microelectron. J.*, **126**, 105481 (2022).  
doi: <https://doi.org/10.1016/j.mejo.2022.105481>
- [6] L. T. Clark, V. Vashishtha, L. Shifren, A. Gujja, S. Sinha, B. Cline, C. Ramamurthy, and G. Yeric, *Microelectron. J.*, **53**, 105 (2016).  
doi: <https://doi.org/10.1016/j.mejo.2016.04.006>
- [7] M.K.Q. Jooq, M. R. Azghadi, F. Behbahani, A. Al-Shidaifat, and H. Song, *IEEE Access*, **11**, 133451 (2023).  
doi: <https://doi.org/10.1109/ACCESS.2023.3335387>
- [8] D. Mandal and T. K. Bhattacharyya, *Analog Integr. Circuits Signal Process.*, **62**, 253 (2010).  
doi: <https://doi.org/10.1007/s10470-009-9380-0>
- [9] P. P. Chary, R. S. Peerla, B. T. Pula, A. Dutta, and B. D. Sahoo, *IEEE Trans. Compon., Packag., Manuf. Technol.*, **12**, 1653 (2022).  
doi: <https://doi.org/10.1109/TCPMT.2022.3210781>
- [10] M. R. Basar, F. Malek, K. M. Juni, M.I.M. Saleh, and M. S. Idris, *Proc. 2012 IEEE International Conference on Electronics Design, Systems and Applications (ICEDSA)* (IEEE, Kuala Lumpur, Malaysia, 2012) p. 230.  
doi: <https://doi.org/10.1109/ICEDSA.2012.6507804>