

전력반도체 응용을 위한 용액 공정 인듐-갈륨 산화물 반도체 박막 트랜지스터의 성능과 안정성 향상 연구

김세현¹, 이정민¹, Daniel Kofi Azati¹, 김민규², 정유진², 백강준^{1,2} 

¹ 국립부경대학교 스마트그린기술융합공학과

² 국립부경대학교 나노융합공학과

Solution-Processed Indium-Gallium Oxide Thin-Film Transistors for Power Electronic Applications

Se-Hyun Kim¹, Jeong Min Lee¹, Daniel Kofi Azati¹, Min-Kyu Kim², Yujin Jung², and Kang-Jun Baeg^{1,2}

¹ Department of Smart Green Technology Engineering, Pukyong National University, Busan 48513, Korea

² Department of Nanotechnology Engineering, Pukyong National University, Busan 48513, Korea

(Received February 12, 2024; Revised February 21, 2024; Accepted February 21, 2024)

Abstract: Next-generation wide-bandgap semiconductors such as SiC, GaN, and Ga₂O₃ are being considered as potential replacements for current silicon-based power devices due to their high mobility, larger size, and production of high-quality wafers at a moderate cost. In this study, we investigate the gradual modulation of chemical composition in multi-stacked metal oxide semiconductor thin films to enhance the performance and bias stability of thin-film transistors (TFTs). It demonstrates that adjusting the Ga ratio in the indium gallium oxide (IGO) semiconductor allows for precise control over the threshold voltage and enhances device stability. Moreover, employing multiple deposition techniques addresses the inherent limitations of solution-processed amorphous oxide semiconductor TFTs by mitigating porosity induced by solvent evaporation. It is anticipated that solution-processed indium gallium oxide (IGO) semiconductors, with a Ga ratio exceeding 50%, can be utilized in the production of oxide semiconductors with wide band gaps. These materials hold promise for power electronic applications necessitating high voltage and current capabilities.

Keywords: Metal oxide semiconductors, Indium-gallium oxides, Solution-process, Power electronics, Bias stability

1. 서론

최근 모바일 기기의 증가와 전기자동차 보급으로 전력반도체 산업이 급격히 성장하고 있다. 전력반도체는 전기전자제품에서 전력을 변환, 변압, 분배 및 제어하는 역할을 수

행하며, 기존 반도체 대비 소자가 감당하는 전압이 높고 전류 용량이 큰 특징이 있다. 전력반도체 소자는 교류를 직류로 변환할 때 주로 사용되는 다이오드와 스위치 역할을 하는 트랜지스터 등이 있으며, 이러한 소자는 자동차, 산업기기, 가전기기 등에 장착되므로 고전압 및 고전류 조건에서 견고한 안정성과 신뢰성과 함께 높은 전하 이동도를 달성하는 것이 필수적이다 [1]. 따라서 기존 실리콘(Si) 반도체 대비 넓은 밴드갭을 가지는 탄화규소(SiC) [2], 질화갈륨(GaN) [3], 산화갈륨(Ga₂O₃) [4] 등의 산화물이나 화합물 반

✉ Kang-Jun Baeg; kangjun100@pknu.ac.kr

Copyright ©2024 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

도체가 차세대 전력반도체 소재로 주목받고 있다. 특히, 4세대 전력반도체 소재는 4 eV 이상의 UWBG (ultra-wide bandgap) 특성을 가지는 다이아몬드(C), 산화갈륨(Ga_2O_3), 질화알루미늄(AlN) 등으로 대표되는 물질을 말한다 [4]. 이 중 산화갈륨의 경우 베타(β) 상을 사용하며 높은 파괴전압과 항복전압을 가지는 우수한 물성으로 인해 고전압, 고전력 전자기기에 응용 가능성이 매우 크다. 하지만 단결정 구조가 아닌 비정질 구조의 경우 매우 낮은 전하 이동 특성으로 인해 성능이 급격히 저하되는 문제가 있으며, 따라서 대면적의 고품질 단결정 웨이퍼를 필요로 한다 [5].

비정질 구조의 산화갈륨에 인듐(In)의 첨가를 통한 인듐-갈륨 산화물 반도체(a-IGO)는 넓은 밴드갭과 산소 공공(vacancy)의 형성에 의한 캐리어 농도 증가와 이에 따른 이동도 증가를 통해 산화물 반도체로서 응용 가능하다. 또한, 기존 비정질 실리콘(a-Si) 대비 훨씬 더 높은 캐리어 이동도와 높은 전류 점밀비, 더 나은 전기적 안정성을 보여준다. 또한, 추가적인 결정화 공정이 불필요하므로 비교적 낮은 온도에서 넓은 면적에 걸쳐 균일한 물성을 가지는 소자를 간단히 제조 가능하다. ZnO , In_2O_3 , SnO_2 등의 다결정 산화물 박막 트랜지스터(thin-film transistors, TFT)는 일반적으로 저온 다결정 실리콘(LTPS) TFT와 유사한 다결정 특성으로 인하여 소자 성능의 불균일 문제를 겪는 반면에 비정질 산화물 반도체는 a-Si TFT와 유사한 우수한 균일성을 나타내면서도 훨씬 더 높은 이동도를 갖는다 [6]. 그러나 다른 TFT와 마찬가지로 a-IGO TFT도 갈륨의 함량 증가에 따른 전하 이동도 감소와 바이어스 스트레스로 인한 문턱 전압(V_{th}) 이동현상 등의 전기적 특성 저하가 발생한다. 이러한 전기적 특성의 저하는 디스플레이나 집적회로뿐만 아니라 고전압에서 사용되는 전력반도체로서 IGO TFT의 적용을 어렵게 만든다. 전력반도체 소자는 높은 게이트 전압에 의해 스위칭 되는 트랜지스터이므로 장시간 또는 반복적인 고전압에 노출되면 소자의 본래 특성을 잃어버릴 수 있다. 따라서 전압 스트레스에 의한 TFT의 특성 변화를 측정하고 이를 개선하기 위한 노력이 필요하다 [7].

현재까지 진공공정 기반의 금속산화물 트랜지스터는 고해상도 대면적 디스플레이 등에 상용화되어 있다. 그러나 고가의 장비가 필요하다는 점과 상대적으로 좁은 면적에 제조해야 하는 제한이 있다. 이에 반해 용액 공정은 상대적으로 간편하고 빠른 공정이 가능하며, 인쇄기술을 통해 대면적화가 용이하다는 장점을 갖는다 [8]. 따라서 잠재적으로 단순화된 용액 공정 방법을 통해 제조 비용을 절감하는 효율적인 반도체 제조 프로세스를 구축할 필요가 있다. 또한, 용액 공정으로 형성된 IGO 박막은 기존의 진공 공정으로 형성된 박막에 비해 핀홀(pinhole)과 기공(pore) 등의

물리적 혹은 화학적 결함이 많아 전기적 특성과 안정성이 낮다. 특히 소자의 상용화에서 negative bias stress (NBS)는 큰 문제로 간주된다 [9]. 비정질 산화물 반도체 기반의 TFT는 높은 전계-효과 이동도(μ_{FET}), 낮은 off-state 전류, 가시광선 범위에서 높은 투명성을 갖는다. 또한, 용액 공정으로 제조된 TFT는 제조 비용이 저렴하고, 조성 조절이 용이하며, 대면적으로 쉽게 제조 가능한 장점이 있다. 그러나 용액 공정을 통해 제작된 소자의 경우 진공 공정에 비해 비교적 낮은 전기적 특성과 안정성 및 신뢰성을 보이는 경우가 많으며, 이로 인해 상용화 측면에서 한계를 갖고 있다. 이러한 용액 공정 비정질 산화물 반도체 TFT의 열악한 특성을 개선하기 위해 조성 변화, 도펀트나 첨가물 첨가, 플라즈마 또는 열 처리 도입, 자외선(UV) 조사 등 많은 연구가 제안되었다 [10-12].

본 연구에서는 비정질 구조의 용액 공정 산화물 반도체를 고전력 고전압의 전력반도체 소자에 응용하기 위해 조성이 다른 계층 구조로 갈륨이 풍부한 인듐-갈륨 산화물 반도체(IGO)를 제조하고, 이를 TFT 소자 제작에 적용함으로써 성능과 안정성이 향상된 반도체 소자기술을 연구하였다. 인듐이 풍부한 얇은 IGO층은 더 높은 캐리어 농도를 생성하여 전하 축적이 향상되고 캐리어 이동도가 높아진다. 반면 갈륨이 풍부한 IGO층은 산소 공공의 생성을 억제함으로써 캐리어 농도를 조절하고 bias stress에 대한 소자의 안정성을 높이는 데 기여한다. 이러한 조성이 다른 IGO 반도체층을 활용한 최적의 TFT 소자 구조를 설계하고, 높은 전하 이동도와 안정성을 보이는 TFT를 연구하였다. 단층 IGO TFT와 달리 이러한 점진적 다층 구조의 소자는 전압 스트레스 조건에서 상당한 문턱 전압 안정성을 유지함을 확인하였다. 이 연구는 전력반도체 기술에서 스위칭 트랜지스터로 사용하는 것을 포함하여 다양한 응용 분야에서 용액 공정 가능한 금속 산화물 반도체 TFT의 잠재력을 보여준다.

2. 실험 방법

용액 공정을 통한 비정질 IGO TFT를 제작할 경우, 반도체 박막 코팅 시 용매 휘발로 발생하는 다공성 기공 또는 핀홀로 인해 박막의 밀도가 낮아지고 전하 트랩이 발생하여 이동도가 저하된다. 이러한 문제를 해결하기 위해 얇은 박막을 연속 적층하는 방법으로 문제를 개선할 수 있다. 또한, 적층 과정에서 다양한 성분비를 가지는 IGO 반도체를 제조함으로써 조성 변화에 따른 반도체 소자의 성능을 비교 분석할 수 있다. 특히, 전력반도체에 응용 가능성을 확

인하기 위해 안정성이 높은 갈륨이 풍부한 조성의 IGO TFT를 제작하였으며, 최대 50% 이상의 갈륨을 포함하는 IGO TFT를 제작하여 전기적 특성과 안정성 향상을 동시에 확보하기 위한 연구를 수행하였다. 이러한 한계를 극복하기 위해 본 연구에서는 얇은 박막을 연속 적층하고 다양한 조성비를 가지는 IGO 반도체를 다중 적층 구조 활성층 (multi-stacked active-layer, MSAL) 기반의 TFT로 제조하였다 [14-16].

그림 1에 나타난 바와 같이, 용액 공정을 통한 IGO TFT 소자 제작을 위해 갈륨(Ga)과 인듐(In)의 성분비가 다른 IGO 전구체 용액을 제조하고, 반복적인 스핀 코팅과 열처리를 통해 박막을 형성하였다. Indium (III) nitrate hydrate $[\text{In}(\text{NO}_3)_3 \cdot x\text{H}_2\text{O}]$ 와 gallium (III) nitrate hydrate $[\text{Ga}(\text{NO}_3)_3 \cdot x\text{H}_2\text{O}]$ 물질은 각각 0.05 M의 농도로 2-methoxyethanol 용매에 상온에서 하루 동안 magnetic stirring 방법을 통해 용해시켰다. 각 용액이 완벽히 용해된 다음 비율에 따라 용액을 혼합한 뒤 12시간 이상 상온에 두어 용액이 고르게 섞일 수 있도록 하였다. 혼합된 용액은 0.2 μm 주사기 필터를 통해 불순물을 여과하여 기판 위에 도포한 후 5,000 rpm의 속도로 스핀 코팅을 진행하여 수 나노미터 두께의 박막을 기판에 균일하게 형성하였다. 이후 300°C의 핫 플레이트에서 약 1시간 동안 열처리하여 잔류용매를 제거하고 산화물의 소결을 통한 결정화 유도 및 조밀한 필름층을 형성하도록 유도하였다. 이러한 모든 공정은 10% 이하 습도의 건조한 분위기의 상온에서 진행하였다.

TFT 구조에서 활성층 영역이 소스 및 드레인 전극보다 크면 소자 성능에 부정적인 영향을 미치며, 이로 인하여 프

린지 전기장 및 기생 커패시턴스와 같은 복잡성이 발생할 수 있다. 또한, 누설 전류가 증가하여 높은 파워 소비로 이어진다 [13]. 따라서 불필요한 활성층 영역을 제거하는 패터닝 공정을 통해 산화물 반도체 트랜지스터를 제작하여 성능을 향상시킬 필요가 있다. 그림 1에서 보여주는 바와 같이, 본 연구에서는 높은 이방성 식각이 가능한 RIE 방법과 산화물 반도체를 빠른 속도로 제거하기 위해 습식 식각을 모두 활용하여 반도체 채널의 패턴을 성공적으로 제작하였다. 이러한 반도체 채널의 선택적 영역 제조를 통해 불필요한 활성층 면적을 줄임으로써 누설 전류가 감소하였으며, 이를 통해 높은 전류 점멸비를 얻을 수 있었다.

산화물 반도체 채널의 패턴 제조를 위해 건식과 습식 식각 방법을 병행하여 IGO 반도체 패턴을 형성하였다. 활성층의 선택적 노출과 지나친 식각 방지를 위해 우선 poly(methyl methacrylate) (PMMA) 고분자를 IGO 위에 코팅하였으며, 알루미늄을 PMMA 위에 열 증착하여 RIE 식각 과정에서 하부층에 대한 마스크로 활용하였다. PMMA를 스핀 코팅(3,000 rpm, 30초)한 후 핫 플레이트에서 80°C, 1시간 동안 열처리하여 박막을 형성하고, 게이트 전극 패턴이 설계된 웨도우 마스크를 기판에 부착한 다음 진공 열 증착 공정으로 금속 전극(Al, 30 nm)을 형성하였다. PMMA의 건식 식각은 reactive ion etching (RIE) 시스템을 이용해 Ar:O₂ (15:30 sccm), 100 W, 150 mTorr 조건에서 수행하였다. IGO의 습식 식각 공정은 oxalic acid 용액에서 실온에 기판을 10분 동안 dipping 하였다. 그 후, acetone에 dipping을 통해 잔여 Al과 PMMA가 제거되었으며, 최종적으로 TFT 완성을 위해 패턴된 IGO 반도체층에 맞게 금속 웨도우 마스크를 장착한

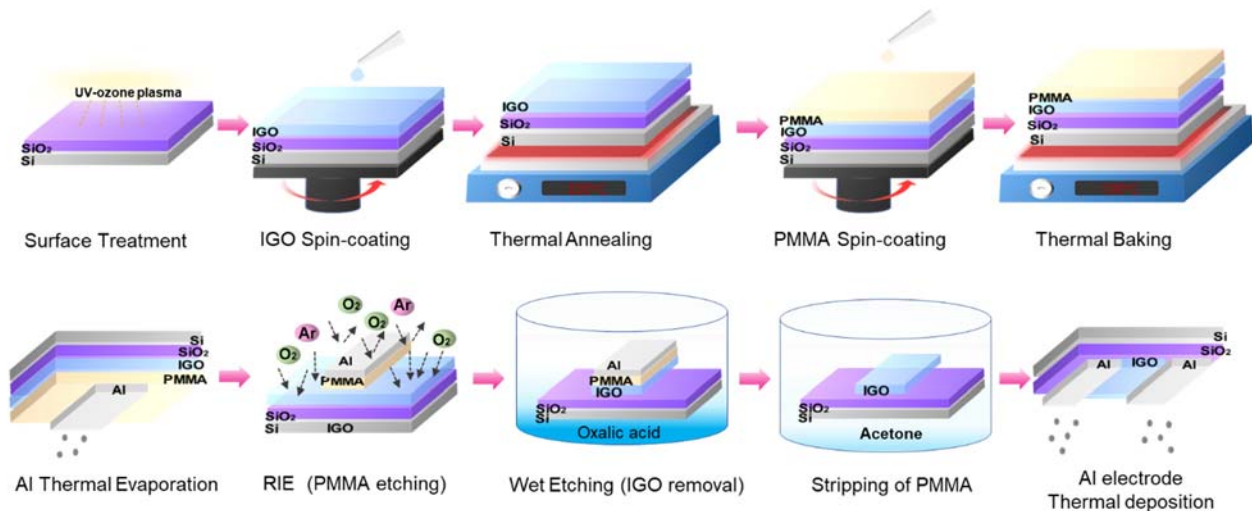


Fig. 1. Schematics of the fabrication process for solution-processed metal oxide semiconductor TFTs.

후, 열 증착 공정으로 source/drain (S/D) 전극으로 사용할 알루미늄을 약 50 nm 두께로 증착하였다.

최종 제작된 IGO TFT는 질소 분위기의 glove box 내부의 probe station을 이용해 Keithley 4200 반도체 특성분석기로 전기적 특성을 평가하였다. 산화물 반도체 TFT의 주요 특성 평가 파라미터인 전계-효과 이동도(μ_{FET})는 transfer curve에 표현된 드레인-소스 전류(I_{DS}) 대 게이트-소스 전압(V_{GS})의 포화 영역(saturation region, at $V_d = +60$ V)에서 결정되었다. NBS 특성 측정을 위해 0 V의 드레인 전압(V_d) 조건에서 -30 V의 게이트 전압(V_g)을 최대 2,000초 동안 인가한 후 transfer curve를 측정하여 문턱 전압의 변화를 측정하였다.

3. 결과 및 고찰

3.1 조성이 다른 산화물 반도체 TFT 소자

Si의 경우 공유결합을 형성하는 전자 구조를 갖지만 금

속 산화물 반도체의 경우 이온결합을 가진다. 금속 원자와 산소 원자 사이에 전하 교환이 일어나면, 전자친화도의 차이로 인하여 금속 원자에서 산소 원자로 전자가 이동한다. 이에 따라 그림 2(a)와 (b)와 같이 금속 원자는 (-) 포텐셜(potential)을 가지게 되고, 산소 원자는 (+) 포텐셜을 가지게 되는데, 이를 ‘Madelung potential’이라고 한다. Madelung potential에 의하여 금속 양이온(cation)의 포텐셜이 높아지며 산소 음이온(anion)의 포텐셜은 낮아지게 된다. 즉 금속 양이온의 비어 있는 *s* 오비탈로 인해 CBM (conduction band maximum)이 형성되고 산소 음이온의 *2p* 오비탈에 의해 VBM (valence band minimum)이 형성된다. 이러한 밴드 형성 메커니즘에 따라 금속 산화물 반도체는 자외선(UV) 영역에서 큰 밴드갭(≥ 3.0 eV)을 가지게 된다 [17]. 이러한 산화물 반도체의 밴드갭은 물질의 조성에 의해서도 조절 가능하며 산소와 결합력이 강한 갈륨의 경우 산소 공공에 의한 전하 농도 제어와 밴드갭 증가에 의해 넓은 밴드갭을 필요로 하는 전력반도체 소자로 응용 가능하다.

그림 2(c)와 (d)에서는 용액 공정으로 제조된 In_2O_3 과

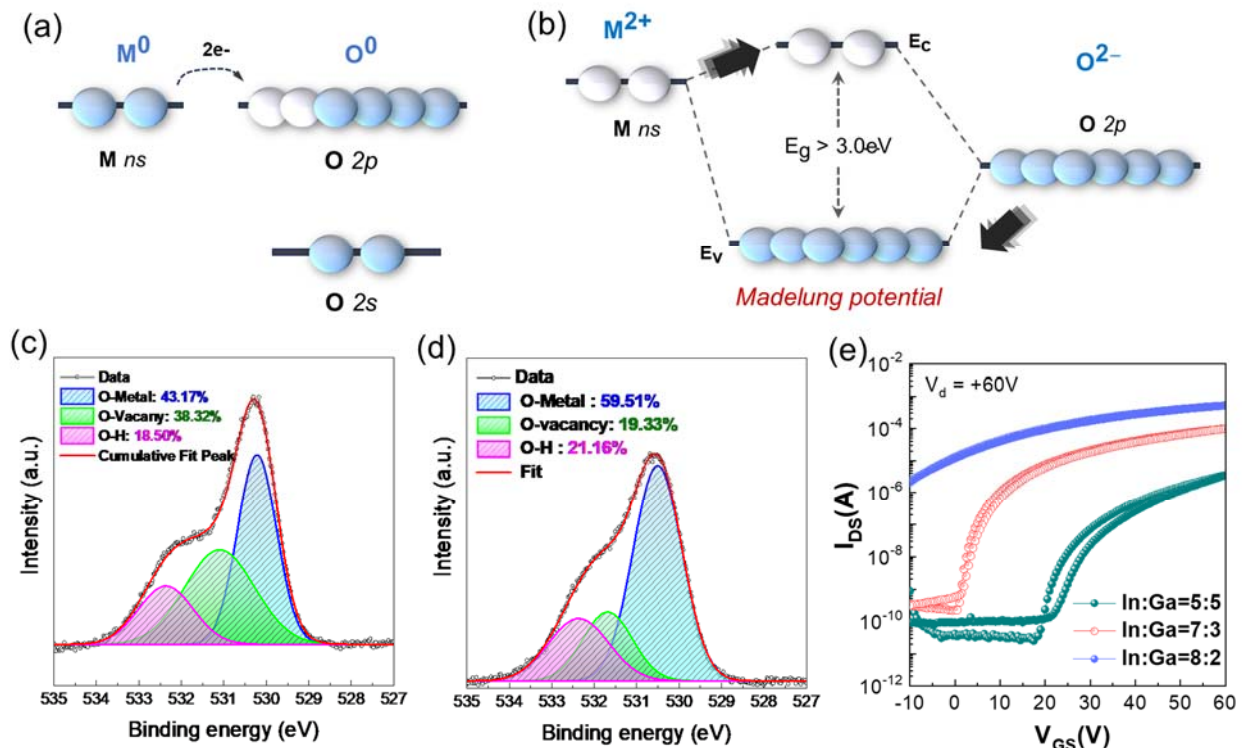


Fig. 2. (a,b) Schematic illustrations showing the mechanisms of bandgap formation in metal oxide semiconductors. XPS O 1s spectra for (c) In_2O_3 and (d) IGO (7:3) films after annealing at 300°C. (e) Transfer curves for a single-active layer IGO TFTs with various compositions (In:Ga = 5:5, 7:3, and 8:2) (annealed at 300°C) at the drain voltage (V_d) of +60 V.

IGO 박막의 XPS 분석을 통해 Ga 첨가 여부에 따른 O1s 피크 변화를 나타내었다. O1s 스펙트럼은 530.1 ± 0.5 eV를 중심으로 세 가지 다른 피크로 나뉜다. O1s 결합 에너지를 gaussian 방법을 사용하여 세 가지 결합으로 구성된다. 첫 번째는 금속 주변의 산소 이온에 기인한 Metal-Oxygen (M-O) 결합, 두 번째는 산소 결핍 반응에서의 산소 공공(oxygen vacancy, V_O), 세 번째는 표면에서의 산소와 결합한 -O-H 결합이다 [18,19]. 우선, 갈륨 도핑에 따라 M-O결합의 비중이 증가하였으며, 전체적으로 산소 공공에 의한 피크(V_O)는 감소한 것을 확인할 수 있다. V_O 가 증가함에 따라 금속과 산소 간 결합이 충분하지 않은 산소 공공 결합이 유지되어 누설 전류가 증가하고, 결과적으로 트랜지스터의 성능이 감소한다. 결과적으로 갈륨 도핑이 불안정했던 산소와 금속의 결합을 촉진하고, 산소 공공 결합의 생성을 억제하였음을 알 수 있다.

그림 2(e)는 단일층으로 제조된 IGO TFT의 transfer 특성(the drain current I_{ds} vs the gate voltage V_{gs})을 나타낸 것이다. In과 Ga 전구체 용액을 0.1 M로 제조한 후, 조성 변화를 위해 혼합 비율을 각각 In:Ga=5:5, In:Ga= 7:3, In:Ga=8:2로 제조하였다. 표 1에 따르면 Ga의 비율이 각각 50%, 30%, 그리고 20%일 때, TFT의 문턱 전압은 30.83, -1.20, 그리고 -34.15 V였으며, 전하 이동도는 각각 0.036, 0.230, 0.507 cm^2/Vs 였다. IGO TFT에서 In의 비율이 높을수록 추가 In 원자에 의한 산소 결손이 쉽게 생성되고, 캐리어 전달 경로인 In의 ns 오비탈을 더 크게 가지므로 더 높은 전도성을 제공한다. 즉 In의 비율이 증가할수록 높은 전하 농도와 이동도를 보여준다. 반면 Ga의 비율이 풍부할수록 문턱 전압이 양의 방향으로 이동하는 것을 확인할 수 있는데, 이는 Ga의 높은 전자 친화력과 산소 이온에 대한 강한 인력으로 인해 활성층의 산소 결손을 감소시키며, 결과적으로 캐리어 농도의 감소뿐만 아니라 산소 결손과 관련된 트랩의 농도 감소로 이어지기 때문이다.

Table 1. Fundamental device parameters of single layer IGO TFTs with various active layer compositions, In:Ga = 5:5, 7:3, and 8:2 wt%.

Parameter	In:Ga active layer composition (wt%)		
	5:5	7:3	8:2
μ_{FET}	0.036 (± 0.12)	0.230 (± 0.31)	0.507 (± 0.42)
V_{th}	30.83 (± 1.65)	-1.20 (± 2.32)	-34.15 (± 1.96)
I_{ON}/I_{OFF}	1×10^5	3×10^5	2×10^2

3.2 산화물 반도체 TFT 소자의 NBS 특성

MSAL 구조의 IGO TFT 소자의 전기적 성능 향상을 확인하기 위해 전류-전압(I - V) 특성을 분석하였고, 다중 적층 구조의 효과를 확인했다. 또한, IGO TFT의 신뢰성을 평가하기 위해 NBS 테스트를 수행하였다. 반도체 파라미터 분석기를 사용하여 TFT의 게이트(gate) 전극에 -30 V를 지속적으로 가했고, 이에 따른 전압 스트레스 노출된 시간에 따른 전류-전압 특성 변화를 측정했다. TFT의 동작은 게이트에 전압이 인가되어야만 on 또는 off 상태로 전환된다. 따라서 게이트에 전압을 지속적으로 인가하면 정전기적 힘으로 활성층 내부의 다수 캐리어들이 활성층과 절연층 사이의 계면에 유도된 후 갇히게 되어 활성층 내부의 캐리어 농도가 감소하고, 이에 따라 문턱 전압(V_{th}) 값이 변한다. 따라서 V_{th} 값이 전압 스트레스에 노출된 시간에 따라 일정하게 유지된다면 이는 전압 안정성을 갖춘 소자로 판단되며, 신뢰성의 지표로 삼을 수 있다. 그림 3은 bilayer의 In:Ga 비율 변화에 따른 MSAL 구조 IGO TFT의 NBS test 결과이다. 50% 갈륨 함량을 가지는 IGO 소자의 경우 전압 스트레스 후 V_{th} 는 약 -7.9 V 음의 방향으로 이동하였다. 갈륨 비율이 30%와 20%인 소자의 경우 5:5 비율의 IGO와 bilayer 구조로 제작하여 하부층의 갈륨 비율이 감소할수록 문턱 전압의 변화가 심해지는 것을 확인할 수 있었다. 7:3과 8:2 비율의 IGO TFT의 ΔV_{th} 는 각각 -3.3 V와 -15.03 V였다. 이는 갈륨이 높은 전자 친화력과 산소 이온에 대한 강한 인력으로 활성층의 산소 공공을 감소시켰기 때문으로 보인다. 따라서 산화물 반도체를 이용해 전력반도체와 같이 고전압 응용을 위해서는 갈륨과 같이 전자 친화력과 산소 이온과의 결합 에너지가 큰 원소가 풍부한 반도체가 사용되어야 함을 알 수 있다.

3.3 점진적 조성 변화를 통한 산화물 TFT

MSAL 구조의 산화물 박막은 용매 증발에 의해 발생하는 다공성 박막의 형성을 억제하여 수분과 산소의 침투를 억제할 수 있으며, 핀홀에 의한 전하 트랩을 감소시켜 반도체 소자의 이동도를 향상시킬 수 있다. 또한, IGO TFT의 경우 인듐과 갈륨의 조성 변화에 의한 성능의 차이가 크게 나타남을 확인할 수 있다. 따라서 높은 이동도와 안정성을 동시에 확보하기 위해 MSAL 구조의 산화물 TFT의 층별 조성과 구조를 최적화하여 그림 4(b)와 같이 소자를 제작하여 특성을 평가하였다. 반도체와 게이트 유전체 사이의 계면에서 전자의 축적이 일어나며 전하가 이동하는 채널을 형성하게 된다. 또한, source/drain 전극으로부터 전

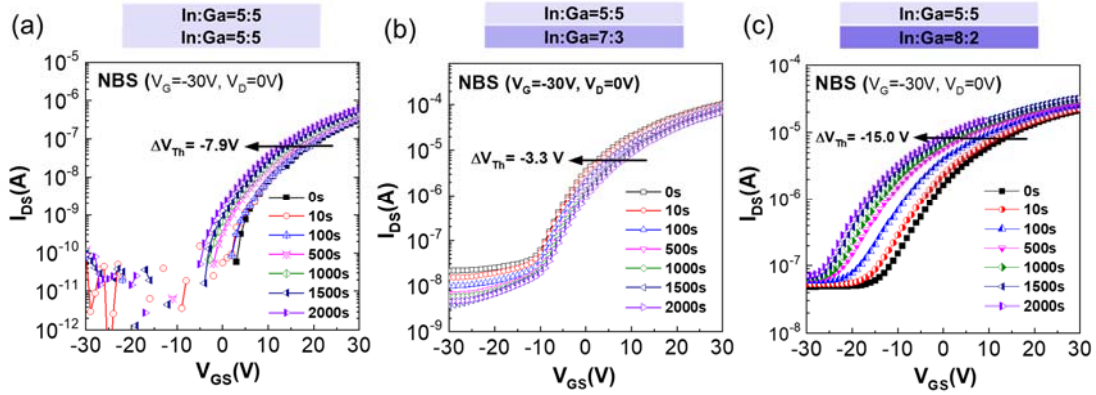


Fig. 3. Time-dependent evolution of the transfer characteristics of IGO TFTs under negative gate bias stress conditions ($V_G = -30$ V & $V_D = 0$ V) featuring various film structures and compositions: (a) single-layer In:Ga = 5:5, bi-layered (5:5 and 7:3), and bi-layered (5:5 and 8:2) IGO films.

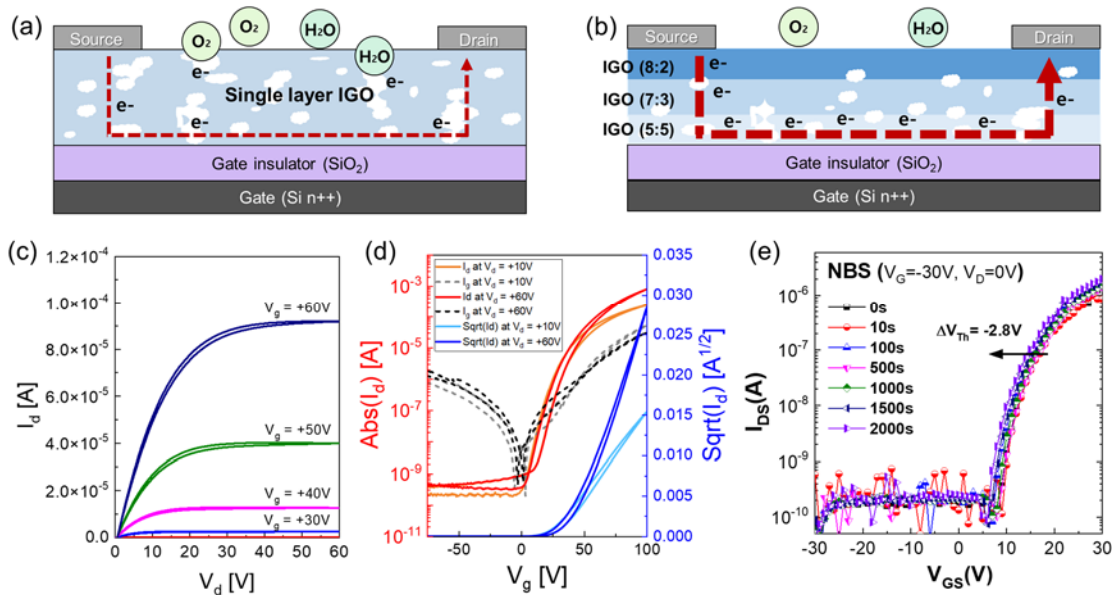


Fig. 4. (a,b) Schematic illustrations of (a) the IGO TFT with a single active layer fabricated from a 0.1 M solution and (b) the TFT with multiple active layers fabricated from a 0.05 M solution. (c) Output and (d) transfer plots of gradually changed composition in IGO layer. (e) Negative bias stress test for the IGO TFTs.

자의 원활한 주입을 통해 접촉저항을 감소시켜야 한다. 본 연구에서는 갈륨의 함량이 높은 IGO를 유전체와 가까운 하부에 위치하고, 전하 농도 증가를 통해 접촉저항 감소를 유도하기 위해 인듐의 함량이 높은 IGO를 source/drain 전극과 가까운 상부층으로 활용하였다. 이렇게 제작된 IGO TFT의 경우 우수한 전기적 특성과 bias stress 등의 안정성을 동시에 나타낸다. 그림 4(c)와 (d)는 각각 output과 transfer plot을 나타낸 것이며, $2.5 \text{ cm}^2/\text{Vs}$ 이상의 높은 이동도와 10^6 이상의 전류 점멸비, 0 V에 가까운 onset 전

압 특성을 나타낸다. 그림 4(e)에 나타난 바와 같이, NBS 특성을 측정한 결과 -30 V의 게이트 전압을 최대 2,000s 이상 지속적으로 인가하였을 경우에도 문턱 전압의 변화가 -2.5 V 수준으로 우수함을 확인할 수 있었다. 이러한 결과는 조성이 다른 다층 박막 코팅을 통해 조밀한 필름 형성과 더불어 전하 농도가 높은 상부층과 갈륨 함량이 높아 산소 공공의 생성을 억제할 수 있는 하부 활성층의 상호 보완적인 효과로 인한 전기적 성능과 안정성 향상효과를 동시에 구현할 수 있을 것으로 판단된다.

4. 결론

본 논문에서는 용액 공정 산화물 반도체의 한계점을 해결하기 위해 조성이 다른 다층 구조의 반도체를 적용하여 높은 이동도와 전압 안정성이 우수한 TFT를 제작했다. 트랜지스터의 전기적 특성 분석에 앞서 XPS 분석 결과에서 갈륨이 도핑된 IGO 박막의 산소 공공 결함이 In_2O_3 와 대비하여 15% 이상 감소한 것을 확인했다. 이는 IGO 화합물 반도체에서 갈륨의 비율을 조절하는 것만으로도 문턱 전압을 조절하고 소자의 안정성을 향상시킬 수 있다는 것을 의미한다. 또한 MSAL 구조로 용매 휘발로 인한 다공성을 줄임으로써 용액 처리 비정질 산화물 반도체 TFT의 고유한 한계를 효과적으로 극복할 수 있다. 인듐과 갈륨의 조성을 제어하여 TFT의 신뢰성을 향상시킬 수 있었다. 특히, 갈륨 도핑 비율이 높은 채널층과 인듐 비율이 높은 전극접촉층을 적용한 점진적 다층 구조에서는 이동도와 문턱 전압, 소자 안정성이 모두 향상되었다. 결론적으로, 50% 이상의 높은 갈륨의 비율을 통해 밴드갭이 큰 산화물 반도체의 제조와 이를 고전압 고전류가 요구되는 전력반도체 응용 분야에도 용액 공정 산화물 반도체가 응용될 수 있을 것으로 기대한다.

ORCID

Kang-Jun Baeg

<https://orcid.org/0000-0001-7821-2458>

감사의 글

이 논문은 2023학년도 산업통상자원부와 교육부에서 지원하는 부처협업형 인재양성(반도체전공트랙) 사업(P0022194)과 한국연구재단의 지역대학우수과학자 지원사업(2021R1I1A3060334)에 의하여 연구되었음.

REFERENCES

- [1] Shivani, D. Kaur, A. Ghosh, and M. Kumar, *Mater. Today Commun.*, **33**, 104244 (2022).
doi: <https://doi.org/10.1016/j.mtcomm.2022.104244>
- [2] X. She, A. Q. Huang, Ó. Lucía, and B. Ozpineci, *IEEE Trans. Ind. Electron.*, **64**, 8193 (2017).
doi: <https://doi.org/10.1109/TIE.2017.2652401>
- [3] T. J. Flack, B. N. Pushpakaran, and S. B. Bayne, *J. Electron. Mater.*, **45**, 2673 (2016).
doi: <https://doi.org/10.1007/s11664-016-4435-3>
- [4] A. Bindra, *IEEE Power Electron. Mag.*, **2**, 42 (2015).
doi: <https://doi.org/10.1109/MPEL.2014.2382195>
- [5] S. J. Pearton, J. Yang, P. H. Cary IV, F. Ren, J. Kim, M. J. Tadjer, and M. A. Mastro, *Appl. Phys. Rev.*, **5**, 011301 (2018).
doi: <https://doi.org/10.1063/1.5006941>
- [6] H. J. Yang, H. J. Seul, M. J. Kim, Y. Kim, H. C. Cho, M. H. Cho, Y. H. Song, H. Yang, and J. K. Jeong, *ACS Appl. Mater. Interfaces*, **12**, 52937 (2020).
doi: <https://doi.org/10.1021/acsami.0c16325>
- [7] F. M. Ciou, Y. C. Chang, P. H. Chen, C. Y. Lin, Y. H. Lin, K. H. Chen, F. Y. Jin, Y. S. Lin, W. C. Hung, and K. C. Chang, *Semicond. Sci. Technol.*, **37**, 015009 (2021).
doi: <https://doi.org/10.1088/1361-6641/ac3dd5>
- [8] S. K. Park, Y. H. Kim, and J. I. Han, *J. Phys. D: Appl. Phys.*, **42**, 125102 (2009).
doi: <https://doi.org/10.1088/0022-3727/42/12/125102>
- [9] P. K. Nayak, J. A. Caraveo-Frescas, Z. Wang, M. N. Hedhili, and H. N. Alshareef, *Adv. Electron. Mater.*, **1**, 1500014 (2015).
doi: <https://doi.org/10.1002/aelm.201500014>
- [10] J. W. Hennek, M. G. Kim, M. G. Kanatzidis, A. Facchetti, and T. J. Marks, *J. Am. Chem. Soc.*, **134**, 9593 (2012).
doi: <https://doi.org/10.1021/ja303589v>
- [11] T. S. Jung, S. J. Kim, C. H. Kim, J. Jung, J. Na, M. M. Sabri, and H. J. Kim, *IEEE Trans. Electron Devices*, **62**, 2888 (2015).
doi: <https://doi.org/10.1109/TED.2015.2455558>
- [12] M. M. Sabri, J. Jung, D. H. Yoon, S. Yoon, Y. J. Tak, and H. J. Kim, *J. Mater. Chem. C*, **3**, 7499 (2015).
doi: <https://doi.org/10.1039/C5TC01457C>
- [13] J. Lee, K. H. Lim, and Y. S. Kim, *Sci. Rep.*, **8**, 13905 (2018).
doi: <https://doi.org/10.1038/s41598-018-32233-4>
- [14] D. J. Kim, D. L. Kim, Y. S. Rim, C. H. Kim, W. H. Jeong, H. S. Lim, and H. J. Kim, *ACS Appl. Mater. Interfaces*, **4**, 4001 (2012).
doi: <https://doi.org/10.1021/am3008278>
- [15] D. J. Kim, Y. S. Rim, and H. J. Kim, *ACS Appl. Mater. Interfaces*, **5**, 4190 (2013).
doi: <https://doi.org/10.1021/am4002259>
- [16] C. H. Kim, Y. S. Rim, and H. J. Kim, *ACS Appl. Mater. Interfaces*, **5**, 6108 (2013).
doi: <https://doi.org/10.1021/am400943z>
- [17] X. Yu, T. J. Marks, and A. Facchetti, *Nat. Mater.*, **15**, 383 (2016).
doi: <https://doi.org/10.1038/nmat4599>
- [18] C. H. Choi, Y. W. Su, L. Y. Lin, C. C. Cheng, and C. H. Chang, *RSC Adv.*, **5**, 93779 (2015).
doi: <https://doi.org/10.1039/c5ra16392g>
- [19] I. Y. Jo, J. G. Park, J. H. Moon, J. Y. Jung, D. E. Kim, and K. J. Baeg, *Org. Electron.*, **75**, 105358 (2019).
doi: <https://doi.org/10.1016/j.orgel.2019.07.016>