

Ge₂Sb₂Te₅/TiN/W-Doped Ge₂Sb₂Te₅ 셀 구조의 다중준위 메모리 특성 평가

조준혁¹, 서준영¹, 이주희¹, 박주영², 이현용¹ 

¹ 전남대학교 화학공학부

² 전남대학교 에너지자원공학과

Evaluation of Multi-Level Memory Characteristics in Ge₂Sb₂Te₅/TiN/W-Doped Ge₂Sb₂Te₅ Cell Structure

Jun-Hyeok Jo¹, Jun-Young Seo¹, Ju-Hee Lee¹, Ju-Yeong Park², and Hyun-Yong Lee¹

¹ School of Chemical Engineering, Chonnam National University, Gwangju 61186, Korea

² School of Energy Resource Engineering, Chonnam National University, Gwangju 61186, Korea

(Received October 10, 2023; Revised November 8, 2023; Accepted November 27, 2023)

Abstract: To evaluate the possibility as a multi-level memory medium for the Ge₂Sb₂Te₅/TiN/W-doped Ge₂Sb₂Te₅ cell structure, the crystallization rate and stabilization characteristics according to voltage (V)- and current (I)- pulse sweeping were investigated. In the cell structures prepared by a magnetron sputtering system on a p-type Si (100) substrate, the Ge₂Sb₂Te₅ and W-doped Ge₂Sb₂Te₅ thin films were separated by a barrier metal, TiN, and the individual thicknesses were varied, but the total thickness was fixed at 200 nm. All cell structures exhibited relatively stable multi-level states of high-middle-low resistance (HR-MR-LR), which guarantee the reliability of the multilevel phase-change random access memory (PRAM). The amorphous-to-multilevel crystallization rate was evaluated from a graph of resistance (R) vs. pulse duration (T) obtained by the nanoscaled pulse sweeping at a fixed applied voltage (12 V). For all structures, the phase-change rates of HR→MR and MR→LR were estimated to be approximately $t < 20$ ns and $t < 40$ ns, respectively, and the states were relatively stable. We believe that the double-stack structure of an appropriate Ge-Sb-Te film separated by barrier metal (TiN) can be optimized for high-speed and stable multilevel PRAM.

Keywords: Ge₂Sb₂Te₅, MR (middle resistance), Multilevel phase-change memory, TiN, W-doped Ge₂Sb₂Te₅

1. 서론

최근 몇 년간 정보통신기술 사회에서 생성되는 데이터의 양은 폭발적으로 증가하였고 향후 메모리 대역폭 및 용

량 수요는 크게 증가할 것이며, 이를 저장하고 처리할 수 있는 보다 대용량, 고속, 비휘발성, 저전력 등과 같은 고성능의 차세대 반도체 메모리 소자의 필요성이 대두되고 있다. 이렇듯 대용량, 비휘발성의 장점을 제공하면서 DRAM처럼 고속의 데이터 처리 메모리 특성을 지닌 스토리지-급 메모리 개념이 도입되었으며, 다양한 연구가 진행되어 왔다. 현재 가장 대표적인 스토리지-급 메모리로는 PRAM (phase-change RAM), ReRAM (resistive

✉ Hyun-Yong Lee; hyleee@chonnam.ac.kr

Copyright ©2024 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

RAM), FeRAM (ferro electric RAM) 등이 있다 [1-3]. 그중에서도 PRAM은 비휘발성, 빠른 속도, 높은 재기록 횟수 등의 장점을 지닌 주목받는 차세대 메모리 반도체 중 하나로 평가받고 있으며, 더욱이 디지털 신호 0, 1 이외에 중간 준위를 갖도록 하여 저장밀도를 높일 수 있는 다중 준위(multi-level) 메모리 기술에 대한 연구가 보고되고 있다 [4-7].

PRAM의 주재료로 가장 널리 사용되고 있는 Te-기반 칼코게나이드(chalcogenide)는 광, 전기 등의 외부 자극에 대해 비정질(amorphous)-결정질(crystalline) 상태 간의 가역적인 상 변화가 발생하고 이에 동반하여 반사도, 투과도, 굴절률 등의 광학적 신호 또는 비저항 등의 전기적 신호의 변화를 일으킨다 [8,9]. $(\text{GeTe})_x(\text{Sb}_2\text{Te}_3)_{1-x}$ 유사이원계 (pseduobinary) 화합물 중에서 $x=2$ 인 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 는 PRAM 기록매질로서 가장 널리 알려져 있으며 비정질-fcc-hcp 단계를 거쳐 상 변화가 발생한다. 중간 결정구조인 fcc는 다중 준위 개념에 적용하기에는 불안정하고 2단계 결정화로 인해 결정화 속도 측면에서도 단점으로 작용한다. 반면 $x=8$ 인 또 다른 PRAM 기록 매질인 $\text{Ge}_8\text{Sb}_2\text{Te}_{11}$ 는 비정질-fcc 단계를 거쳐 상 변화가 발생하며 이러한 상 변화 단계의 차이로 $\text{Ge}_8\text{Sb}_2\text{Te}_{11}$ 이 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 보다 빠른 결정화 속도(crystallization rate)를 보이는 것으로 보고되었다 [10]. Ge-Sb-Te에 Ag, C, W 등 다양한 원소들을 도핑시켜 열적 안정성 증가, 비저항의 증가로 인한 소비전류 감소, 빠른 결정화 속도 등의 특성을 향상시키려는 연구를 꾸준히 진행하여 왔다 [11,12].

또한, 바로 직전 연구에서 대표적 PRAM 소재인 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 와 상대적으로 빠른 결정화 속도, 높은 면저항(R_{\square}) 및 결정화 온도(T_C)를 갖는 W-doped $\text{Ge}_8\text{Sb}_2\text{Te}_{11}$ 에 대해 열 확산 방지용 금속층(Ti)을 삽입한 double-stack 구조의 다중 준위 PRAM을 위한 전기적 특성에 대한 연구 결과를 보고하였다 [13]. 200 nm 두께 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 의 비정질상 면저항과 결정화(fcc) 온도는 각각 $\sim 1 \times 10^5 \Omega/\square$ 와 $\sim 150^\circ\text{C}$ 이고, W-doped $\text{Ge}_8\text{Sb}_2\text{Te}_{11}$ 의 경우 $\sim 1.5 \times 10^6 \Omega/\square$, $\sim 300^\circ\text{C}$ 로 매우 큰 값의 차이를 갖는다. 제작된 모든 셀의 결정화 과정은 2단계인 고, 중, 저 저항(HR→MR→LR)의 다중 저항 상태를 보였고 비정질→결정질 상 변화는 낮은 결정화 온도를 갖는 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 의 1차 결정화와 후속하는 W-doped $\text{Ge}_8\text{Sb}_2\text{Te}_{11}$ 의 2차 결정화 과정으로 일어나는 것으로 평가되었다. 특히, 가장 우수한 셀 구조에 대해 1차 결정화는 약 30 ns 이하, 2차 결정화는 약 65 ns에서 발생함을 보고하였다 [13].

본 연구에서는 W-doped $\text{Ge}_8\text{Sb}_2\text{Te}_{11}$ 에 견주어 상대적으로 낮은 값의 R_{\square} , T_C 를 갖는 W-doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 를 적

용하여 Ti 대신에 박막 간의 부착력을 향상시킨 TiN을 삽입한 double-stack 셀 구조($\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{TiN}/\text{W}-\text{Ge}_2\text{Sb}_2\text{Te}_5$)를 제작하고 나노 스케일 전압 및 전류 펄스 인가에 따른 결정화 실험을 통해 다중 준위 안정성과 결정화 속도를 평가하고자 하였다.

2. 실험 방법

본 실험에 사용된 모든 박막은 RF 마그네트론 스퍼터링 시스템을 이용하여 제작하였다. 4단계로 초음파 세척하여 표면 오염을 제거한 p-type Si (100) 기판($2 \text{ cm} \times 2 \text{ cm}$) 위에 절연층으로 SiO_2 를 RF 파워 100 W, 200 nm의 두께로 증착을 하였으며, 하부 전극 역할을 하는 텅스텐(W)을 RF 파워 100 W, 200 nm 두께로 증착한 뒤, 스텐실 마스크($0.2 \text{ cm} \times 0.2 \text{ cm}$)를 이용하여 두께를 달리한 3종류의 double-stack 셀 구조를 제작하였다. 이때 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 박막의 경우 RF 파워는 50 W로 수행하였고 W-doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 의 경우, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 와 W의 RF 파워는 각각 50 W, 12 W로 설정하고 Ar 30 sccm, 기본 압력 5×10^{-6} Torr, 작동 압력 1×10^{-3} Torr로 상온에서 진행하였다. 200 nm 두께의 W-doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 단일 박막에 대한 비정질 상의 R_{\square} 와 T_C 는 앞 연구 논문 [13]과 동일한 방식으로 측정, 평가하였다($R_{\square} \sim 2 \times 10^5 \Omega/\square$, $T_C \sim 250^\circ\text{C}$).

Double-stack 셀 구조에서 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 와 W-doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 두께 합은 200 nm로 고정하였다 [$\text{Ge}_2\text{Sb}_2\text{Te}_5$ (50 nm)/TiN/W- $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (150 nm), $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (100 nm)/TiN/W- $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (100 nm), $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (150 nm)/TiN/W- $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (50 nm)]. 두 박막 사이의 원자 확산 방지, 열 간섭을 최소화하고 전도성을 갖는 계면층으로 앞선 연구 [13]에서 사용한 Ti 대신에 칼코게나이드와의 부착력이 우수한 TiN을 적용하였고 반응성 스퍼터링법(100 W)으로 두께는 20 nm로 고정하였다. 비정질-결정화 상 변화 기록 특성을 얻기 위해 소스미터(source meter, ADCMT 6420A)를 이용하여 전류를 스위칭 하여 I-V curve를 측정하였으며, 펄스 생성기(pulse generator, Agilent B1104A)를 통해 펄스 전압과 펄스 폭에 변화를 주어 펄스를 인가하고 디지털 멀티미터(Singlent SDM3055 5 1/2)를 통해 저항을 확인하여 저항-전압(R-V) 곡선을 얻었으며 전압을 고정하고 나노 스케일(10~100 ns)로 전류 펄스를 인가하여 얻은 저항 변화(R-T 곡선)를 통해 결정화 속도를 평가하였다. 이때 셀의 상부 전극은 백금 팁을 갖는 프로브를 직접 접촉하여 전기 특성을 평가하였다.

3. 결과 및 고찰

Ge₂Sb₂Te₅와 W-doped Ge₂Sb₂Te₅의 두께를 달리한 double stack 셀 구조에 대해 0에서 0.3 mA의 스위칭 전류에 따른 셀 전압의 변화를 I-V 곡선으로 그림 1에 나타내었다. 그림 1(a)에 본 연구에 사용된 셀 구조의 개략도를 함께 보였다. 두 칼코게나이드 박막의 두께 합은 200 nm로 고정하였고 상부전극은 실험 편의를 위해 Pt-팁의 프루브를 직접 접촉하여 스윙핑하였다. 따라서 접촉 면적 차이로 인해 상부층에서 주울열이 집중되는 반면에 전체 저항 변화 관점에서는 하부층인 Ge₂Sb₂Te₅이 더욱 중요한 역할을 할 것으로 사료된다. PRAM은 기본적으로 전류 구동방식의 메모리로서 셀에 전류를 인가하면 이에 비례하여 전압의 크기가 증가하다가 일정 구간에서 전압이 급격하게 감소하는 전압 snapback을 확인할 수 있다. Snapback이 발생하기 직전에 인가된 전류를 문턱 전류 I_{th}, 이때 셀에 걸린 전압 강하가 문턱 전압 V_{th}에 해당한다. 그리고 snapback 전 및 후의 I-V 곡선의 기울기가 셀 전체 저항값(R)의 역수에 해당한다.

그림 1에서 보는 바와 같이 본 연구에 사용된 모든 Ge₂Sb₂Te₅/TiN/W-Ge₂Sb₂Te₅ 셀 구조는 두 번에 걸친 뚜렷한 snapback 현상이 발생하였음을 볼 수 있다. 다만, 그림 1(b)의 경우 약 0.15 mA 부근에서의 뚜렷하지 않지만 기울기의 이색 변화를 보였다. 이러한 이색 특성이 재현성은 떨어지나 동일 조건으로 제작된 일부 시료에서 관찰되었고 이에 대한 원인 규명을 위해 추가적인 물성실험을 진행 중에 있다. 두 번의 snapback은 초기 비정질 상이 결정화하는 과정에서 두 번에 걸친 상 변화를 일으키는 것을 보여준다. 그림 1과 같이 초기(1차) snapback이 발생되기 전의 I-V 곡선 기울기(1/R)가 직선이 아닌 포물선에 가까운 비선형 특성을 보인 것은 전극 Pt-팁과 칼코게나이드의 오믹접촉 오류로 생각된다. 따라서 셀의 초기 비정질 상의 저항은 이 곡선을 그림 1(a)와 같이 선형 외삽을 통해 근사적으로 유추하였으며 초기 I_{th}에 근접하기 전까지 Ge₂Sb₂Te₅와 W-Ge₂Sb₂Te₅ 매질은 모두 비정질 상의 고저항(HR) 상태를 알 수 있다.

본 실험의 셀 구조는 전도성 TiN을 사이에 두고 W-Ge₂Sb₂Te₅ 박막과 Ge₂Sb₂Te₅ 박막이 직렬로 연결된 형태의 double stack 구조로 1차 snapback 문턱 전압(1st V_{th})은 비정질 상인 W-Ge₂Sb₂Te₅와 Ge₂Sb₂Te₅ 두 박막의 저항값의 영향을 동시에 받기 때문에 1st V_{th} 값은 2nd V_{th}보다 클 수밖에 없으며, 본 연구에 사용된 시료들에 대해 V_{th} (1st)는 약 6.3~6.6 V 범위에서, V_{th} (2nd)는 1.9~2.7 V 범위에서 발생하였다. 반면에 2차 snapback 순간 비정질 상

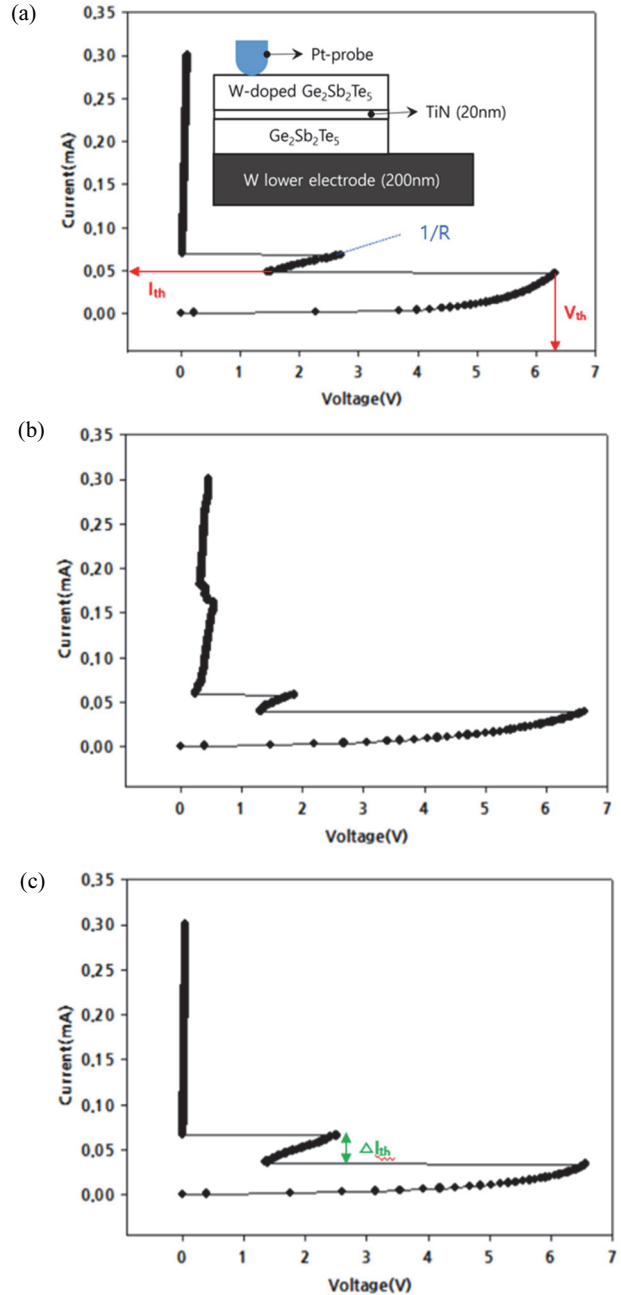


Fig. 1. Current-sweeping I-V characteristics of double-stack cell structures based on (a) Ge₂Se₂Te₅ (50 nm)/TiN/W-Ge₂Se₂Te₅ (150 nm), (b) Ge₂Se₂Te₅ (100 nm)/TiN/W-Ge₂Se₂Te₅ (100 nm), and (c) Ge₂Se₂Te₅ (150 nm)/TiN/W-Ge₂Se₂Te₅ (50 nm).

태로 존재하는 박막이 둘 중 하나로 생각한다면 2nd V_{th}의 경향을 통해 2차 snapback에서의 상 변화 박막을 유추할 수 있다. 이와 같은 관점에서 앞선 연구인 Ge₂Sb₂Te₅/Ti/W-Ge₂Sb₂Te₁₁ 상 변화 실험에서 낮은 R_□, T_C를 갖는 Ge₂Sb₂Te₅의 1차 결정화와 후속하는 높은 R_□, T_C의 W-

doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 의 2차 결정화 과정으로 일어나는 것으로 평가하였다 [13]. 이와 마찬가지로 그림 1(a), (b), (c) 중에서 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 과 비교하여 상대적 큰 R_{\square} 및 T_C 를 갖는 $\text{W-Ge}_2\text{Sb}_2\text{Te}_5$ 가 가장 두꺼운 그림 3(a)에서 V_{th} (2nd)는 ~ 2.67 V로 가장 큰 값을 보였다. 따라서 전류 스위칭에 따른 결정화는 $\text{Ge}_2\text{Sb}_2\text{Te}_5 \rightarrow \text{W-Ge}_2\text{Sb}_2\text{Te}_5$ 순으로 발생하는 것을 알 수 있다.

또한 1차 snapback이 발생하고 2차 snapback 발생하기 전까지의 문턱 전류 차이가 ΔI_{th} 이고 이는 중간 저항 상태(MR)의 안정성을 나타내는 척도로써 간접적으로 확인할 수 있으며 기울기를 통해 MR의 저항값(그림 2와 비교)을 유추할 수 있다. 그림 3(a), (b), (c)의 ΔI_{th} 는 각각 0.021 mA, 0.020 mA, 0.032 mA로 선행 연구 결과와 비교하여 본 실험에서 제작된 셀은 상대적으로 높은 MR 안정성을 보였으며 그중에서는 그림 3(c)의 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (150 nm)/TiN/W- $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (50 nm) 셀의 MR 안정성이 가장 클 것으로 생각된다.

그림 2는 제작된 셀에 펄스 폭을 100 ns, 300 ns, 500 ns로 차이를 주어 0~15 V로 스위칭 한 경우의 R-V 그래프로 HR, MR, LR의 다중 준위 저항 변화를 확실히 볼 수 있다. 각 저항 준위 값은 그림 1의 기울기로부터 예상되는 값으로 특히 MR의 저항값은 그림 2(a)→(c)에 대해 약 $\sim 1 \times 10^5 \Omega \rightarrow \sim 5 \times 10^3 \Omega$ 의 값으로 변화되었다. 즉 W-doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 의 두께가 두꺼운 셀에서 더 높은 저항의 MR 준위를 보였다. 따라서 두 칼코게나이드 박막의 두께를 적절하게 선택하므로 원하는 저항값의 MR을 갖는 double stack PRAM 셀 구조를 설계할 수 있다.

그림 2에서 보는 바와 같이 모든 셀에 대해 펄스 폭의 감소에 대응하여 더 높은 전압에서 상 변화가 발생함을 볼 수 있으며 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (100 nm)/TiN/W- $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (100 nm) 셀 구조에 대해 펄스 폭을 300 ns로 주었을 때를 제외하고는 MR 상태가 적당한 전압 범위(1~1.5 V)에서 유지되었으며 따라서 비교적 안정한 MR 준위를 갖는 것으로 평가할 수 있다. 그중에서도 그림 2(b) 셀에서 500 ns로 펄스 폭을 주었을 때 7 V에서 9.5 V에 대응하여 MR 상태를 유지함을 보였다. PRAM 소자는 전류 구동 소자라고 하더라도 그림 2와 같은 전압 스위칭 특성에서 HR→MR→LR의 일련의 다중 준위의 상 변화를 얻기 위해서는 높은 전압의 펄스를 필요로 한다. 하지만 수십 nm의 스케일-다운 셀에 대해 그 크기는 상당히 작아질 수 있다 [14].

본 실험에 사용된 셀 구조에 대한 다중 준위 결정화 속도를 평가하기 위하여 셀 인가 전압을 12 V로 고정하고 펄스 폭을 10 ns부터 100 ns까지 5 ns씩 증가시켜 가하였을 때 셀저항 변화를 그림 3에 나타내었다. 펄스 폭 증가에 따

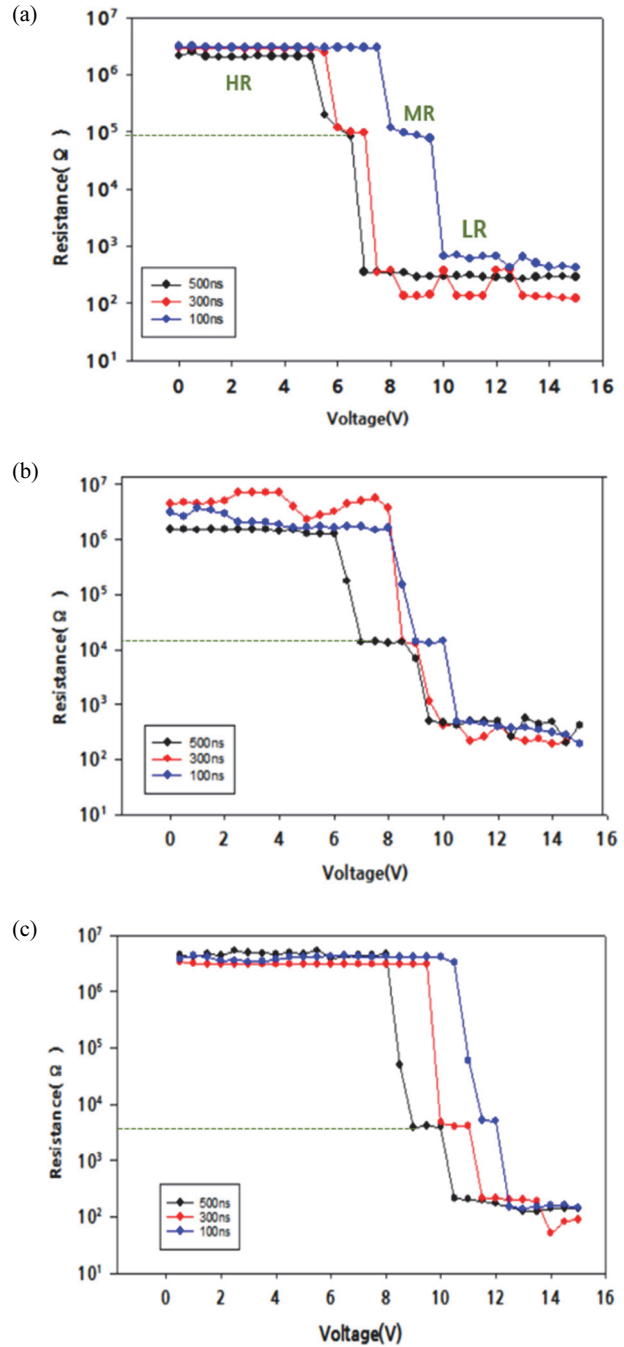


Fig. 2. R-V curve of double-stack cell structures as a function of voltage-sweeping with pulse duration of 100 ns, 300 ns, and 500 ns: (a) $\text{Ge}_2\text{Se}_2\text{Te}_5$ (50 nm)/TiN/W- $\text{Ge}_2\text{Se}_2\text{Te}_5$ (150 nm), (b) $\text{Ge}_2\text{Se}_2\text{Te}_5$ (100 nm)/TiN/W- $\text{Ge}_2\text{Se}_2\text{Te}_5$ (100 nm), and (c) $\text{Ge}_2\text{Se}_2\text{Te}_5$ (150 nm)/TiN/W- $\text{Ge}_2\text{Se}_2\text{Te}_5$ (50 nm).

라 2단계의 결정화가 일어나며 HR→MR은 약 20 ns 부근에서 MR→LR은 40 ns 이하에서 결정화가 일어남을 알 수 있다.

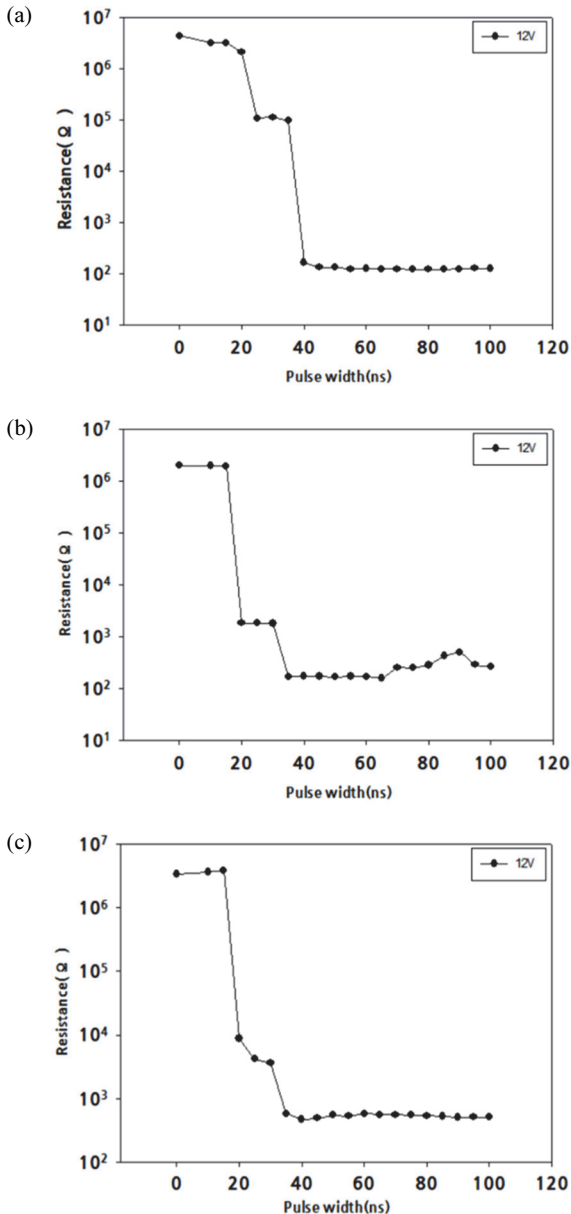


Fig. 3. R-T curve of double-stack cell structures: (a) $\text{Ge}_2\text{Se}_2\text{Te}_5$ (50 nm)/TiN/W- $\text{Ge}_2\text{Se}_2\text{Te}_5$ (150 nm), (b) $\text{Ge}_2\text{Se}_2\text{Te}_5$ (100 nm)/TiN/W- $\text{Ge}_2\text{Se}_2\text{Te}_5$ (100 nm), and (c) $\text{Ge}_2\text{Se}_2\text{Te}_5$ (150 nm)/TiN/W- $\text{Ge}_2\text{Se}_2\text{Te}_5$ (50 nm).

앞선 연구에서 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (150 nm)/Ti/W- $\text{Ge}_3\text{Sb}_2\text{Te}_{11}$ (50 nm) 셀 구조의 경우 HR→MR→LR의 상 변화 속도는 약 65 ns였으며 [13], 본 연구의 셀 구조가 약 2배의 빠른 결정화 속도를 보임을 알 수 있다. 부피가 상대적으로 크에도 불구하고 비교적 안정한 MR를 갖는 2단계의 상 변화가 40 ns 이하에서 이루어지므로 다중 준위 PRAM에 적용 가능할 것으로 평가할 수 있다.

4. 결론

본 연구는 double-stack 셀 구조의 다중 준위 상 변화 메모리로의 응용성을 확인하기 위하여 가장 널리 이용되는 PRAM 소재인 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 와 상대적 높은 결정화 온도 및 비정질 상의 면저항값을 갖는 W-doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 를 원자 확산 방지용 금속층인 TiN으로 분리한 $\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{TiN}/\text{W-Ge}_2\text{Sb}_2\text{Te}_5$ 를 제작하고 나노 스케일 전류 및 전압-스윙 실험을 통해 다중 준위 상 변화 메모리로서의 응용성을 확인하였다. 초기 높은 저항 상태(두 소재 모두 비정질상)는 펄스 인가에 따라 2단계인 HR→MR→LR의 다중 저항 상태를 보였으며 1차 결정화는 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 박막의 결정화이고 2차 결정화는 W-doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 의 결정화 과정으로부터 발생하였다. 전류-스윙 I-V 곡선의 문턱 전류 차이인 ΔI_{th} 와 전압-스윙 R-V 곡선의 MR 준위 전압 범위를 통해 MR 준위의 안정성을 평가할 수 있었다. 제작된 모든 셀 구조에 대해 전압을 12 V로 고정하고 펄스의 폭을 달리하여 측정된 R 변화로부터 1차 결정화는 약 20 ns 이하, 2차 결정화는 약 40 ns에서 발생하였다. 따라서 본 연구에서 제작된 $\text{Ge}_2\text{Sb}_2\text{Te}_5/\text{TiN}/\text{W-doped Ge}_2\text{Sb}_2\text{Te}_5$ double stack 셀 구조는 두께 제어를 통해 다중 준위, 특히 MR 준위의 저항값을 설계할 수 있으며, W 도핑에 의한 비정질상과 결정상의 전기 저항을 높임으로써 단위 PRAM 셀의 내구성과 소비 전류 감소를 제어할 수 있다. 또한 40 ns 이하의 빠른 결정화 속도 및 비교적 안정한 MR 준위를 보이므로 우수한 다중 준위 PRAM 소자로서 적용 가능할 것으로 판단된다.

ORCID

Hyun-Yong Lee

<https://orcid.org/0000-0003-4282-0616>

감사의 글

이 논문은 전남대학교 연구비 지원에 의하여 연구되었음(과제번호: 2022-0128).

REFERENCES

- [1] R. Bez and A. Pirovano, *Mater. Sci. Semicond. Process.*, **7**, 349 (2004).
doi: <https://doi.org/10.1016/j.mssp.2004.09.127>
- [2] K. Kim and Y. J. Song, *Microelectron. Reliab.*, **43**, 385 (2003).
doi: [https://doi.org/10.1016/S0026-2714\(02\)00285-8](https://doi.org/10.1016/S0026-2714(02)00285-8)

- [3] S. Tehrani, J. M. Slaughter, M. Deherrera, B. N. Engel, N. D. Rizzo, J. Slater, M. Durlam, R. W. Dave, J. Janesky, B. Butcher, K. Smith, and G. Grynkewich, *Proc. IEEE*, **91**, 703 (2003).
doi: <https://doi.org/10.1109/JPROC.2003.811804>
- [4] Y. Ren, R. Sun, S.H.Y. Chen, C. Du, S. T. Han, and Y. Zhou, *Phys. Status Solidi RRL*, **15**, 2000394 (2021).
doi: <https://doi.org/10.1002/pssr.202000394>
- [5] P. Guo, A. M. Sarangan, and I. Agha, *Appl. Sci.*, **9**, 530 (2019).
doi: <https://doi.org/10.3390/app9030530>
- [6] K. H. Song, S. W. Kim, J. H. Seo, and H. Y. Lee, *J. Appl. Phys.*, **104**, 103516 (2008).
doi: <https://doi.org/10.1063/1.3026720>
- [7] Y. Xue, S. Song, S. Yan, T. Guo, Z. Song, and S. Feng, *Scripta Mater.*, **157**, 152 (2018).
doi: <https://doi.org/10.1016/j.scriptamat.2018.08.009>
- [8] S. R. Ovshinsky, *Phys. Rev. Lett.*, **21**, 1450 (1968).
doi: <https://doi.org/10.1103/PhysRevLett.21.1450>
- [9] L. Waldecker, T. A. Miller, M. Rudé, R. Bertoni, J. Osmond, V. Pruneri, R. E. Simpson, R. Ernstorfer, and S. Wall, *Nat. Mater.*, **14**, 991 (2015).
doi: <https://doi.org/10.1038/nmat4359>
- [10] K. H. Song, S. C. Baek, and H. Y. Lee, *J. Korean Phys. Soc.*, **61**, 10 (2012).
doi: <https://doi.org/10.3938/jkps.61.10>
- [11] C. J. Park, J. B. Yeo, H. Kong, and H. Y. Lee, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **30**, 133 (2017).
doi: <https://doi.org/10.4313/jkem.2017.30.3.133>
- [12] S. W. Kim, K. H. Song, and H. Y. Lee, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **21**, 629 (2008).
doi: <https://doi.org/10.4313/JKEM.2008.21.7.629>
- [13] W. Y. Oh and H. Y. Lee, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **35**, 44 (2022).
doi: <https://doi.org/10.4313/JKEM.2022.35.1.7>
- [14] S. Tyson, G. Wicker, T. Lowrey, S. Hudgens, and K. Hunt, *Proc. 2000 IEEE Aerospace Conference. Proceedings* (Cat. No. 00TH8484) (IEEE, Big Sky, USA, 2000) p. 385.
doi: <https://doi.org/10.1109/aero.2000.878512>