


4H-SiC와 산화막 계면에 대한 혼합된 일산화질소 가스를 이용한 산화 후속 열처리 효과

김인규¹, 문정현² 

¹ 경상국립대학교 반도체 및 시스템 공학과

² 한국전기연구원 전력반도체연구단 차세대반도체연구센터

Effect of High-Temperature Post-Oxidation Annealing in Diluted Nitric Oxide Gas on the SiO₂/4H-SiC Interface

In kyu Kim¹ and Jeong Hyun Moon²

¹ Department of Semiconductor Engineering, Gyeongsang National University, Jinju 52828, Korea

² Advanced Semiconductor Research Center, Power Semiconductor Research Division,
Korea Electrotechnology Research Institute, Changwon 51543, Korea

(Received November 16, 2023; Revised November 28, 2023; Accepted November 29, 2023)

Abstract: 4H-SiC power metal-oxide-semiconductor field effect transistors (MOSFETs) have been developed to achieve lower specific-on-resistance ($R_{on,sp}$), and the gate oxides have been thermally grown. The poor channel mobility resulting from the high interface trap density (D_{it}) at the SiO₂/4H-SiC interface significantly affects the higher switching loss of the power device. Therefore, the development of novel fabrication processes to enhance the quality of the SiO₂/4H-SiC interface is required. In this paper, NO post-oxidation annealing (POA) by using the conditions of N₂ diluted NO at a high temperature (1,300°C) is proposed to reduce the high interface trap density resulting from thermal oxidation. The NO POA is carried out in various NO ambient (0, 10, 50, and 100% NO mixed with 100, 90, 50, and 0% of high purity N₂ gas to achieve the optimized condition while maintaining a high temperature (1,300°C). To confirm the optimized condition of the NO POA, measuring capacitance-voltage (C-V) and current-voltage (I-V), and time-of-flight secondary-ion mass spectrometry (ToF-SIMS) are employed. It is confirmed that the POA condition of 50% NO at 1,300°C facilitates the equilibrium state of both the oxidation and nitridation at the SiO₂/4H-SiC interface, thereby reducing the D_{it} .

Keywords: 4H-SiC, MOSFET, D_{it} , NO, POA, Oxidation, Nitridation

1. 서론

4H-SiC는 고전압 전력반도체에 적합한 물질로서 넓은 에너지 밴드갭(3.26 eV) 특성으로 인해 동일 항복전압일 때 Si 대비 낮은 온-저항으로 제작이 가능하고 금속 구리와 유사한 높은 열전도율을 갖고 있어 전력변환장치 내에 방열 시스템을 최소화할 수 있다. 또한 기존의 Si 반도체와

✉ Jeong Hyun Moon; jhmoon@keri.re.kr

In kyu Kim and Jeong Hyun Moon equally contributed to this work.

Copyright ©2024 KIEEME. All rights reserved.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

같이 열 산화 공정으로 SiC 위에 열산화막을 기를 수 있으므로 다른 넓은 에너지 밴드갭 특성을 가지고 있는 반도체보다 쉽게 metal-oxide-semiconductor (MOS) 소자를 제작할 수 있어 차세대 전력반도체로서 큰 장점을 가지고 있다 [1-5]. 하지만 4H-SiC의 이러한 좋은 특성에도 불구하고 SiC와 산화막 사이에 존재하는 높은 계면 결함 밀도로 인해 채널 이동도가 낮아져 소자 스위칭 손실이 커지는 문제점이 있다 [6-8].

현재까지는 게이트 산화막의 높은 계면 결함을 효과적으로 제어하는 방법으로 일산화질소(nitric oxide, NO) 가스를 이용한 후속 열처리 공정(post-oxidation-annealing, POA)이 일반적으로 사용되고 있다 [9-17]. 하지만 NO 가스 열처리 공정 기술이 적용됨에도 불구하고 SiC MOSFET 소자의 채널 이동도가 낮고 온저항은 이론값과 차이가 있어 게이트 산화막의 계면 결함을 보다 효과적으로 개선하는 연구가 여전히 필요한 것으로 보고되고 있다 [18].

최근 연구에 따르면 MOS 계면에서 NO POA를 1,300°C에서 수행하면 계면 상태 밀도가 낮은 온도($\leq 1,200^\circ\text{C}$)에서 보다 향상된다는 보고가 있다. 이는 고온 NO POA ($\geq 1,300^\circ\text{C}$)는 산화물-반도체 계면의 N-Si 결합이 강해지면서 계면에서 질소 패시베이션 효과가 강화되어 계면 결함 밀도가 더욱 감소된 것으로 보고되었다 [19-21]. 그러나 이러한 고온 NO POA ($\geq 1,300^\circ\text{C}$) 계면 연구가 부족하기 때문에 더 많은 연구가 필요한 상황이다. 따라서 본 연구에서는 1,350°C에서 열산화막을 성장시킨 후 1,300°C에서 NO 가스 비율에 따른 계면 결함과의 연관성을 확인하였다. NO POA를 진행할 때 NO와 N₂ 가스 비율을 각각 1:9 (NO 10%), 1:1 (NO 50%), 100:0 (NO 100%)으로 설정하여 진행하였다.

2. 실험 방법

게이트 산화막의 계면 평가용 MOS capacitor를 제작하기 위해 $7 \times 10^{15} \text{ cm}^{-3}$ 의 질소 도핑된 에피층이 있는 4° off 4인치 4H-SiC 웨이퍼를 사용했다. 산화 공정 전 표준 RCA cleaning을 진행한 후 1% HF 용액에 1분 동안 담가서 자연 산화막을 제거하였다. 그 후 고온 열산화막 형성을 위해서 고순도 SiC tube를 사용하여 고온 산화 공정을 진행하였다. 산화 공정은 1,350°C에 도달한 뒤 O₂ 가스를 흘려주면서 27 min 동안 건식 산화(dry oxidation) 공정을 진행하였다. 산화 공정이 끝난 후에는 온도를 1,300°C로 낮추어 바로 NO POA 공정을 진행하였다. 이때 NO와 N₂

가스 비율을 각각 1:9 (NO 10%), 1:1 (NO 50%), 100:0 (NO 100%)으로 하였고 공정시간은 30 min 동안 동일하게 진행하였다. 비교를 위해 산화 공정만 진행한 샘플(as-oxidized)도 함께 준비하였다. 일 함수가 4.3 eV인 알루미늄(Al)으로 게이트 전극을 형성하였고 이때 게이트 면적은 $2.8 \times 10^{-3} \text{ cm}^2$ 였다. 마지막으로 기판 뒷면의 산화막을 제거한 후 후면의 기판 위에 Al 전극을 증착시켰다.

커패시턴스-전압(C-V) 특성은 컴퓨터로 제어되는 Keithely 590 CV analyzer와 Quasi-static Keithely 595 CV meter를 사용하여 high-low frequency C-V 특성을 동시에 측정하였다. 100 kHz high frequency (HF) C-V 곡선에서 추출한 산화막 두께는 52~58 nm 수준임을 평가하였다. 이는 투과 전자 현미경(transmission electron microscope, TEM)으로 측정된 결과와 거의 유사하였다 (그림 1).

전류-전압(I-V) 특성은 HP4156B 분석기를 사용하였고 모든 전기적 측정은 실온에서 수행하였다. 산화막 계면에 대한 물리화학적 평가는 time of flight secondary ion mass spectroscopy (ToF-SIMS)를 이용하여 평가하였다. 이때 결과들은 4H-SiC의 성분 중 Si intensity를 normalizing시켰고 산화막 내 존재하는 산소 intensity의 50%에 해당하는 스퍼터링 시간을 산화막과 4H-SiC의 계면으로 정의하였다 [22].

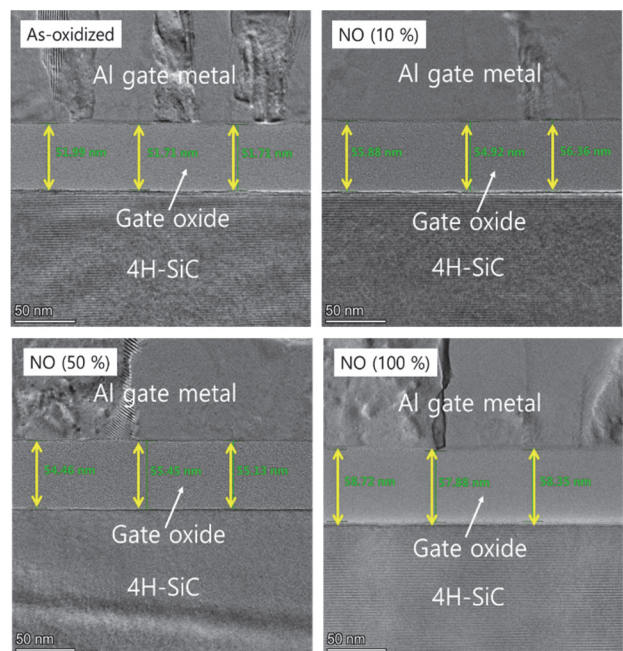


Fig. 1. Cross-sectional transmission electron microscopy images for the oxides with the various NO POA ambient.

3. 결과 및 고찰

그림 2(a)는 NO 비율에 따른 게이트 산화막에 대해 100 kHz에서 측정된 C-V curve 결과를 보여준다. 이때 이상적인 C-V curve는 계면 결함 밀도가 없다는 가정 하에 계산된 값이다. NO POA 진행 없이 열산화만 진행된 샘플(As-oxidized sample)의 C-V curve는 이상적인 C-V curve에 비해 flatband voltage (V_{FB}) 증가와 함께 positive voltage 방향으로 이동하였다. 이는 산화막 내에 negative oxide charge 또는 acceptor-like traps의 증가로 인해 이동하게 됨을 나타낸다 [23,24]. NO POA를 NO 10%에서 NO 100%로 증가함에 따라 C-V curve는 negative shift되는 경향을 보였다. 이는 질화 열처리를 통해 계면에 존재하는 negative oxide charge 또는 acceptor-like traps이 줄어들고 NO 비율이 증가함에 따라 positive oxide charge 또는 donor-like trap이 증가되는 것을 보여준다. $\Delta V_{FB} (=V_{FB,real} - V_{FB,ideal})$ 을 이용하여 유효 산화막 전하 밀도(Density of effective oxide charge, Q_{eff})를 계산할 수 있으며 Q_{eff} 는 아래 식 (1)로 나타낼 수 있다 [25].

$$Q_{eff} = \frac{\Delta V_{FB} C_{ox}}{q A_G} \quad (1)$$

(C_{ox} : oxide capacitance, q : electronic charge, A_G : gate area)

확인된 ΔV_{FB} 는 NO 비율 0%, 10%, 50%, 100%에 따라 각각 1.9 V, -0.1 V, -1.0 V, -1.4 V이고 Q_{eff} 는 NO 비율 (0%, 10%, 50%, 100%)에 따라 각각 $-5.44 \times 10^{11} \text{ cm}^{-2}$, $1.14 \times 10^{11} \text{ cm}^{-2}$, $4.31 \times 10^{11} \text{ cm}^{-2}$, $5.45 \times 10^{11} \text{ cm}^{-2}$ 으로 계산되었다 [그림 2(b)]. NO POA 진행이 없었던 열산화막의 Q_{eff} 가 Negative charge에서 NO POA 후에 positive charge로 극성이 변경되었으며 NO 비율이 증가함에 따라 positive charge가 증가하였다. 이는 NO POA 공정이 열산화막 계면에 존재하는 acceptor-like traps 감소에 효과적으로 기여한 것으로 볼 수 있다 [17].

그림 3은 NO 비율에 따른 density of interface trap (D_{it})를 보여준다. D_{it} 평가 방법은 high-low frequency 방식을 이용하였고 4H-SiC의 conduction band edge 아래 에너지 준위 0.2~0.6 eV 구간 사이를 평가하였다. 4H-SiC의 conduction band edge 아래 에너지 준위 0.2 eV 기준으로 as-oxidized 샘플의 D_{it} 값은 가장 높은 수준인 $1.5 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 으로 평가되었고 1,300°C에서 50% NO POA 샘플은 $1.2 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 으로 가장 낮은 수준이었으며 as-oxidized 샘플과 비교했을 때 1/10 이하로 감소된 것을 확인하였다. 이는 산화막 계면에 존재하는 탄소 관련 결함과 산화막 계면 근처에 산소가 부족한 SiO_x 가 질소 또는 산소와 equilibrium state로 결합하면서 탄소는 CN, CO, CO_2 등 결합을 통해 기체로 제거된다. 또한 SiO_x 는 NO POA를 통해 Si_3N_4 또는 SiO_2 상으로 안정화되어 4H-SiC의 에너지 밴드갭 내에서 비활성화 상태로 바뀌면서 D_{it} 가 감소한 것으로 판단된다 [26-28]. 그러나 NO 비율 100%로 증가하면서 D_{it} 가 다시 증가하는 경향을 보였다. 이는 산화막 계면에서 질소와 산소 반응의 equilibrium state

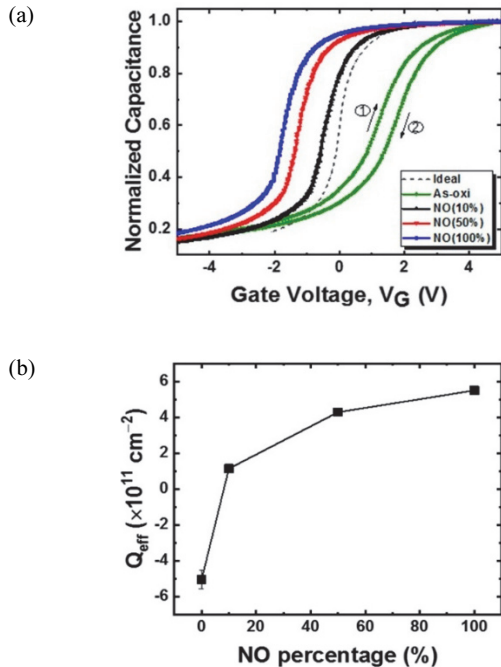


Fig. 2. (a) Typical normalized high-frequency (HF) capacitance–voltage (CV) curves of the gate oxides (an ideal curve is included for comparison) and (b) the effective oxide charge densities (Q_{eff}) of the oxides as a function of NO percentage.

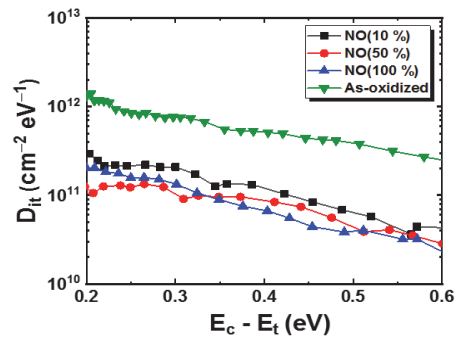


Fig. 3. Measured interface trap densities (D_{it}) at room temperature in the upper part of the 4H-SiC energy bandgap for the oxides with the various NO POA ambient.

가 깨지고 질소 결합보다 산소 결합이 주도적으로 진행되어 D_{it} 가 다시 증가하는 것으로 예상되었다.

그림 4는 TOF-SIMS를 이용하여 NO 비율에 따른 샘플에 대해 normalized sputtering time에 대한 SiN과 SiON의 intensity 분포를 나타낸 결과이다. NO 비율이 증가될수록 산화막 계면에서 SiN과 SiON의 intensity가 일부 증가하였다. 이를 통해 NO 50% 샘플의 산화막 계면에서 질소와 산소 반응의 equilibrium state에 의해 SiN과 SiON 상이 만들어졌다는 것을 알 수 있다. 이는 기보고된 문헌 결과와도 일치한 것을 확인하였다 [26]. 한편 그림 4(a), (b)에 삽입된 그림들은 각각 SiN intensity의 최대 강도는 NO 50%까지 증가하다가 NO 100%에서는 감소했고 SiON intensity 최대 강도는 NO 비율 증가에 따라 계속해서 증가한 것을 나타냈다. NO 100% 계면에서 SiN intensity 최대 강도의 감소는 산소 반응이 주도해지면서 SiN과 산소가 반응하여 SiO 또는 NO 상태로 질소가 산화막 계면에서 빠져나온 것으로 보이며, SiON 양의 증가는 SiN 일부가 SiON으로 산화되어 그 양이 증가된 것으로 예상되었다. 따라서 SiC power MOSFET 게이트 산화막의 계면 특성을 효과적으로 개선시키기 위해 1,350°C 열산화막 성장 후 1,300°C에서 NO 50%를 이용한 NO POA 조건이 최적임을 확인하였다.

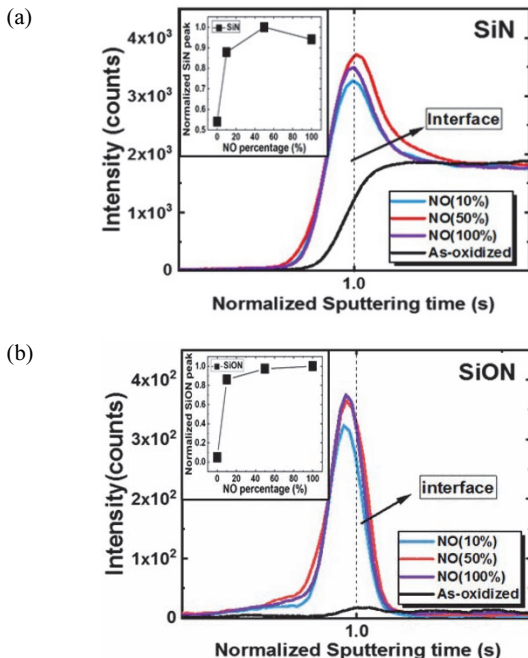


Fig. 4. Time of flight-secondary ion mass spectroscopy measurement of (a) SiN and (b) SiON intensities for the oxides with the various NO POA ambient (the inset shows the normalized maximum intensities of SiN and SiON as a function of NO percentage).

4. 결론

본 연구에서는 고온 산화 이후 1,300°C NO POA 공정을 이용하여 SiC power MOSFET 게이트 산화막의 계면 특성을 개선하고자 하였다. 1,300°C NO POA 공정에서 NO 비율에 따른 전기적 특성을 비교 평가하여 최적 조건을 확인하였다. 1,300°C NO 비율이 증가함에 따라 C-V curve가 negative voltage 방향으로 이동하는 경향을 보았으며 이를 통해 acceptor-like trap에 의한 negative oxide charge가 줄어들면서 positive oxide charge가 증가하는 것을 알 수 있었다. 또한 NO POA의 NO 비율이 50%로 증가함에 따라 D_{it} 가 최대로 감소하다가 100%에서 다시 증가하는 경향을 보였다. 이는 ToF-SIMS 분석을 통해 NO 비율이 증가함에 따라 NO 100% 샘플의 산화막 계면에서는 산소 반응이 주도적으로 바뀌게 되어 산화막 계면에 존재하던 SiN intensity 최대 강도가 줄어들거나 SiON intensity 최대 강도가 증가된 것으로 판단되었고 NO 50% 샘플의 산화막 계면에서는 질소와 산소 반응이 equilibrium state가 이루어져 SiN intensity 최대 강도가 가장 높은 것을 확인하였다. 본 연구에서는 1,350°C 열산화막을 이용하여 실험을 진행하였으며, NO 50% 및 1,300°C의 환경에서 후속 열처리를 통하여 게이트 산화막의 계면 결합 밀도를 효과적으로 개선 가능하게 한 것으로 여겨진다.

ORCID

Jeong Hyun Moon

<https://orcid.org/0000-0002-2463-8944>

감사의 글

이 연구는 2023년도 정부(과학기술정보통신부)의 재원으로 국가과학기술연구회의 지원을 받아 수행된 한국전기연구원 기본사업임(No.23A01077).

REFERENCES

- [1] J. H. Moon, W. Bahng, I. H. Kang, S. C. Kim, M. G. Na, and N. K. Kim, *J. Korean Phys. Soc.*, **64**, 1363 (2014). doi: <https://doi.org/10.3938/jkps.64.1363>
- [2] J. A. Cooper, M. R. Melloch, J. M. Woodall, J. Spitz, K. J. Schoen, and J. Henning, *Mater. Sci. Forum*, **264**, 895 (1998). doi: <https://doi.org/10.4028/www.scientific.net/MSF.264-268.895>
- [3] B. J. Baliga, *Wide Bandgap Semiconductor Power Devices: Materials, Physics, Design, and Applications* (Elsevier, United

- Kingdom, 2019) p. 0.
[ISBN: 9780081023068]
- [4] C. Langpoklakpam, A. C. Liu, K. H. Chu, L. H. Hsu, W. C. Lee, S. C. Chen, C. W. Sun, M. H. Shih, K. Y. Lee, and H. C. Kuo, *Crystals*, **12**, 245 (2022).
doi: <https://doi.org/10.3390/cryst12020245>
- [5] F. Roccaforte, P. Fiorenza, G. Greco, R. L. Nigro, F. Giannazzo, A. Patti, and M. Saggio, *Phys. Status Solidi A*, **211**, 2063 (2014).
doi: <https://doi.org/10.1002/pssa.201300558>
- [6] V. V. Afanas'ev, F. Ciobanu, S. Dimitrijević, G. Pensl, and A. Stesmans, *J. Phys.: Condens. Matter*, **16**, S1839 (2004).
doi: <https://doi.org/10.1088/0953-8984/16/17/019>
- [7] P. Fiorenza, F. Iucolano, G. Nicotra, C. Bongiorno, I. Deretzis, A. La Magna, F. Giannazzo, M. Saggio, C. Spinella, and F. Roccaforte, *Nanotechnology*, **29**, 395702 (2018).
doi: <https://doi.org/10.1088/1361-6528/aad129>
- [8] K. Y. Cheong, S. Dimitrijević, J. Han, and H. B. Harrison, *J. Appl. Phys.*, **93**, 5682 (2003).
doi: <https://doi.org/10.1063/1.1555696>
- [9] J. H. Moon, J. H. Yim, H. S. Seo, D. H. Lee, H. K. Song, J. Heo, H. J. Kim, K. Y. Cheong, W. Bahng, and N. K. Kim, *J. Electrochem. Soc.*, **157**, H196 (2010).
doi: <https://doi.org/10.1149/1.3267508>
- [10] Y. Jia, H. Lv, Y. Niu, L. Li, Q. Song, X. Tang, C. Li, Y. Zhao, L. Xiao, and L. Wang, *Chin. Phys. B*, **25**, 097101 (2016).
doi: <https://doi.org/10.1088/1674-1056/25/9/097101>
- [11] Z. Peng, Y. Wang, H. Shen, C. Li, J. Wu, Y. Bai, K. Liu, and X. Liu, *Microelectron. Reliab.*, **58**, 192 (2016).
doi: <https://doi.org/10.1016/j.microrel.2015.11.022>
- [12] K. Moges, M. Sometani, T. Hosoi, T. Shimura, S. Harada, and H. Watanabe, *Appl. Phys. Express*, **11**, 101303 (2018).
doi: <https://doi.org/10.7567/APEX.11.101303>
- [13] A. Regoutz, G. Pobegen, and T. Aichinger, *J. Mater. Chem. C*, **6**, 12079 (2018).
doi: <https://doi.org/10.1039/C8TC02935K>
- [14] H. Y. Xu, C. P. Wan, and J. P. Ao, *Mater. Sci. Forum*, **954**, 104 (2019).
doi: <https://doi.org/10.4028/www.scientific.net/MSF.954.104>
- [15] S. Lee, S. Kim, H. J. Kang, H. W. Kim, O. Seok, J. H. Moon, W. Bahng, H. J. Kim, and M. W. Ha, *Phys. Scr.*, **94**, 125811 (2019).
doi: <https://doi.org/10.1088/1402-4896/ab432c>
- [16] T. H. Kil and K. Kita, *ECS Trans.*, **98**, 47 (2020).
doi: <https://doi.org/10.1149/09803.0047ecst>
- [17] J. H. Moon, I. H. Kang, H. W. Kim, O. Seok, W. Bahng, and M. W. Ha, *Curr. Appl. Phys.*, **20**, 1386 (2020).
doi: <https://doi.org/10.1016/j.cap.2020.09.003>
- [18] T. Kimoto and H. Watanabe, *Appl. Phys. Express*, **13**, 120101 (2020).
doi: <https://doi.org/10.35848/1882-0786/abc787>
- [19] H. Yoshioka, T. Nakamura, and T. Kimoto, *J. Appl. Phys.*, **112**, 024520 (2012).
doi: <https://doi.org/10.1063/1.4740068>
- [20] A. Chanthaphan, T. Hosoi, T. Shimura, and H. Watanabe, *AIP Adv.*, **5**, 097134 (2015).
doi: <https://doi.org/10.1063/1.4930980>
- [21] Z. W. Shen, F. Zhang, S. Dimitrijević, J. S. Han, G. G. Yan, Z. X. Wen, W. S. Zhao, L. Wang, X. F. Liu, G. S. Sun, and Y. P. Zeng, *Chin. Phys. B*, **26**, 107101 (2017).
doi: <https://doi.org/10.1088/1674-1056/26/10/107101>
- [22] J. H. Moon, H. K. Song, J. H. Yim, H. S. Seo, M. S. Oh, J. H. Lee, H. J. Kim, K. Y. Cheong, W. Bahng, and N. K. Kim, *Electrochem. Solid-State Lett.*, **10**, H327 (2007).
doi: <https://doi.org/10.1149/1.2773965>
- [23] H. Wong and V. A. Gritsenko, *Microelectron. Reliab.*, **42**, 597 (2002).
doi: [https://doi.org/10.1016/S0026-2714\(02\)00005-7](https://doi.org/10.1016/S0026-2714(02)00005-7)
- [24] P. Fiorenza, F. Giannazzo, and F. Roccaforte, *Energies*, **12**, 2310 (2019).
doi: <https://doi.org/10.3390/en12122310>
- [25] D. K. Schroder, *Semiconductor Material and Device Characterization* (John Wiley & Sons, New York, 1998) p. 0.
doi: <https://doi.org/10.1002/0471749095>
- [26] K. Y. Cheong, J. H. Moon, H. J. Kim, W. Bahng, and N. K. Kim, *Thin Solid Films*, **518**, 3255 (2010).
doi: <https://doi.org/10.1016/j.tsf.2009.11.003>
- [27] K. Y. Cheong, W. Bahng, and N. K. Kim, *Appl. Phys. Lett.*, **90**, 012120 (2007).
doi: <https://doi.org/10.1063/1.2430308>
- [28] K. Y. Cheong, J. H. Moon, H. J. Kim, W. Bahng, and N. K. Kim, *J. Appl. Phys.*, **103**, 084113 (2008).
doi: <https://doi.org/10.1063/1.2908870>