


고전압 전력반도체 소자 개발을 위한 단위공정 링패턴설계 최적화에 대한 연구

최규철¹, 김덕열^{1,2}, 김봉환³, 장상목¹ 

¹ 동아대학교 화학공학과

² 두남화학

³ 넥스젠 파워

A Study on Optimizing Unit Process Ring Pattern Design for High Voltage Power Semiconductor Device Development

Gyu Cheol Choi¹, Duck-Youl Kim^{1,2}, Bonghwan Kim³, and Sang Mok Chang¹

¹ Department of Chemical Engineering, Dong-A University, Busan 49315, Korea

² Dunam Chemistry Co., Gimhae 50931, Korea

³ Nexgen Power Co., Incheon 21984, Korea

(Received November 14, 2022; Revised December 22, 2022; Accepted December 24, 2022)

Abstract: Recently, the global demands for high voltage power semiconductors are increasing across various industrial fields. The use of electric cars with high safety and convenience is becoming practical, and IGBT modules of 3.3 kV and 1.2 kA or higher are used for electric locomotives. Delicate design and advanced process technology are required, and research on the optimization of high-voltage IGBT parts is urgently needed in the industry. In this study, we attempted to design a simulation process through TCAD (technology computer-aid design) software to optimize the process conditions of the fielding process among the core unit processes for an especial high yield voltage. As well, the prior circuit technology design and a ring pattern with a large number of ring formation structures outside the wafer similar to the chip structure of other companies were constructed for 3.3 kV NPT-IGBT through a unit process demonstration experiment. The ring pattern was designed with 21 rings and the width of the ring was 6.6 μm . By changing the spacing between patterns from 17.4 μm to 35.4 μm , it was possible to optimize the spacing from 19.2 μm to 18.4 μm .

Keywords: High voltage power semiconductor, Process optimization, Ring pattern

1. 서론

반도체라고 하면 대부분이 메모리 반도체를 생각하고 우리나라의 경우 우수한 기술력으로 세계 메모리 반도체 시장에서 우위를 점하고 있다 [1]. 그러나 메모리 반도체 이외의 비메모리 반도체 분야는 아직도 선진 기업의 기술을 따라가지 못하고 있다. 비메모리 반도체는 정보 처리를 목

✉ Sang Mok Chang; smjang@dau.ac.kr

Copyright ©2023 KIEEME. All rights reserved.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

적으로 제작된 반도체로서 ‘시스템 반도체’라고 불리고 있으며, 각종 전자 제품의 두뇌 역할을 담당하는 칩으로 많이 사용되고 있으므로 필수품이다. 특히 전력반도체의 경우 시스템에 알맞은 전력을 배분하여 제어하거나 변환할 수 있는 기능을 가진 반도체 소자로서 전기자동차의 개발에 있어서 아주 중요한 역할을 담당하고 있다 [2].

전력반도체(insulated gate bipolar transistor, IGBT)는 내전압이 100 V 이상이거나 정격전류가 1 A 이상인 소자를 총칭하는 것으로 알려져 있다 [3]. 특히 신재생 에너지의 인버터 산업 분야에서 600~1,700 V 이하의 전력 소자가 사용되었으나, 최근 2.5 kV 이상의 소자에 대한 연구가 활발하다 [4].

IGBT는 빠르게 전기의 흐름을 통하게 하거나 막는 동작을 할 수 있도록 만들어진 고전력 스위칭 반도체로써 주로 전동차, 전기자동차, 에너지저장시스템, 신재생에너지 송배선, 에어컨 등의 인버터나 컨버터에 사용된다. 최근 세계적으로 고전압 전력반도체의 수요는 다양한 산업분야에 걸쳐 증가하고 있는 추세이며 교통수단의 패러다임이 내연기관자동차에서 전기·수소연료전지자동차로 바뀌고 있다. 특히 고도의 안전성과 편리성이 갖춰진 전동차 이용이 활성화되어 가고 있으며 전동차에는 3.3 kV, 1.2 kA급 이상 IGBT 모듈이 사용되고 섬세한 설계와 고도의 공정 기술이 요구되며 해당 산업에서는 고전압 IGBT 부품의 최적화 연구가 절실한 상황이다. 고전압 IGBT 개발을 위해서 wafer의 저항값 설정과 주요 단위 공정의 최적화가 완성 칩의 전기적 특성에 큰 변수가 되며 높은 항복 전압 (breakdown voltage) 지지를 위한 공정 및 최적화 기술 확보가 중요하다. 특별히 높은 항복 전압을 얻기 위한 핵심 단위 공정으로 필드링 공정(field ring process), 이온 주입 공정(Ion implantation process), 확산 공정(diffusion process), 어닐링 공정(annealing process)의 공정조건 최적화가 필요하다.

본 연구에서는 TCAD (technology computer-aided design) 소프트웨어를 이용한 시뮬레이션 공정 설계와 단위 공정 실증 실험을 통해 소자의 회로를 구성하는 기본적인 틀을 만들고 IGBT의 전기적 특성에 있어 내압을 결정하는 중요한 핵심 단위 공정인 필드링 공정(field ring process)의 최적 공정 조건을 분석하고자 하였다.

2. 이론

IGBT는 고전압을 필요로 하는 기기 등에 탑재되어 사용되므로 고효율에 손실률이 적어야 하는 특성을 가지고 있

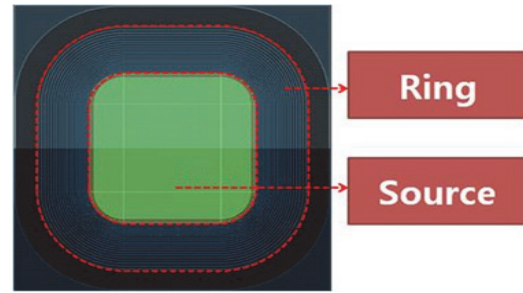


Fig. 1. Schematic design of chip structure.

으므로 항복 전압을 유지하기 위하여 다양한 방법이 사용되고 있는데 전계를 분산시키는 필드 링을 사용하는 방법이 있다 [5]. 특히 3.3 kV IGBT의 항복 전압을 지지하기 위해서 링 패턴의 역할이 무엇보다 중요하다는 것은 이전의 연구를 통하여 이미 잘 알려진 내용이다 [6,7]. 높은 항복 저항을 얻기 위한 단위 공정으로 필드 링 공정, 이온 주입 공정, 확산 공정, 어닐링 공정 등이 있다. 이 중에서 필드링의 경우 필드링의 갯수, 접합 깊이, 필드링 사이의 간격이 주요 변수로서 내압 특성을 개선하기 위하여 필드링을 설계한다. 이때 필드링을 설계하는 방법으로 이론적 수식 모델로 설계하는 방법과 함께 시뮬레이션 제조 공정 설계 방법이 있다 [8].

필드 링 설계에 있어서 junction의 깊이는 항복 전압의 특성을 결정하는 데 있어서 중요한 요소로서 깊게 형성될수록 항복 전압은 올라간다. Junction의 깊이와 폭은 필드링의 구조에 따라 달라지고, 선진 기업의 경우 설계 방법에 따라 달라진다. 따라서 항복 전압을 3.3 kV 이상을 유지하기 위해서 링의 개수는 많게 구성하고, 그에 따른 junction의 깊이를 확보하여 칩이 고전압에서 견딜 수 있는 설계를 진행한다. 링패턴은 IGBT의 전기적 특성에 있어서 내압을 결정하는 중요한 공정이고, 소자의 회로를 구성하는 기본적인 틀을 만드는 공정으로서 그림 1 모식도와 같이 칩의 ring과 source 두 영역을 어떤 구조로 만들 것인지 그리고 링패턴 설계를 위한 초기 단위공정 조건과 진행방법에 대해서 실험 가능한 장비를 기준으로 연구하였다.

3. 실험 방법

3.1 Si 웨이퍼 준비

링 패턴을 설계하기 위해 기본적인 공정진행 순서에 준하여 첫 번째 공정인 field oxide막은 버티칼 확산로

(Alpha-808SDN, Tokyo Electron Limited, Inc)에서 Si 웨이퍼(8 in, flat N-type, Sumco Corp.)에 1.7 μm 두께로 산화막을 성장시킨 후 필드 링 포토 리소그래피 공정으로 포지티브 감광액으로 도포(YPP-1700, Youngchang Chemical Co. Ltd.)한 후 스텝퍼(NSR-2205i10C, Nikon, Japan)에서 노광을 실시하였다. [9]

그림 1과 같이 링 패턴을 형성하기 위한 최적의 식각 조건을 찾기 위하여 시료 웨이퍼 제작은 확산로를 활용하여 준비된 Si 웨이퍼(8인치, N-형, 비저항 160 Ωcm, 180 Ωcm, 300 Ωcm)에 산화막 17,000 Å를 성장시켰다.

3.2 링 패턴 설계(ring pattern design)

최종 산화막의 링 패턴 형성을 위해서 산화막 식각 공정의 순서로 진행하였다.

그림 2와 같이 그 다음 산화막 층이 형성된 웨이퍼 위에 합당한 두께의 포지티브 감광액을 도포하였다. 그 다음 스텝퍼에서 설계된 마스크를 넣고 노광 후 현상 공정을 진행

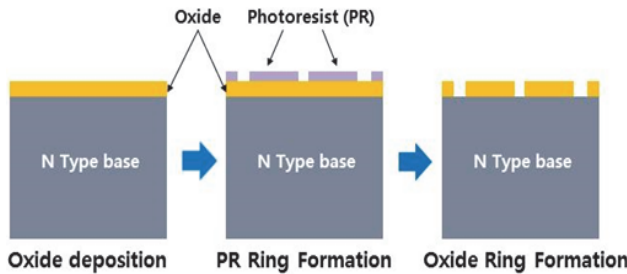


Fig. 2. Fabrication procedure of oxide ring pattern on a Si wafer.

하였다. 웨이퍼 위의 산화막에 링 패턴을 형성하기 위한 몇 가지 조건으로 split test를 실험하여 최적 식각 방법을 찾았다. 식각에는 건식 식각으로 CF₄(Freon14) 가스를 사용하여 산화막 두께에 맞는 조건으로 진행하였고, 습식 식각으로 BOE (buffered oxide etch, NH₄F:HF=10:1, v/v) 용액을 활용하여 스텝에 맞는 조건을 설정하여 식각을 실시하였다.

3.3 링 패턴 실험

그림 3에 TCAD (technology computer-aided design) 소프트웨어를 활용하여 TEG (test element group: 칩의 동작 여부를 판단하기 위한 테스트용) layout을 16가지로 나눠 설계한 내용을 정리하여 표시하였다. 그림 4의 모식도와 같이 3.3 kV 고전압 NPT-IGBT의 선형 공정 기술로 보유하고 있는 회로 설계 기술과 함께 1번 기준 TEG 데이터는 선진 기업인 H사 IGBT 소자의 reverse engineering을 실시하여 얻은 연구 자료를 참조하였다. 2번 TEG는 바깥 링 간격을 2 μm 축소하였고, 3번 TEG는 중간 링 간격을 1 μm 축소하고 바깥 링 간격을 1 μm 축소, 4번 TEG는 중간 링 간격 1 μm 축소와 바깥 링 간격 2 μm 축소, 5번 TEG는 중간 링 간격 1 μm와 바깥 링 간격 1 μm 축소 그리고 6~13번까지도 링 간격을 줄이고 넓혀 설계하였다. 14번 TEG는 링 폭을 1 μm 축소, 15번 TEG는 링 폭을 2 μm 축소, 16번 TEG는 코너의 반경을 1,900 μm 증가시켜 둥근 형태로 설계하였다. 이와 같이 링의 간격과 링의 폭을 적절하게 증감시켜 16가지 형태로 나눠 설계하였다. 칩의 ring 수량은 21개로 설정하고, ring의 크기와 ring 패턴의 간격 기준을 최적화시켰다 [10].

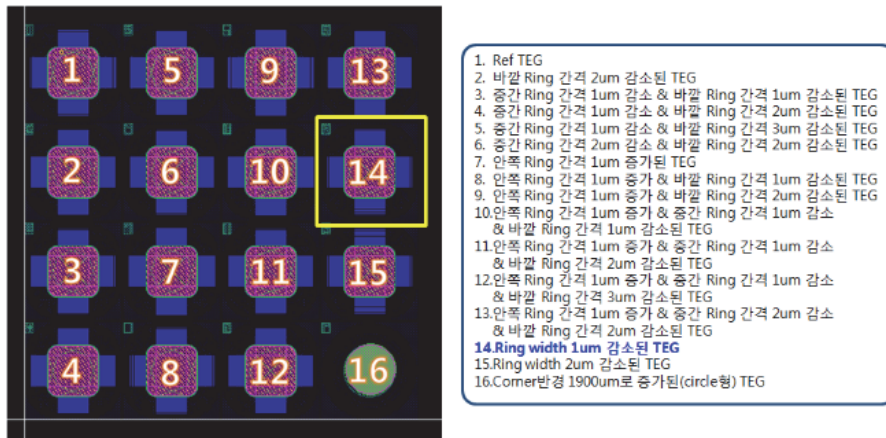


Fig. 3. Split test conditions for ring pattern simulation.

이것은 항복 전압이 3.3 kV인 IGBT 개발을 목표로 하고 있기 때문이고, TEG테스트를 통하여 소자가 기본적으로 작동되는 링의 설계가 중요하며, 얻은 데이터는 전 공정의 설계의 참고 자료로 활용하기 위함이다. 공정 설계는 시뮬레이션 결과와 장비의 단위 공정 테스트로 얻어진 결과 데이터를 취합하여 최적화로 만들어졌으며 현장 장비 성능을 감안하여 작성하였다 [11].

4. 결과 및 고찰

4.1 링 패턴 실험

IGBT 제작을 위한 필드 링 구조를 그림 4에 나타내었다. 실험 조건과 같이 링은 21개로 구성하고, 접합 길이, 링의

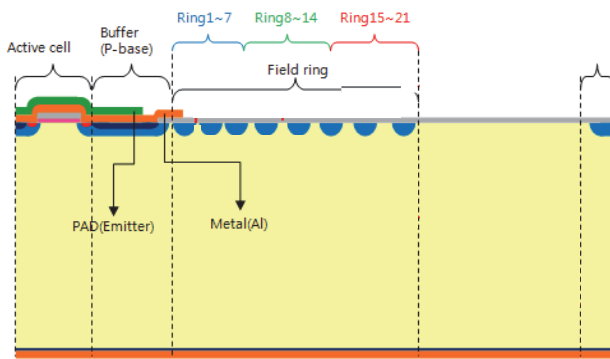


Fig. 4. Simulation results of ring pattern process.

간격 등을 달리하여 시뮬레이션을 실시한 결과와 선행 연구 [9]한 조건에서 조금의 차이는 발생했으나, 항복 전압 3.3 kV에 근접하게 나온 TEG 14번이 가장 적합한 것으로 판단되었다. 그림 4에서 나타내는 것같이 TEG 14번 조건을 토대로 링 마스크를 제작하여 pilot 단위 공정을 진행하였다. 회로의 절연 영역 확보를 위해 불순물의 주입 조건이 중요하고, 링 이온 주입 조건은 세 가지로 테스트하였다. 에너지 120 keV, 도핑 농도 9.0E13와 에너지 150 keV, 도핑 농도 9.0E13 그리고 에너지 150 keV, 도핑 농도 9.5E14으로 진행하였다 [9-12]. 실험 공정이 완료된 pilot TEG chip을 curve trace를 이용하여 wafer 상태로 전기적 특성을 측정하여 그림 6에 나타내었다.

4.2 링 패턴 검토

표 2와 같이 액티브 영역을 기준으로 하여 링의 폭은 동일하게 6.6 μm 설계했고, 링의 패턴과 패턴 사이의 간격을 첫 번째 링 19.2 μm, 두 번째 링은 17.4 μm, 세 번째 링은 18.4 μm로 조금씩 넓게 하면서 설계를 최적화시켰다 [13].

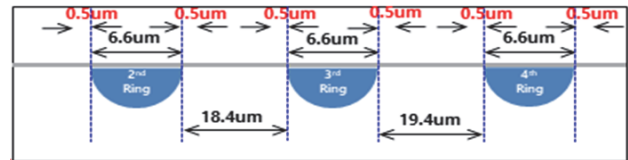


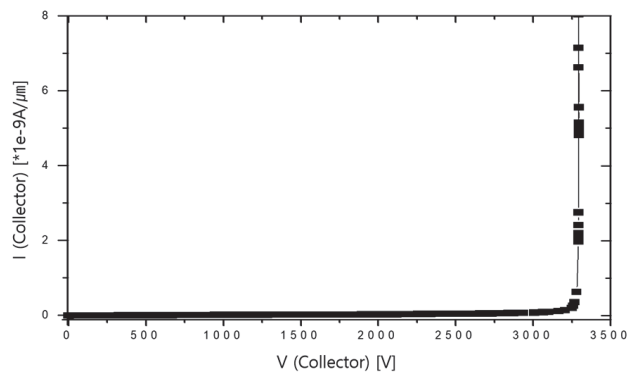
Fig. 5. Schematic diagram of optimal field ring structure.

Table 1. Compare of TEG 5 and 14 (width and space, unit: μm).

Ring	TEG 5		TEG 14		Ring	TEG 5		TEG 14	
	Width	Space	Width	Space		Width	Space	Width	Space
1	7.6	19.4	6.6	19.2	2	7.6	16.4	6.6	17.4
3	7.6	17.4	6.6	18.4	4	7.6	18.4	6.6	19.4
5	7.6	19.4	6.6	20.4	6	7.6	19.4	6.6	20.4
7	7.6	20.4	6.6	21.4	8	7.6	20.4	6.6	22.4
9	7.6	20.9	6.6	22.9	10	7.6	22.4	6.6	24.4
11	7.6	23.9	6.6	25.9	12	7.6	24.4	6.6	26.4
13	7.6	25.4	6.6	27.4	14	7.6	26.4	6.6	28.4
15	7.6	25.4	6.6	29.4	16	7.6	26.4	6.6	30.4
17	7.6	27.4	6.6	31.4	18	7.6	28.4	6.6	32.4
19	7.6	29.4	6.6	33.4	20	7.6	30.4	6.6	34.4
21	7.6	31.4	6.6	35.4					

Table 2. Optimal field ring structure.

Ring	1	2	3	4	5	6	7	8	9	10
Width (μm)	6.6	6.6	6.6	6.6	6.6	6.6	6.6	6.6	6.6	6.6
Space (μm)	19.2	17.4	18.4	19.4	20.4	20.4	21.4	22.4	22.9	24.4
Ring	11	12	13	14	15	16	17	18	19	20
Width (μm)	6.6	6.6	6.6	6.6	6.6	6.6	6.6	6.6	6.6	6.6
Space (μm)	25.9	26.4	27.4	28.4	29.4	30.4	31.4	32.4	33.4	34.4

**Fig. 6.** The breakdown voltage characteristics of 3.3 kV planar gate NPT-IGBT.

5. 결론

본 연구에서는 기존의 저전압 IGBT의 공정을 기초로 하고, 선진사 칩의 표면과 수직 구조의 데이터를 토대로 주요 단위 공정 조건들을 시뮬레이션하여 얻은 결과를 이용하여 항복 전압 3.3 kV, 전류 60 A인 고전압 NPT- 그림 4의 모식도와 같이 3.3 kV 고전압 NPT-IGBT의 선행공정기술로 보유하고 있는 회로설계기술과 선진사(H사)의 칩 구조와 유사한 형태로 칩의 외곽에 다량의 ring 형성 구조로 설계하기로 결정했다. 칩의 ring 수량은 21개로 설정하고, ring의 크기와 ring 패턴의 간격 기준을 최적화시켰다 [10-14].

NPT-IGBT의 선행 회로 설계 기술과 선진 기업의 칩 구조와 유사하게 웨이퍼 외곽에 다량의 링 형성 구조로 링 패턴을 설계하였다. 링 패턴은 링의 수량 21개, 링의 폭 6.6 μm 로 설계했고, 링 패턴과 링 패턴 사이의 간격을 17.4 μm 에서 35.4 μm 까지 변화시켜 설계하여 가면서 19.2 μm 에서 18.4 μm 까지 간격으로 최적화시켰다. 마스크 하부막에 대한 선택성과 웨이퍼 내와 웨이퍼 간의 균일성 및 재현성 그리고 일정한 step coverage가 확보되어야 하는 식각 공정에서는 습식 식각 1 step 방식이 공정 및 작업 효율성 측면에서 유리하다는 결론을 얻을 수 있었다.

ORCID

Sang Mok Chang

<https://orcid.org/0000-0001-8501-5671>

감사의 글

이 논문은 2022년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업(NRF-2022R1F1A107156611)입니다.

REFERENCES

- [1] E. G. Kang, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **23**, 7 (2010).
- [2] H. W. Chun and I. S. Yang, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **28**, 206 (2013).
- [3] S. C. Kim, and E. D. Kim, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **15**, 15 (2002).
- [4] E. G. Kang, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **30**, 210 (2017). [DOI: <https://doi.org/10.4313/JKEM.2017.30.4.210>]
- [5] E. G. Kang, *Inst. Korean Electr. Electron. Eng.*, **14**, 199 (2010).
- [6] E. S. Jung, S. S. Kyoung, H. Chung, and E. G. Jang, *J. Electr. Eng. Technol.*, **9**, 1995 (2014). [DOI: <https://doi.org/10.5370/jeet.2014.9.6.1995>]
- [7] F. J. Niedernostheide, H. J. Schulze, T. Laska, and A. Philippou, *IET Power Electron.*, **11**, 646 (2018). [DOI: <https://doi.org/10.1049/iet-pel.2017.0499>]
- [8] T. J. Nam, E. S. Jung, H. S. Jung, S. J. Kim, and E. G. Kang, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **25**, 165 (2012). [DOI: <https://doi.org/10.4313/JKEM.2012.25.3.165>]
- [9] B. H. Kim, J. Y. Park, K. H. Park, H. K. Shin, G. J. Kim, and S.M. Chang, *J. Nanosci. Nanotechnol.*, **17**, 5606 (2017). [DOI: <https://doi.org/10.1166/jnn.2017.14181>]
- [10] V. Crisafulli, *IGBT Technologys and Applications Overview*, <https://www.onsemi.com/pub/Collateral/TND6245-D.PDF> (2021).
- [11] J. H. Kim, *Master's thesis, Department of Electrical and Electronic Engineering*, p. 45, KAIST, Daejeon (2016).

- [12] B. H. Kim, H. K. Shin, J. Y. Park, and S. M. Chang, *Trans. Electr. Electron. Mater.*, **20**, 7 (2019). [DOI: <https://doi.org/10.1007/s42341-018-00087-2>]
- [13] M. C. Shin, H. A. Kim, B. S. Ahn, H. F. Cui, S. Y. Kim, and E. G. Kang, *J. Nanosci. Nanotechnol.*, **19**, 1720 (2019). [DOI: <https://doi.org/10.1166/jnn.2019.16208>]
- [14] M. C. Shin, H. S. Chung, B. S. Ahn, H. F. Cui, S. Y. Kim, and E. G. Kang, *J. Nanosci. Nanotechnol.*, **19**, 1670 (2019). [DOI: <https://doi.org/10.1166/jnn.2019.16207>]