

진공 게이트 스페이서를 지니는 Bulk FinFET의 단채널효과 억제를 위한 소자구조 최적화 연구

연지영¹, 이광선¹, 윤성수¹, 연주원¹, 배학열² , 박준영¹ 

¹ 충북대학교 전자공학부

² 전북대학교 전자공학부

Device Optimization for Suppression of Short-Channel Effects in Bulk FinFET with Vacuum Gate Spacer

Ji-Yeong Yeon¹, Khwang-Sun Lee¹, Sung-Su Yoon¹, Ju-Won Yeon¹, Hagyoul Bae², and Jun-Young Park¹

¹ School of Electronics Engineering, Chungbuk National University, Cheongju 28644, Korea

² Department of Electronic Engineering, Jeonbuk National University, Jeonju 54896, Korea

(Received June 24, 2022; Revised August 4, 2022; Accepted August 18, 2022)

Abstract: Semiconductor devices have evolved from 2D planar FETs to 3D bulk FinFETs, with aggressive device scaling. Bulk FinFETs make it possible to suppress short-channel effects. In addition, the use of low- k dielectric materials as a vacuum gate spacer have been suggested to improve the AC characteristics of the bulk FinFET. However, although the vacuum gate spacer is effective, correlation between the vacuum gate spacer and the short-channel-effects have not yet been compared or discussed. Using a 3D TCAD simulator, this paper demonstrates how to optimize bulk FinFETs including a vacuum gate spacer and to suppress short-channel effects.

Keywords: FinFET, Short-channel effect, Simulation, Vacuum gate spacer

1. 서론

반도체소자의 소형화(scaling)로 인하여 발생하는 단채널효과(short-channel effect)를 효과적으로 억제하기 위하여, 소자의 구조는 planar FET 구조에서, FinFET 구조로 진화되어 왔다 [1]. 특히, 이러한 FinFET 소자는 bulk 웨이퍼와 silicon-on-insulator (SOI) 웨이퍼에서 모두

제작이 가능하나, 웨이퍼 소재의 단가, 발열 현상(self-heating effects) 등의 단점으로 인하여, 현재에는 bulk FinFET 만이 양산되고 있다 [2]. 하지만, 계속하여 심화되고 있는 단채널효과를 효과적으로 억제하기 위하여, dipole engineering과 같은 gate dielectric 개선, high density shallow trench isolation (STI), low- k interlayer dielectric (ILD), hafnium-zirconium oxide (HZO) 강 유전체기반 메모리 적용 등 소자를 구성하고 있는 다양한 유전체(dielectric)의 특성 개선에 대한 많은 연구들이 이루어지고 있다 [3,4]. 특히, gate spacer 유전체 또한 회로의 우수한 AC 특성을 위하여, low- k 소재로 제작되어야 하는 것이 특징이며 [5], 제안된 대체 기술 중에서는 vacuum gate spacer (VGS)가 대표적이다 [6-9]. 특히

✉ Hagyoul Bae; hagyoul.bae@jbnu.ac.kr

Jun-Young Park; junyoung@cbnu.ac.kr

Copyright ©2022 KIEEME. All rights reserved.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

J. Park and C. Hu [6]는 bulk FinFET에 VGS를 사용할 경우, 기존의 Si_3N_4 gate spacer에 견주어, 약 45%의 인버터 속도 개선 및 46%의 에너지 절감이 가능함을 보고하였다. 하지만, VGS가 AC 측면에서 이러한 우수한 장점을 지니고 있음에도 불구하고, VGS의 적용에 대한 소자의 단채널효과에 특성 간의 상관관계가 명확하게 알려진 바가 없다. 비록, VGS 적용이 회로의 AC 특성 개선은 가능하게 할지라도, 소자의 DC 특성 및 단채널효과를 심화시킨다면, 이러한 trade-off가 충분히 고려되어 소자가 설계되어야 할 것이다. 하지만, 관련 연구들은, 아직까지 VGS 가 아닌 Si_3N_4 gate spacer를 지닌 bulk FinFET 소자의 구조 최적화를 대부분 다루고 있다 [10].

이에, 이 연구에서는 3D 시뮬레이션을 활용하여, VGS를 지니고 있는 bulk FinFET을 대상으로 단채널효과 역제 특성에 대하여 논의한다. 먼저, 기존의 Si_3N_4 gate spacer에 견주어, VGS 구조가 소자의 단채널효과에 미치는 영향을 정량적으로 비교 분석한다. 이후, vacuum spacer 내부에 삽입되어 있는 vacuum dielectric의 폭과 높이 등 기하학적인 요인과 소자 단채널효과와의 상관관계에 대하여 논의한다. 이에, 이 연구는 VGS를 지니고 있는 bulk FinFET 제조를 위한 최적의 가이드라인을 제시할 수 있다.

2. 실험 방법

반도체소자의 3-D 시뮬레이션을 위하여, Synopsys

Sentaurus를 활용하였다 [11]. Drift-diffusion carrier transport equation은 Poisson's equation과 함께 적용되었으며, quantum confinement effect를 반영하기 위하여 density-gradient model을 적용하였다. 그리고 도핑농도에 대한 밴드갭 축소의 영향을 확인하기 위하여 Slotboom bandgap narrowing model을 적용하였다. 또한 phonon scattering과 impurity 로 인한 이동성 저하를 감안하기 위하여, inversion and accumulation layer mobility model과 thin layer model 적용하였다. 이외에, 초기 열적 특성 및 실제 사용 환경을 고려하여 3-D thermodynamic model을 시뮬레이션에 적용하였다. 그리고 off-state current (I_{OFF})의 현실성을 반영하기 위하여, Shockley-Read-Hall recombination (SRH) model과 band-to-band tunneling (BTBT) model이 적용되었다. 이외에, 소자 시뮬레이션에 활용된 상세한 소자 구조 및 재료에 관한 정보는 표 1에 요약되어 있다 [12,13].

그림 1은 Synopsys Sentaurus를 바탕으로 제작된, bulk FinFET의 모식도이다. 소자의 channel thickness (t_{ch}) 및 gate oxide thickness (t_{ox})는 각각 100 nm 및 5 nm 이다. 소자의 gate oxide는 SiO_2 로 구성되어 있다. 그리고 gate spacer는 Si_3N_4 로 구성되어 있다. 그리고, 소자는 gate spacer의 표면으로부터, 약 5 nm 떨어진 부분에 진공영역을 보유하고 있도록 하였다. 소자의 source (S) 및 drain (D) 영역은 $3 \times 10^{20} \text{ cm}^{-3}$ 의 Arsenic으로 도핑되었으며, 실리콘 기판 및 채널영역은 Boron으로 $1 \times 10^{17} \text{ cm}^{-3}$ 으로 도핑되었다.

Table 1. Dimensions and material information for TCAD simulations.

Parameters	Values	Materials
Gate length, L_g (nm)	22	TiN
Channel width, W_{ch} (nm)	12	Si
Gate oxide thickness, t_{ox} (nm)	5	SiO_2
Gate spacer thickness, T_{sp} (nm)	15	Si_3N_4
Gate height, H_g (nm)	158	TiN
Channel thickness, T_{ch} (nm)	100	Si
Gate spacer height, H_{sp} (nm)	158	Si_3N_4
Vacuum height, H_{vac} (nm)	43	Vacuum
Vacuum thickness, T_{vac} (nm)	5	Vacuum
Channel doing concentration (cm^{-3})	1×10^{17}	Boron
Source/drain doing concentration (cm^{-3})	3×10^{20}	Arsenic
Substrate doing concentration (cm^{-3})	3×10^{18}	Boron

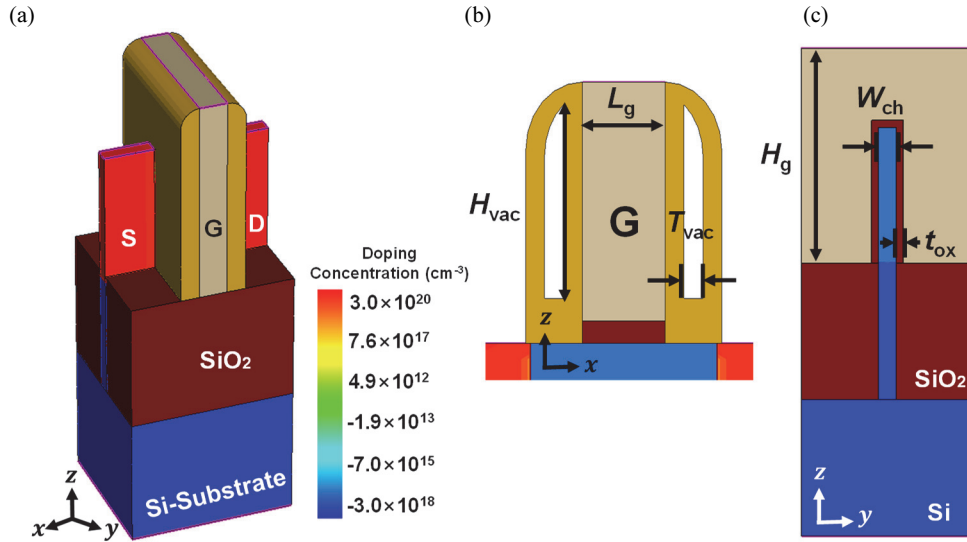


Fig. 1. (a) Schematic of bulk FinFET for simulations, (b) cross-sectional image of the bulk FinFET cut along the x-, and (c) y-direction, respectively.

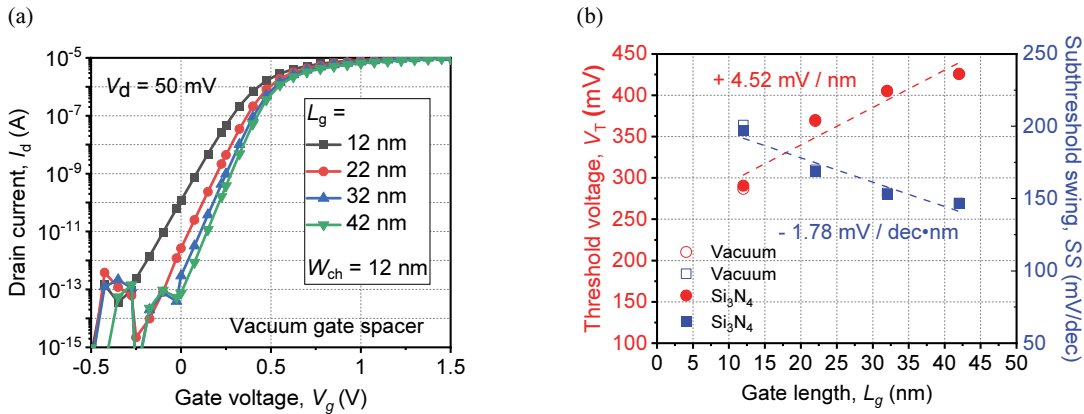


Fig. 2. (a) Simulated I_d - V_g characteristic of bulk FinFET. Extracted and (b) V_T and SS with various gate lengths (L_g).

3. 결과 및 고찰

그림 2는 VGS를 지니고 있는 bulk FinFET에 대하여, gate length (L_g)의 변화에 대한 I_d - V_g 특성을 보여준다. 소자의 threshold voltage (V_T)는 I_d 가 10^{-7} A 일 때를 기준으로 추출하였으며, subthreshold swing (SS)은 V_T 로부터 100 배의 전류감소가 일어나는 구간 까지를 기준으로 추출하였다. 소자의 L_g 가 42 nm에서 12 nm로 감소함에 따라, 단채널효과의 심화로 인하여, V_T 는 L_g 1 nm 감소 당, 4.52 mV 감소하였다. SS 도 마찬가지로 L_g 1 nm 감소 당, 1.78 mV/dec 만큼 증가하였다. 하지만, 그림 2(b)와 같이 동일한 구조의 bulk FinFET에 대하여 VGS를 적

용한 것과 기존의 Si_3N_4 gate spacer를 적용한 경우를 비교할 때, DC 측면에서의 소자특성 차이는 미미하였다. 마찬가지로 그림 3(a)는 소자의 channel width (W_{ch})의 축소에 대한 I_d - V_g 를 보여준다. W_{ch} 가 20 nm에서 12 nm로 점점 축소함에 따라, narrow width effect로 인하여, V_T 는 W_{ch} 1 nm 감소 당, 8.23 mV 증가하였으나, SS 또한 W_{ch} 1 nm 감소 당, 4.74 mV/dec 만큼 감소하였다 (그림 3(b)). 즉, VGS를 지니고 있는 bulk FinFET 소자의 소형화를 진행할 때, 소자의 전기적 특성이 W_{ch} 가 L_g 보다는 더 민감하게 의존함을 받을 수 있다. 더불어 이 경우도 마찬가지로, VGS 적용 유무에 대한 Si_3N_4 gate spacer와 의 뚜렷한 DC 특성 차이는 확인되지 않았다. 아래의 표 2

는 VGS를 지니고 있는 bulk FinFET에 대하여, L_G 및 W_{ch} 의 소형화에 대한 소자의 특성변화를 요약하고 있다. 소자의 소형화가 진행됨에 따라, 소자를 구성하고 있는

spacer의 면적도 변화하게 된다. 이에, 그림 4와 같이, VGS를 구성하고 있는, 내부 vacuum의 형태에 대하여 소자의 특성변화를 추출하였다. 하지만, gate spacer 내에

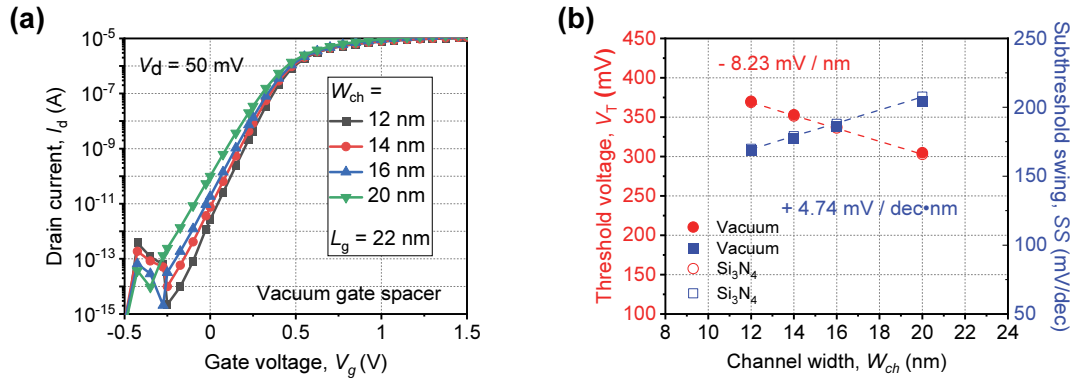


Fig. 3. (a) Simulated I_d - V_g characteristic of bulk FinFET. Extracted and (b) V_T and SS with various gate widths (W_{ch}).

Table 2. Summary of short-channel effect sensitivities of bulk FinFET with vacuum gate spacer.

Sensitivity	Gate length sensitivity	Channel width sensitivity
V_T (mV/nm)	+ 4.52	- 8.23
SS (mV / dec*nm)	- 1.78	+ 4.74

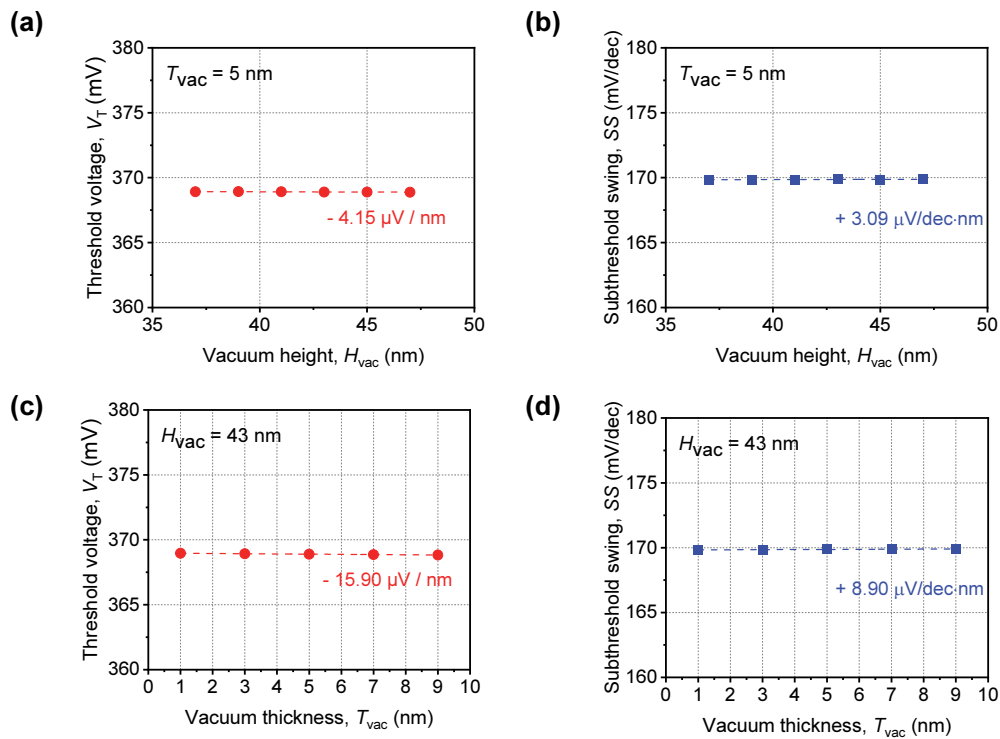


Fig. 4. Extracted V_T and SS with various vacuum (a-b) heights and (c-d) vacuum thicknesses.

존재하는 vacuum height (H_{vac})와 vacuum thickness (T_{vac}) 변화에 대하여 소자의 V_t 와 SS 의 변화량이 존재하는지 하나, 그 정도가 미미하였다.

4. 결론

반도체소자의 소형화가 진행됨에 따라, 소자의 집적도 및 DC 성능이 개선되었다. 하지만, 소형화 과정에서 발생하는 gate spacer에 의한 parasitic capacitance는 소자의 AC 성능 및 회로의 속도저하를 초래하였다. 이를 개선하고자, vacuum gate spacer (VGS)를 지닌 소자가 등장하였고 DRAM 등에 이미 적용되고 있다. 하지만 이러한 VGS의 적용에 대한 소자의 단채널효과 평가가 제대로 이루어진 바가 없어, VGS를 계속하여 적용하는데 어려움이 존재하였다. 이에, 이 연구에서는 VGS가 적용된 bulk FinFET을 대상으로 단채널효과에 대한 소자 특성변화를 정량적으로 분석하였다. 이에, channel width의 소형화가 gate length의 소형화에 견주어, 소자특성 변화에 더 민감하게 영향을 준다는 것을 확인하였다. 나아가, VGS를 구성하고 있는, vacuum의 구조적 형태에 대하여 소자 특성변화를 논의하였다. 하지만, 내부에 존재하는 vacuum의 volume 자체에 의한 소자 특성변화는, 앞서 언급한 gate length 및 channel width에 비하면 무시할 수 있을 만큼 미미하였다. 결론적으로, VGS를 소자에 적용함에 있어서, 내부 vacuum의 비율을 조정하기 보다는 gate length와 channel width의 변형을 통하여 소자의 parameter targeting을 진행하는 것이 바람직한 것으로 여겨진다.

ORCID

Hagyoul Bae <https://orcid.org/0000-0002-2462-4198>

Jun-Young Park <https://orcid.org/0000-0003-4830-9739>

감사의 글

이 성과는 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (No. 2022R1F1A1071914 and 2021R1F1A1049456).

REFERENCES

- [1] A. Razavieh, P. Zeitzoff, and E. J. Nowak, *IEEE Trans. Nanotechnol.*, **18**, 99 (2019). [DOI: <https://doi.org/10.1109/TNANO.2019.2942456>]
- [2] R. Deshmukh, A. Khanzode, S. Kakde, and N. Shah, *2015 International Conference on Computer, Communication and Control (IC4)*, (Indore, India, 2015). [DOI: <https://doi.org/10.1109/IC4.2015.7375645>]
- [3] L. Witters, A. Veloso, I. Ferain, M. Demand, N. Collaert, N. J. Son, C. Adelman, J. Meerschaert, R. Vos, E. Rohr, M. Wada, T. Schram, S. Kubicek, K. D. Meyer, S. Biesemans, and M. Jurczak, *2008 IEEE International SOI Conference*, (New Paltz, NY, USA, 2008), [DOI: <https://doi.org/10.1109/SOI.2008.4656324>]
- [4] H. Bae, S. G. Nam, T. Moon, Y. Lee, S. Jo, D.-H. Choe, S. Kim, K.-H. Lee, and J. Heo, *2020 IEEE International Electron Devices Meeting (IEDM)*, (San Francisco, CA, USA, 2020). [DOI: <https://doi.org/10.1109/IEDM13553.2020.9372076>]
- [5] A. B. Sachid, M. C. Chen, C. Hu, *IEEE Trans. Electron Dev.*, **64**, 1861 (2017). [DOI: <https://doi.org/10.1109/TED.2017.2664798>]
- [6] J. Park and C. Hu, *2008 9th International Conference on Solid-State and Integrated-Circuit Technology*, (Beijing, China, 2008). [DOI: <https://doi.org/10.1109/ICSICT.2008.4734461>]
- [7] K. Cheng, C. Park, C. Yeung, S. Nguyen, J. Zhang, X. Miao, M. Wang, S. Mehta, J. Li, C. Surisetty, R. Muthinti, Z. Liu, H. Tang, S. Tsai, T. Yamashita, H. Bu, and R. Divakaruni, *2016 IEEE International Electron Devices Meeting (IEDM)*, (San Francisco, CA, USA, 2016). [DOI: <https://doi.org/10.1109/IEDM.2016.7838436>]
- [8] A. B. Sachid, Y. M. Huang, Y. J. Chen, C. C. Chen, D. D. Lu, M. C. Chen, and C. Hu, *IEEE Electron Device Lett.*, **38**, 16 (2016). [DOI: <https://doi.org/10.1109/LED.2016.2628768>]
- [9] D.-H. Wang, K.-S. Lee, and J.-Y. Park, *Micromachines*, **13**, 987 (2022). [DOI: <https://doi.org/10.3390/mi13070987>]
- [10] C. R. Manoj, M. Nagpal, D. Varghese, V. R. Rao, *IEEE Trans. Electron Dev.*, **55**, 609 (2008). [DOI: <https://doi.org/10.1109/TED.2007.912996>]
- [11] Y.-C. Wu and Y.-R. Jhan, *3D TCAD simulation for CMOS nanoelectronic devices* (Springer, Singapore, 2018) pp. 1-17. [DOI: https://doi.org/10.1007/978-981-10-3066-6_1]
- [12] K. B. Choi, J. M. Shin, and J. H. Lee, *J. Nanosci. Nanotechnol.*, **16**, 4803 (2016). [DOI: <https://doi.org/10.1166/jnn.2016.12240>]
- [13] A. B. Sachid, Y. M. Huang, Y. J. Chen, C. C. Chen, D. D. Lu, M. C. Chen, and C. Hu, *IEEE Electron Device Lett.*, **38**, 16 (2016). [DOI: <https://doi.org/10.1109/LED.2016.2628768>]