


플래시메모리소자의 구조에 대한 열적 데이터 삭제 효율성 비교

김유정, 이승은, 이광선, 박준영 

충북대학교 전자공학부

Comparison of Efficiency of Flash Memory Device Structure in Electro-Thermal Erasing Configuration

You-Jeong Kim, Seung-Eun Lee, Khwang-Sun Lee, and Jun-Young Park

School of Electronics Engineering, Chungbuk National University, Cheongju 28644, Korea

(Received April 1, 2022; Revised April 13, 2022; Accepted April 22, 2022)

Abstract: The electro-thermal erasing (ETE) configuration utilizes Joule heating intentionally generated at word-line (WL). The elevated temperature by heat physically removes stored electrons permanently within a very short time. Though the ETE configuration is a promising next generation NAND flash memory candidate, a consideration of power efficiency and erasing speed with respect to device structure and its scaling has not yet been demonstrated. In this context, based on 3-dimensional (3-D) thermal simulations, this paper discusses the impact of device structure and scaling on ETE efficiency. The results are used to produce guidelines for ETEs that will have lower power consumption and faster speed.

Keywords: Electro-thermal erasing, FinFET, Flash memory, Gate-all-around (GAA), Reliability

1. 서론

플래시메모리란, 대표적인 비 휘발성 메모리(non-volatile memory) 중 하나로서, 전자 데이터를 반 영구적으로 저장하는 역할을 수행한다. 그리고 이러한 플래시메모리 소자의 크기는, 칩의 성능향상과 집적도를 개선을 위하여, 지속적으로 감소하고 있다. 하지만, 소자의 크기를 축소시키는 과정에서, 단채널효과(short-channel effect)가 불가피하게 발생하게 된다 [1-3]. 이에, 플래시메모리소자의 구조는 2차원 planar FET의 형태에서, FinFET 또는 gate-all-around (GAA) FET와 같은 3차원 구조의 형태로 진화하였다 [4-7].

✉ Jun-Young Park; junyoung@cbnu.ac.kr

Copyright ©2022 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

메모리의 빠른 속도는 시스템의 전체 속도와 직결되기 때문에, 이러한 3차원 플래시메모리소자의 데이터 쓰기(programming) 나 지우기(erasing) 속도를 개선하는 것은 매우 중요하다. 특히, 플래시메모리소자의 구동 특성상, 지우기 속도가 쓰기 속도보다 약 100배 이상 느리기에, 지우기 속도를 개선하는 것이 더 시급한 과제로 여겨지고 있다. 이러한 지우기 속도를 개선하기 위하여, band gap engineered SONOS (BE-SONOS) 기술 [8] 및 high- k dielectric을 활용한 blocking oxide 적용 등 [9], 다양한 기술이 양산에 적용되고 있으나, 여전히 역부족인 실정이다. 이와 같은 맥락에서, 플래시메모리소자의 지우기 속도를 대폭 개선하기 위하여, 그림 1과 같은 electro-thermal erasing (ETE) 기법이 최근 새로이 제안되었다 [10-15]. 이러한 ETE 기법은, 기존의 구동방법과는 달리, 별도의 추가적 layout이나 소재의 변경을 요구하지 않는다. 다만, 메모리의 구동 scheme만을 일부 변경함으로써, 지우기 속도 개선을 가능하게 한다. 아래의 그림 1(a)와 같이, 금속

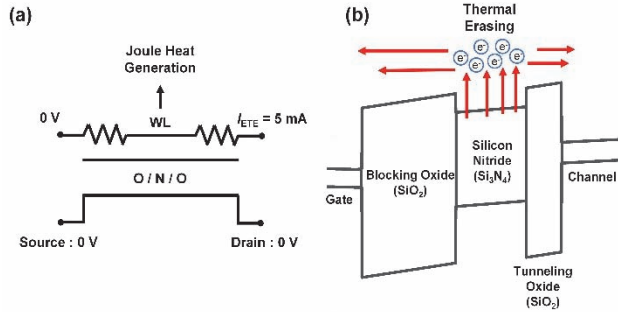


Fig. 1. (a) Biasing configuration of electro-thermal erasing (ETE) and (b) operation principle of ETE shown by energy band diagram.

으로 이루어진 플래시메모리의 word-line (WL)에 인위적으로 ‘mA’ 수준의 ETE 전류(I_{ETE})를 흘려주게 되면, WL에서 순간적으로 높은 온도의 Joule heat가 발생한다. 이에, charge trap layer (CTL)에 저장된 전자(electron) 들은, 열 에너지를 받아 들뜬 상태(thermal excitation)가 되면서, tunneling oxide 및 blocking oxide의 에너지 방벽을 뛰어넘어 물리적으로 제거된다 (그림 1(b)) [15].

이러한 ETE 기법은, 기존의 플래시메모리 소자에 견주어, 약 1,000배 이상 더 빠른 지우기 속도를 가능하게 한다 [14]. 하지만, Joule heat와 같은 인위적인 발열을 메모리 구동과정에 반복적으로 활용한다는 ETE 기법의 특성상, 추가적인 전력 소모는 불가피하다. 이에, 가능하면 더 낮은 전력 소모를 요구하는 ETE 기법 구현이 바람직하나, 관련된 연구가 아직 많지 않다. 이에 이 연구에서는, 3D 시뮬레이터를 활용하여 3차원 플래시메모리소자에 ETE 기법을 적용할 때를 가정한 소자의 열적 거동에 대하여 논의한다. 특히, 대표적 3차원 소자구조인 FinFET SONOS와 GAAFET SONOS를 대상으로 3D 시뮬레이션을 진행한다. 그리고 도출된 시뮬레이션 결과를 바탕으로, ETE 활용에 대한 불가피한 전력 소모를 최소화하기 위한 방안을 논의한다.

2. 실험 방법

연구를 진행하기 위하여 3D 시뮬레이터인 COMSOL Multiphysics를 활용하였다. 구체적으로, Heat Transfer in Solids 모듈과 Electric Currents 모듈을 동시에 활용하여 시뮬레이션을 진행하였으며, 시뮬레이션 과정에서 대류에 의한 heat flux (h) 조건은 $10 \text{ W/m}^2\text{K}$ 으로 가정하였다. 하나의 SONOS 플래시메모리의 셀(cell)은 하나의 NMOS 트랜지스터로 구성되는데, 본 연구에서는 그림 2(a)와 같은 FinFET SONOS와 그림 2(b)와 같은 GAAFET

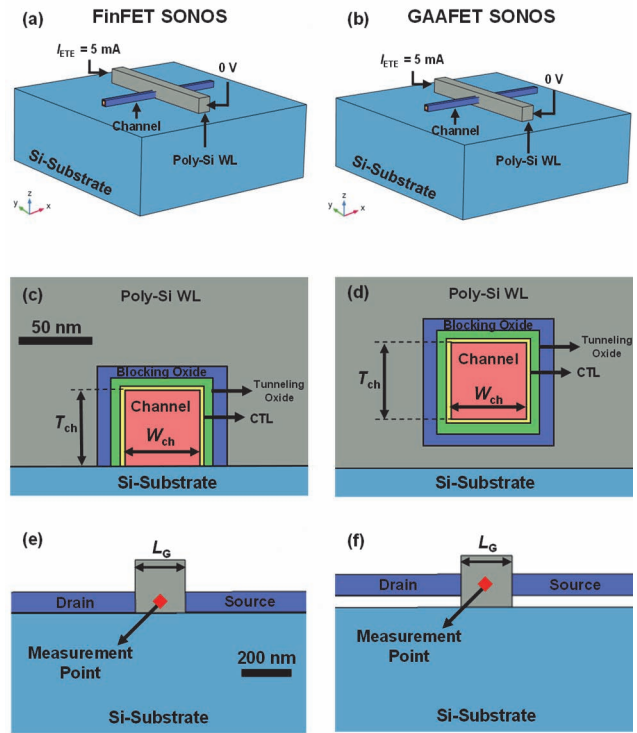


Fig. 2. Schematic of SONOS FETs for simulations of ETE. Bird's eye view of (a) Bulk FinFET SONOS and (b) GAAFET SONOS. Cross-sectional images of (c) FinFET SONOS and (d) GAAFET SONOS. Cut images along channel direction of (e) FinFET SONOS, and (f) GAAFET SONOS.

SONOS의 플래시메모리 소자를 구현하였다. FinFET 및 GAA SONOS의 채널은 실리콘(Si)으로 이루어져 있으며, 실리콘 채널의 두께(channel Thickness, T_{ch})와 채널의 폭(channel Width, W_{ch})은 모두 50 nm로 가정하였다. 그리고 소자의 게이트절연막은, 8 nm 두께의 SiO_2 로 이루어진 blocking oxide, 6 nm 두께의 Si_3N_4 로 이루어진 CTL, 그리고 3 nm 두께의 SiO_2 로 이루어진 tunneling oxide를 지니도록 하였다 (그림 2(c), 2(d)). 그리고 WL 및 게이트전극은, 폴리실리콘(poly-crystalline silicon)으로 구성되며, 게이트 길이(gate length, L_g)는 200 nm를 적용하였다. 시뮬레이션에 활용한 자세한 소재 및 구조에 대한 정보들은 표 1에 요약되어 있다. 그리고 소자 구현 이후, WL을 built-in Joule heater 로 사용하여, ETE 기법을 적용하는 상황을 가정하였다. WL의 한쪽 끝 면에 5 mA의 I_{ETE} 를 인가하였고, 다른 한쪽 끝 면은 0 V로 접지를 진행하였다. 이에, WL에서 I_{ETE} 에 의한 Joule heat 이 발생하고, 이러한 열은 CTL 층에 저장되어 있는 전자를 열적으로 제거 가능하도록 한다. ETE 기법 적용 중 발생하는 전압과 온도의 변화는 그림 2(e) 및 2(f)에서 보이는 것과

같이 채널의 중앙을 기준으로 추출하였으며, 추출된 온도를 토대로 FinFET SONOS와 GAAFET SONOS 간 열적 거동에 대하여 비교분석 하였다.

3. 결과 및 고찰

그림 3(a), 3(b)는 FinFET SONOS와 GAAFET SONOS 플래시메모리에서 ETE 동작 중 발생하는 온도분포에 대한 시뮬레이션 결과를 보여준다. ETE 과정 중, CTL에 저장 되어있던 전자는 Joule heat에 의해 들뜬 상태가 되어, 채널 또는 게이트전극으로 방출된다. 하지만, 그림 3(c)와 그림 3(d)와 같이, 동일한 입력전류 하에서, Joule heat의 크기가 FinFET SONOS의 경우가 GAAFET SONOS 보다

더 낮은 것을 알 수 있다. 이러한 FinFET SONOS의 낮은 온도는 전자의 들뜨는 비율을 저해하므로, 결국 메모리의 지우기 속도를 개선하기에는 부족함을 짐작할 수 있다. 더불어, FinFET SONOS의 경우, 채널의 최고 온도와 최저 온도의 차이가 261°C와 193°C로, 0.74배의 차이를 보여주었다. 하지만, GAAFET SONOS의 경우, 채널의 최고 온도가 584°C, 최저 온도가 553°C으로 FinFET SONOS 보다는 온도가 더 높으면서도, 채널의 모든 면적에 균일하게 열 분포가 발생하고 있다. 즉, GAAFET 구조가 FinFET 구조보다 ETE 기법을 적용하는데 있어 더 적합한 구조임을 알 수 있다. 이러한 온도차이가 발생하는 이유는, GAAFET 구조의 경우 채널의 네 면이 모두 게이트로 둘러 쌓여 있어 별도로 열을 방출시킬 경로가 없는 반면, FinFET 구조의 경우 채널의 아래쪽 면이 기판이라는 heat sink와 물리적

Table 1. Device parameters and material properties for SONOS simulations.

	Materials	Dimensions (nm)	Thermal conductivity, κ [W/m ² ·K]	Electrical conductivity, σ [S/m]
Gate length, L_G	Poly-Si	200	31.2	2.57×10^3
Channel width, W_{ch}	Si	50	140	7.68×10^{-3}
Channel thickness, T_{ch}		50		
Blocking oxide Thickness	SiO ₂	8	1.4	1×10^{-17}
Charge trap layer thickness	Si ₃ N ₄	6	3.2	1×10^{-8}
Tunneling oxide thickness	SiO ₂	3	1.4	1×10^{-17}
Si-Substrate	Si	1,000	38	5×10^{-5}

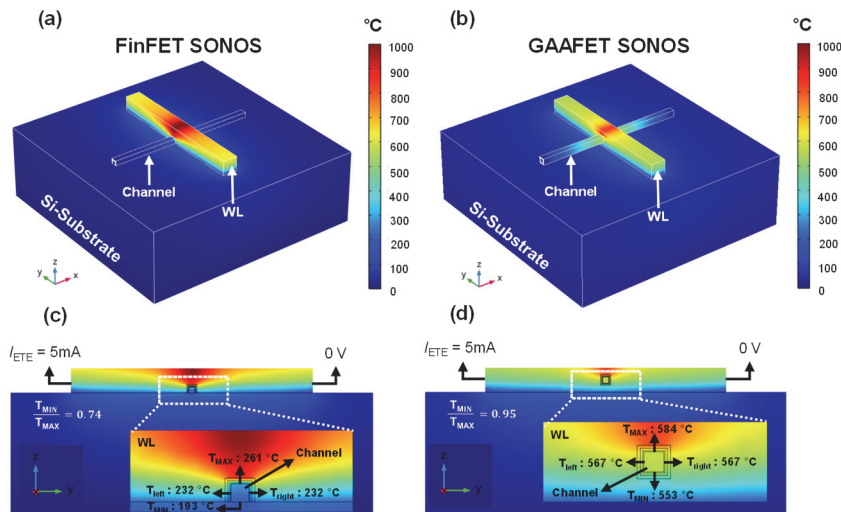


Fig. 3. Simulated heat distribution profile during ETE of (a) FinFET SONOS and (b) GAAFET SONOS. (c-d) Cross-sectional images of data from Fig. 3(a) and Fig. 3(b), respectively.

으로 연결되어 있어, 열의 방출이 이곳으로 발생하기 때문이다 [12].

그림 4(a)는 ETE 적용 중 인가되는 전력의 증가에 대한 온도의 변화의 추이를 추출한 결과이다. WL에서 소모되는 전력은 I_{ETE} 와 WL 양단에 인가되는 전압의 곱으로 정의된다. 그리고 이러한 소모 전력의 범위는 게이트절연막의 물리적 손상이 발생하지 않도록 800°C 이하를 지니도록 가정하였다. GAAFET와 FinFET 구조의 SONOS 모두, WL에서 소모되는 전력의 크기가 증가할수록, 채널의 온도가 선형적으로 증가함을 알 수 있다. 특히, GAAFET 구조의 경우 1 mW의 전력증가 당 21.24°C 의 온도상승을 보여주었고, FinFET 구조는 1 mW 전력증가당 9.29°C 온도상승을 보여주었다. 따라서, GAAFET 구조가 FinFET 구조에 견주어 약 2.3배 전력 소모 효율이 우수함을 확인할 수 있다. 그림 4(b)는 두 소자의 WL에 동일한 I_{ETE} 를 인가하였을 때, 시간에 대한 출력온도를 측정한 그래프이다. 이때, 포화되는 온도는 최고 온도의 90%에 도달하였을 때를 기준으로 가정하였다. GAAFET 구조의 경우 포화온도인 517.5°C 까지 도달하는데 9 ns가 소요되었으며, FinFET

구조의 경우, 포화온도인 204.5°C 까지 도달하는데 6 ns가 소요되었다. 따라서, GAAFET 구조의 경우 1 ns 당 57.5°C 의 온도 상승이 가능하며, FinFET 구조의 경우 1 ns 당 34.05°C 의 온도 상승이 가능하다. 이에, 동일한 온도에서 ETE 기법을 적용한다고 가정할 때, GAAFET SONOS가 FinFET SONOS에 견주어, 약 1.68배 더 빠른 지우기 속도의 구현이 가능함을 알 수 있다.

지금까지, ETE 적용 중 발생하는 온도 및 속도 측면에서 FinFET과 GAAFET 구조를 서로 비교 분석하였다. 하지만, 이러한 열적 분석과 더불어, 플래시메모리 셀의 크기를 축소(*scaling*)시키는 것 또한, 메모리의 직접도를 향상시키기 위하여 반드시 고려되어야 하는 부분이다. 따라서, 비록 GAAFET 구조가 FinFET 구조보다 ETE 측면에서 더 우수하기는 하나, 향후 이루어지는 소자의 축소 관점에서 어느 구조가 더 유리한지 비교해 볼 필요가 있을 것이다. 이에, 본 연구에서는, 그림 (5)와 같이 L_G 및 W_{ch} 변화를 기준으로 소자 축소에 대한 시뮬레이션을 추가로 진행하였으며, 동등한 비교를 위하여 ONO 절연층의 두께는 이전과 동일하게 진행하였다.

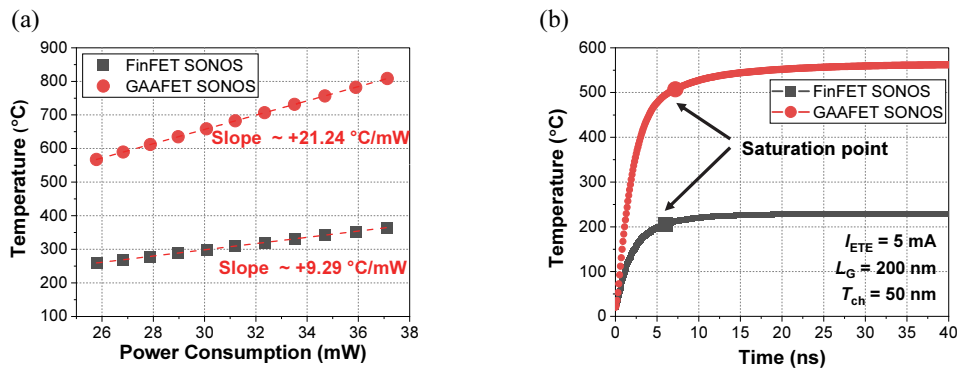


Fig. 4. (a) Extracted temperature with applied power consumption and (b) time-dependent characteristics of FinFET SONOS and GAAFET SONOS.

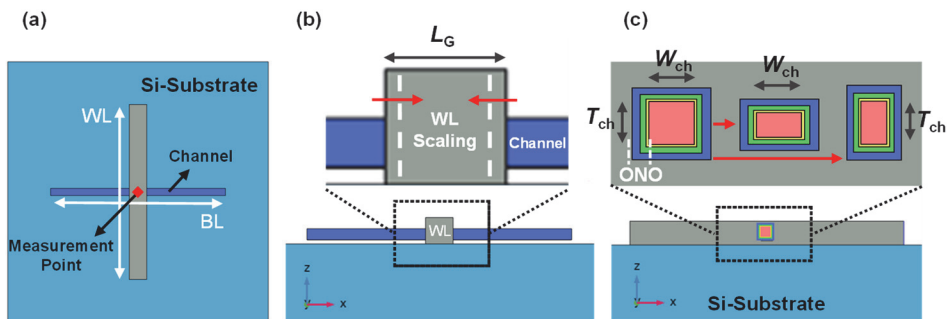


Fig. 5. (a) Schematics for device scaling simulations, (b) L_G scaling, and (c) W_{ch} and T_{ch} scaling.

그림 6은 FinFET 구조와 GAAFET 구조에서 L_G 축소에 대한 채널 온도와 포화시간에 대한 비교 결과이다. L_G 는 200 nm를 기준으로 하여, 160 nm까지 축소를 진행하면서 채널 온도를 확인하였다(그림 6(a)). L_G 가 축소됨에 따라 증가하는 WL의 저항으로 인하여, 채널 온도는 증가하였으며, GAAFET SONOS 구조에선 게이트 길이 1 nm 축소 당 6.31°C의 온도 증가를 보여주며, FinFET SONOS 구조에선 1.76°C의 온도 증가를 보여주었다. 즉, 동일한 전류를 통하여 ETE 기법을 진행할 지라도, 소자의 L_G 축소에 대해서 GAAFET 구조가 FinFET 구조에 견주어 높은 열 활용 효율을 보여준다. 또한, 그림 6(b)와 같이 FinFET 구조와 GAAFET 두 구조 모두, L_G 가 축소될수록 시간당 온도상승(temperature growth rate)이 증가하기에, 축소된 소자에서 더 빠른 데이터 지우기가 구현 가능함을 알 수 있다.

그림 7은 FinFET과 GAAFET 구조에서, W_{ch} 와 T_{ch} 를 각각 50 nm에서 10 nm까지 축소하였을 때를 가정한 비교

결과이다. GAAFET 구조의 경우 W_{ch} 와 T_{ch} 가 감소할수록 Joule heat 온도 또한 낮아지는 것이 확인되었으며, 이는 W_{ch} 와 T_{ch} 가 감소할수록, 주어진 WL 면적 내에서, I_{ETE} 가 흐를 수 있는 폭이 넓어져, 결국 WL 저항이 줄어들기 때문이다. 반면, FinFET 구조의 경우 채널의 온도가 T_{ch} 에는 비례하지만 W_{ch} 에는 반비례하는 것이 확인되었다. 이는 GAAFET 구조와는 달리, FinFET 구조의 경우 채널이 실리콘 기판과 직접적으로 접하고 있어, W_{ch} 가 늘어날수록 기판에 접게 되는 면적이 증가하기 때문이다. 하지만, 이와 같은 W_{ch} 와 T_{ch} 에 대한 온도의 민감도는 FinFET과 GAAFET 두 경우 모두, 그림 6(a)와 같은 게이트 길이에 대한 민감도에 견주어 보면, 미미한 수준으로 여겨진다. 지금까지의 실험결과를 토대로, FinFET SONOS와 GAAFET SONOS의 ETE 적용에 대한 소모전력, 속도, 그리고 소자 소형화의 측면에서 결과를 요약하면 표 2와 같다.

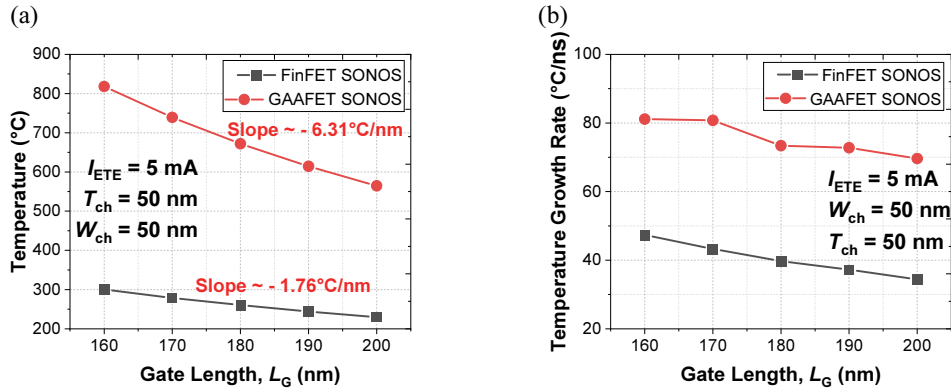


Fig. 6. (a) Extracted temperatures for various gate lengths and (b) comparison of temperature growth rates between FinFET SONOS and GAAFET SONOS.

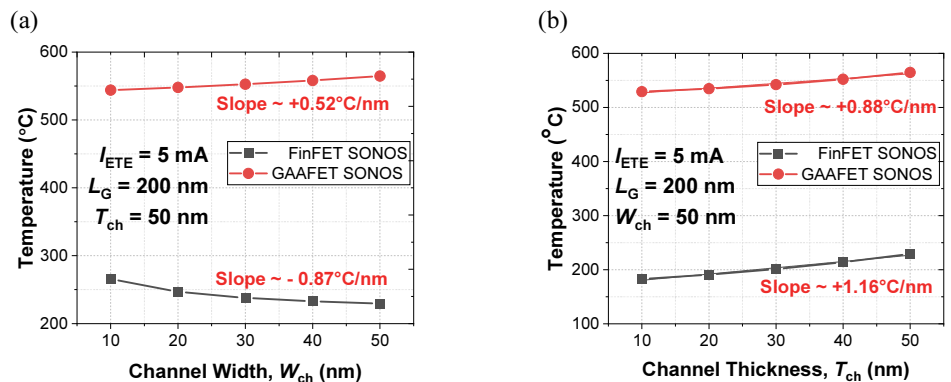


Fig. 7. Joule heat temperature during ETE with various (a) W_{ch} and (b) T_{ch} .

Table 2. Comparison of ETE efficiency between FinFET SONOS and GAAFET SONOS.

	Power efficiency	Erasing speed	Power efficiency with respect to device scaling
FinFET SONOS	+ 9.29°C/mW	+ 34.05°C/ns	- 1.76°C/nm
GAAFET SONOS	+ 21.24°C/mW	+ 57.50°C/ns	- 6.31°C/nm

4. 결론

이 연구에서는 3차원 플래시메모리소자의 고속 데이터 삭제 가능하게 하는 방법 중 하나인, ETE 기법에 대하여 논의하였다. 특히, 동일한 소자 크기와 소재로 구성된, FinFET SONOS와 GAAFET SONOS 간의 열 거동에 대한 비교분석을, 3D 시뮬레이션을 토대로 진행하였다. 그 결과, 동일 입력 전류 하에서, FinFET SONOS 보다 GAAFET SONOS에서 2배 이상 더 높은 온도의 열 방출이 가능함을 확인하였다. 이는 다시 말하면, GAAFET SONOS가 FinFET SONOS에 견주어, 더 낮은 전력 소모를 필요로 하는 것을 의미한다. 뿐만 아니라, GAAFET 구조가 FinFET 구조에 비해 약 1.7배 더 빠르게 포화온도에 도달하였으며, 이는 ETE의 속도 측면에서, 더 빠른 지우기 속도의 구현이 가능함을 의미한다. 끝으로, 지속적으로 진행되는 게이트 길이 축소의 관점에서 볼 때, GAAFET의 게이트 축소길이 당 온도상승의 민감도는 FinFET에 견주어 약 3.6배 더 큰 것을 확인하였다. 결론적으로, FinFET SONOS 구조에 비해, GAAFET SONOS 소자에 ETE 기법을 적용하는 것이 전력 소모, 지우기 속도, 그리고 향후 소자 축소의 관점에서 더 바람직하다고 볼 수 있다. 특히, 현 시점에서 양산되고 있는 플래시메모리 셀 트랜지스터의 구조가, FinFET이 아닌 GAAFET 인 점에 착안할 때, 이러한 연구결과는 ETE 기법을 향후 양산에 적용함에 있어, 참고자료가 될 수 있을 것으로 여겨진다. 다만 향후에는, 시뮬레이션이 아닌 실제 양산된 소자를 대상으로, 이와 같은 ETE 특성을 다시 한번 검증해볼 필요성은 있어 보인다.

ORCID

Jun-Young Park

<https://orcid.org/0000-0003-4830-9739>

감사의 글

This work was partially supported by the National Research Foundation of Korea (NRF) grant funded by the Korea government (MIST) (No. 2021R1F1A1049456).

This research was also partially supported by the MSIT (Ministry of Science and ICT), Korea, under the Grand Information Technology Re-search Center support program (IITP-2022-2020-0-01462) supervised by the IITP (Institute for Information & communications Technology Planning & Evaluation).

REFERENCES

- [1] D. Gupta and S. K. Vishvakarma, *IEEE Trans. Electron Devices*, **63**, 668 (2016). [DOI: <https://doi.org/10.1109/TED.2015.2510018>]
- [2] T. Kim, N. Franklin, C. Srinivasan, P. Kalavade, and A. Goda, *IEEE Electron Device Letters*, **32**, 1185 (2011). [DOI: <https://doi.org/10.1109/LED.2011.2159573>]
- [3] M. Park, K. Kim, J. H. Park, and J. H. Choi, *IEEE Electron Device Letters*, **30**, 174 (2009). [DOI: <https://doi.org/10.1109/LED.2008.2009555>]
- [4] H. Tanaka, M. Kido, K. Yahashi, M. Oomura, R. Katsumata, M. Kito, Y. Fukuzumi, M. Sato, Y. Nagata, Y. Matsuoka, Y. Iwata, H. Aochi, and A. Nitayama, *Proc. IEEE Symposium on VLSI Technology* (IEEE, Kyoto, Japan, 2007) pp. 14-15. [DOI: <https://doi.org/10.1109/VLSIT.2007.4339708>]
- [5] J. Fu, N. Singh, K. D. Buddharaju, S.H.G. Teo, C. Shen, Y. Jiang, C. X. Zhu, M. B. Yu, G. Q. Lo, N. Balasubramanian, D. L. Kwong, E. Gnani, and G. Baccarani, *IEEE Electron Device Letters*, **29**, 518 (2008). [DOI: <https://doi.org/10.1109/LED.2008.920267>]
- [6] C. Zambelli, R. Micheloni, and P. Olivo, *Proc. IEEE 11th International Memory Workshop (IMW)* (IEEE, Monterey, CA, USA, 2019) pp. 1-4. [DOI: <https://doi.org/10.1109/IMW.2019.8739741>]
- [7] J. Cho, D. C. Kang, J. Park, S. W. Nam, J. H. Song, B. K. Jung, J. Lyu, H. Lee, W. T. Kim, H. Jeon, S. Kim, I. M. Kim, J. I. Son, K. Kang, S. W. Shim, J. Park, E. Lee, K. M. Kang, S. W. Park, J. Lee, S. H. Moom, P. Kwak, B. H. Jeong, C. A. Lee, K. Kim, J. Ko, T. H. Kwon, J. Lee, Y. Lee, C. Kim, M. W. Lee, J. Yun, H. Lee, Y. Choi, S. Hong, J. Park, Y. Shin, H. Kim, H. Kim, C. Yoon, D. S. Byeon, S. Lee, J. Y. Lee, J. Song, *Proc. IEEE International Solid-State Circuits Conference (ISSCC)* (IEEE, San Francisco, CA, USA, 2021) pp. 426-428. [DOI: <https://doi.org/10.1109/ISSCC42613.2021.9366054>]

- [8] H. T. Lue, S. Y. Wang, E. K. Lai, Y. H. Shih, S. C. Lai, L. W. Yang, K. C. Chen, J. Ku, K. Y. Hsieh, R. Liu, and C. Y. Lu, *Proc. IEEE International Electron Devices Meeting, 2005. IEDM Tech. Dig. Dec.* (IEEE, Washington, DC, USA, 2005) pp. 547-550. [DOI: <https://doi.org/10.1109/IEDM.2005.1609404>]
- [9] C. H. Lee, K. I. Choi, M. K. Cho, Y. H. Song, K. C. Park, and K. Kim, *Proc. IEEE International Electron Devices Meeting 2003* (IEEE, Washington, DC, USA, 2003) pp. 26.5.1-26.5.4. [DOI: <https://doi.org/10.1109/IEDM.2003.1269356>]
- [10] J. Y. Park, D. I. Moon, G. B. Lee, and Y. K. Choi, *IEEE Trans. Electron Devices*, **67**, 777 (2020). [DOI: <https://doi.org/10.1109/TED.2020.2964846>]
- [11] J. Y. Park, D. I. Moon, M. L. Seol, C. K. Kim, C. H. Jeon, H. Bae, T. Bang, and Y. K. Choi, *IEEE Trans. Electron Devices*, **63**, 910 (2016). [DOI: <https://doi.org/10.1109/TED.2015.2513744>]
- [12] Y. J. Kim and J. Y. Park, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **35**, 246 (2022). [DOI: <https://doi.org/10.4313/JKEM.2022.35.3.6>]
- [13] D. H. Wang and J. Y. Park, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **35**, 50 (2022). [DOI: <https://doi.org/10.4313/JKEM.2022.35.1.8>]
- [14] T. H. Hsu, H. T. Lue, P. Y. Du, W. C. Chen, T. H. Yeh, R. Lo, H. S. Chang, K. C. Wang, and C. Y. Lu, *Proc. IEEE 11th International Memory Workshop (IMW)* (IEEE, Monterey, CA, USA, 2019) pp. 1-4. [DOI: <https://doi.org/10.1109/IMW.2019.8739692>]
- [15] D. C. Ahn, M. L. Seol, J. Hur, D. I. Moon, B. H. Lee, J. W. Han, J. Y. Park, S. B. Jeon, and Y. K. Choi, *IEEE Electron Device Letters*, **37**, 190 (2016). [DOI: <https://doi.org/10.1109/LED.2015.2512280>]