

고압 중수소 열처리에 의한 MOSFETs의 특성 개선에 대한 연구

정대한, 구자윤, 왕동현, 손영서, 박준영 

충북대학교 전자공학부

Improvement of Electrical Characteristics of MOSFETs Using High Pressure Deuterium Annealing

Dae-Han Jung, Ja-Yun Ku, Dong-Hyun Wang, Young-Seo Son, and Jun-Young Park
School of Electronics Engineering, Chungbuk National University, Cheongju 28644, Korea

(Received January 24, 2022; Revised February 3, 2022; Accepted February 7, 2022)

Abstract: High pressure deuterium (HPD) annealing is an advancing technology for the fabrication of modern semiconductor devices. In this work, gate-enclosed FETs are fabricated on a silicon substrate as test vehicles. After a cycle for the HPD annealing, the device parameters such as threshold voltage (V_{TH}), subthreshold swing (SS), on-state current (I_{ON}), off-state current (I_{OFF}), and gate leakage (I_G) were measured and compared depending on the HPD. The HPD annealing can passivate the dangling bonds at Si-SiO₂ interfaces as well as eliminate the bulk trap in SiO₂. It can be concluded that adding the HPD annealing as a fabrication process is very effective in improving device reliability, performance, and variability.

Keywords: Annealing, Fabrication processing, Gate-enclosed MOSFETs, High pressure deuterium annealing, Reliability

1. 서론

반도체소자의 발전은 Moore's law를 바탕으로 하여, 집적도를 높이는 동시에 출력 성능을 개선하는 방향으로 이루어져 왔다. 이러한 반도체소자는 회로로 집적되어, 모바일 기기, 차량 등 다양한 제품에 적용되어 인간의 삶의 질 향상에 기여하고 있다 [1]. 특히, 최근 미래 먹거리 산업 중 하나로 부상하고 있는 반도체소자의 응용 분야 중 하나는 항공우주 분야이다. 항공우주 분야에서 반도체소자는 성층권과 같은 지구 대기권 내(內) 또는 대기가 희박한 우주에서 임무수행을 목표로 한다. 예를 들어, 저궤도 위성, 달

또는 태양계 탐사를 위해 탑재되는 반도체소자가 대표적인 응용 분야라 할 수 있다. 하지만 이와 같은 항공우주용 반도체소자는 대기가 희박하거나 존재하지 않는 우주환경의 특성상, 방사선으로부터 받는 손상을 피할 수 없다 [2]. 이러한 방사선에 의한 대표적인 소자 손상의 예시는 total ionizing dose (TID) 효과가 있다.

TID 효과란 감마선이나, 중성자, 양성자 등 방사선 에너지로 인하여, 실리콘산화막(SiO₂)이 일시적 또는 영구적으로 손상되는 현상이다 [3]. 외부 에너지로 인하여, 실리콘산화막(SiO₂) 내에서 전자와 정공이 발생하는데, 이때 전자는 쉽게 게이트 전극을 통해 소멸되는 반면, 정공은 실리콘산화막 내에 머물며 결함(defect)을 형성하게 된다 [3]. 이러한 실리콘산화막 내의 결함은, 반도체소자의 threshold voltage (V_{TH}) 감소 및 subthreshold swing (SS), off-state current (I_{OFF}), 그리고 gate leakage (I_G)의 증가를 야기하는 등, 소자의 성능 및 신뢰성 저하에 치명적으로 작

✉ Jun-Young Park; junyoung@cgnu.ac.kr

Copyright ©2022 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

용한다. 이러한 소자의 성능 및 신뢰성 저하는, 결국 소자의 효과적인 임무 완수를 어렵게 만들고 있다. 이에, 구동 중 별도의 부품 교체가 불가능한 우주환경의 특성상, 애초에 내 방사선(radiation tolerant) 특성을 지니고 있는 반도체소자에 대한 연구 개발이 필요하나, 우리나라에서는 거의 이루어지지 않는 실정이다. 내방사선 특성을 지니는 반도체소자의 대표적 사례는 gate-enclosed MOSFET이 있다 [4]. Gate-enclosed MOSFET의 기본구조는, 그림 1(a)와 같이 게이트 전극이 소스 또는 드레인 전극을 감싸고 있는 고리 형태를 취하고 있다. 이러한 소자 구조는 shallow trench isolation (STI) 또는 local oxidation of silicon (LOCOS)이라는 두꺼운 실리콘산화막(SiO₂)층을 지니고 있지 않은 특성상, TID 효과에 인한 소자의 손상을 최소화할 수 있다는 장점을 지니고 있다.

본 연구에서는, 이러한 gate-enclosed MOSFET 소자의 성능 및 신뢰성 개선을 위하여, high pressure deuterium (HPD) annealing이라는 공정을 제조과정에 추가하였고, 그 전후 결과를 추출하여 비교 분석하였다. 다양한 게이트 길이(gate length, L) 및 채널의 폭(channel width, W)을 지니고 있는 소자들을 대상으로 실험하였으며, 이를 통해 제안하는 HPD 공정이 소자의 크기와 무관하게 성능 및 신뢰성 개선에 효과적임을 검증하였다.

2. 실험 방법

HPD annealing 공정 유무에 의한 소자의 특성개선을 확인하기 위하여, 그림 1(b)와 같이 gate-enclosed MOSFET 소자를 실리콘 기판(Si-Substrate) 상에서 제작하였다. 4

인치 p-type 실리콘 웨이퍼를 기판으로 사용하였으며, 먼저 산화공정을 통한 SiO₂ 게이트 절연막(gate dielectric)을 형성하였다. 이후, low pressure chemical vapor deposition (LPCVD) 공정 및 포토공정을 통한 n⁺ poly-Si 게이트 전극을 형성하였다. 그리고 ion implantation 공정을 통하여, Arsenic (5×15 cm⁻², 80 keV)을 주입하고, rapid thermal annealing (RTA) 공정을 1,000°C에서 10초간 진행하여, dopant activation을 진행하였다. 본 연구에 활용된 소자의 제조과정은 그림 1(c)에 요약되어 있다. 이후, 질소와 중수소가 96:4로 혼합된 가스를 활용하여, 5기압 및 450°C의 환경에서 1시간 동안 HPD annealing 공정을 수행하였다. 일반적으로 HPD annealing 공정은 질소와 중수소가 90:10로 혼합된 가스를 선호한다 [5,6]. 하지만 본 연구에서 4% 비율의 중수소를 사용한 이유는, 규정상 4%를 초과하는 중수소 가스는 가연성가스로 분류되어, 실험실 내에 배치할 수 없기 때문이다. 이 외에, HPD annealing 공정 시간은 기존의 연구들과 동일하게 1시간으로 설정하였다 [5,6].

제조된 소자들의 크기는 L 기준으로 40 μm에서 62 μm 범위로 분포하였으며, W 기준으로는 242 μm에서 278 μm 범위에 속한 것을 광학현미경을 통하여 확인하였다. 먼저, HPD annealing 공정을 수행하기 이전에, B1500A 반도체 분석기를 활용하여 소자의 I_D-V_G 특성을 측정하였다. 그리고 HPD annealing 공정을 수행한 이후, 동일한 소자를 다시 측정하여, HPD annealing 공정 유무에 대한 소자특성 변화를 공정하게 비교 분석하였다. 전후 비교 분석을 위한 소자의 SS은 V_{TH}로부터 전류가 2 order (100배) 낮은 구간까지의 linear 영역에서 추출하였으며, 이때 V_{TH}는 W/L×10⁻⁷ A에서 constant current 방법을 통하여 추출하였다.

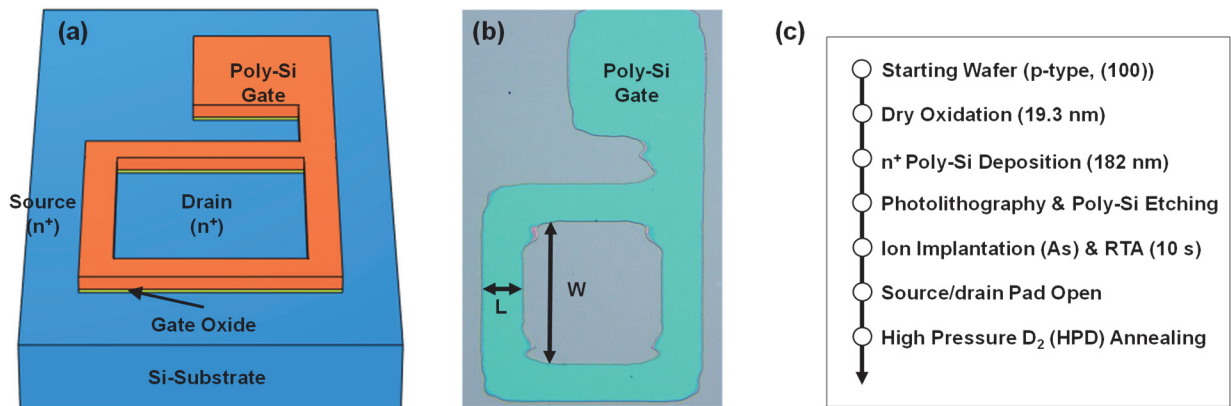


Fig. 1. (a) Schematic of a gate-enclosed MOSFET, (b) optical microscope image of a fabricated device, and (c) summary of fabrication process flow of the devices.

3. 결과 및 고찰

그림 2는 반도체분석기를 통해 측정된 gate-enclosed MOSFET 소자의 I_D - V_G 및 I_G 의 결과를 보여준다. 한 차례의 HPD annealing 공정을 실시한 이후, 소자의 SS 특성이 확연히 개선되었다. 소자의 SS 특성은 게이트 절연막과 채널 사이에 존재하는 interface trap의 양과 밀접한 연관이 있다. 이에, HPD annealing 공정을 추가한 이후, SS의 특성이 개선되는 것으로 보아, HPD annealing 공정이 interface trap 제거에 효과적으로 작용함을 알 수 있다 [7]. 그림 2(b)에서는 HPD annealing 공정에 의한 I_G 의 변화를 보여준다. HPD annealing 공정을 시행한 이후, I_G 의

평균 값이 시행 전에 비하여, 대략 10^3 배 감소한 것을 알 수 있다. 즉, HPD annealing 공정을 통하여 SiO_2 게이트 절연막에 존재하는 bulk trap 또한 매우 효과적으로 제거 가능함을 알 수 있다. Interface trap 및 bulk trap과 같은 게이트 절연막의 결함은 소자의 신뢰성과 밀접한 연관성을 지니고 있는데, 제안하는 HPD annealing 공정이 소자 신뢰성의 개선에 매우 효과적임을 알 수 있다 [8].

특히, 그림 3과 같이 다양한 L 및 W를 지니는 소자를 대상으로 측정해 보았을 때, SS 특성의 개선이 소자의 L과 W에 상관없이 모두 개선되는 것을 확인하였다. HPD annealing을 진행하지 않은 소자의 경우, SS 값의 범위가 최솟값 269 mV/dec에서 최댓값 531 mV/dec까지 넓은

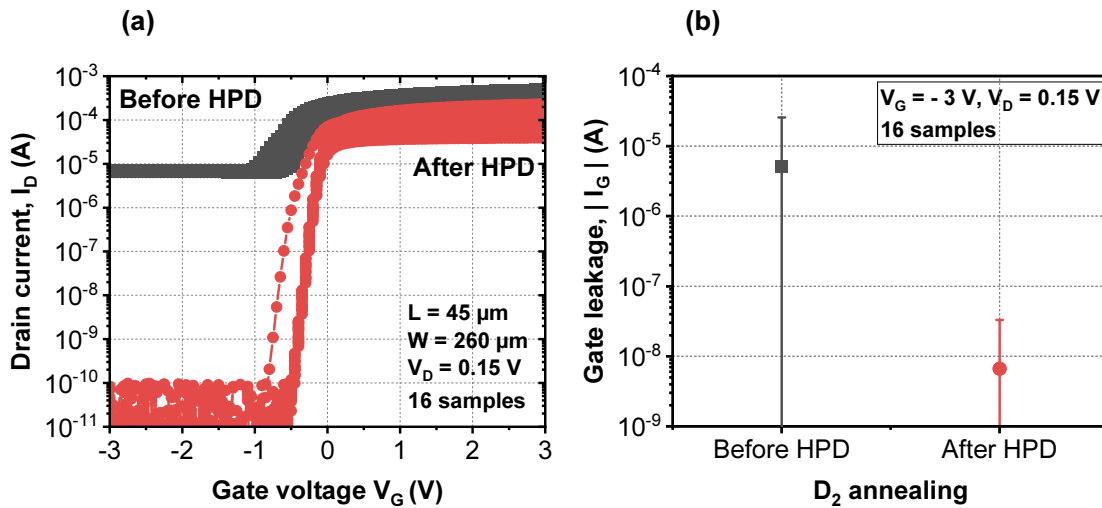


Fig. 2. (a) Measured I_D - V_G and (b) I_G characteristics of fabricated gate-enclosed MOSFETs depending of HPD annealing.

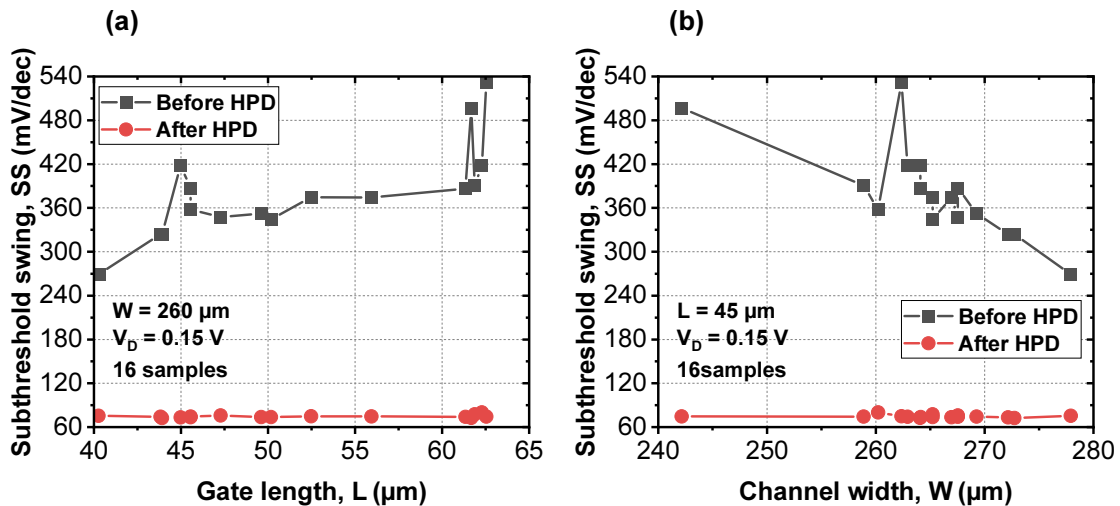


Fig. 3. Extracted SS characteristic with various (a) gate lengths and (b) channel widths of fabricated devices.

범위에서 분포하였는데, HPD annealing 공정을 진행 이후에는 최솟값 72 mV/dec에서 최댓값 80 mV/dec까지 분포하는 등 소자의 산포(variability)가 확연하게 개선 가능함을 확인하였다. 그리고 그림 4에서 볼 수 있는 바와 같이 소자의 V_{TH} 는 HPD annealing 공정 전, 최솟값 -0.68 V에서 최댓값 -0.19 V의 산포를 보여주었다. 하지만 HPD annealing 공정 후, 최솟값 -0.23 V에서 최댓값 -0.1 V 범위로 좁은 소자 간 산포를 보여주었다. 즉 초기소자 (before HPD)에서 측정된 I_G , SS, 및 V_{TH} 값의 산포 크기가, HPD annealing 이후 소자(after HPD)의 경우보다 현저히 큰 것을 알 수 있다. 이러한 큰 산포의 원인으로는, 게이트 전극 형성과정 중 발생하는 식각 및 포토공정의 오차 일 수 있다. 하지만 HPD annealing 공정 이후 I_G 및 SS가

현저히 감소되었다는 점에 착안할 때, 초기 소자의 큰 산포는, 물리적인 공정변수에 의해 비롯된 것이 아닌, 게이트 절연막에 존재하는 결함에 의한 것임을 짐작할 수 있다 [9].

소자 제조과정에서 HPD annealing 공정의 추가는, 게이트 절연막의 결함 및 산포 개선과 더불어, 소자의 성능 개선을 가능하게 하였다. 그림 5는 제작된 소자의 on-state current (I_{ON}) 및 off-state current (I_{OFF})를 추출하여, I_{ON} 과 I_{OFF} 의 비율(ratio)을 분석한 결과이다. 이때, I_{ON} 및 I_{OFF} 는 V_{TH} 를 기준으로 +2 V 및 -2 V 영역에서 추출하였다. HPD annealing 공정을 진행한 이후, 소자의 I_{ON}/I_{OFF} 비율은 약 10^2 에서 10^7 이상으로 확연히 증가하였는데, 이는 I_{ON} 의 증가로 인하여 기인하기보다는, I_{OFF} 의 값이 HPD annealing 이후, 10^5 배만큼 감소하였기 때문이다.

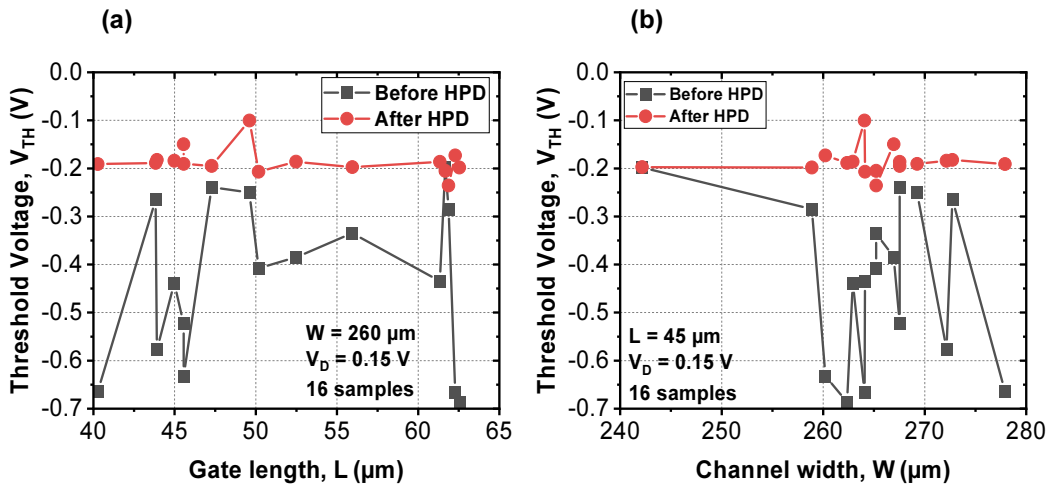


Fig. 4. Extracted V_{TH} characteristic with various (a) gate lengths and (b) channel widths of fabricated devices.

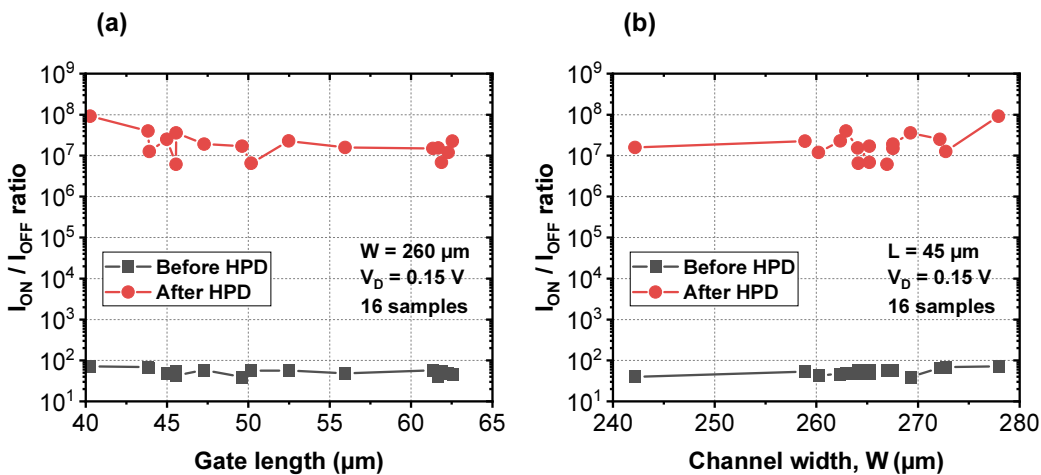


Fig. 5. Extracted on/off ratio with various (a) gate lengths and (b) channel widths of fabricated devices.

4. 결론

이 논문에서는 대표적인 내방사선 소자 중 하나인 gate-enclosed MOSFET를 실리콘 기판에서 제작하였다. HPD annealing 공정이라는 차세대 반도체공정을 소자 제조과정에 적용하였으며, 이러한 HPD annealing 공정 유무에 대한 소자 성능과 신뢰성 변화를 비교 분석하였다. HPD annealing 공정이 제조과정에서 적용될 경우, (1) 소자의 SS 특성과 I_{OFF} 특성이 대폭 개선되었으며, 이에 소자의 대기전력 감소가 가능하였다. 그리고 HPD annealing 공정 적용 이후, (2) 소자의 I_G 특성도 약 1,000배 감소하였는데, 이는 게이트 절연막의 bulk 결함이 HPD annealing 공정에 의해 효과적으로 복구 가능함을 의미하였다. 따라서, HPD annealing 공정의 적용은 소자 신뢰성 개선의 관점에서 매우 효과적이었다. 끝으로 HPD annealing 공정은, (3) 소자 특성의 산포를 개선하는 데 효과적이었으며, 추출된 SS 및 V_{TH} 를 통해 그 사실을 확인하였다. 결론적으로, HPD annealing 공정의 추가는, gate-enclosed MOSFET 소자의 성능, 신뢰성, 산포 개선 등 여러 측면에서 매우 효과적임을 확인하였다. 이에, 이러한 연구 결과는 차세대 내방사선 소자를 제작함에 있어 유용하게 활용될 수 있을 것이라 여겨진다.

ORCID

Jun-Young Park

<https://orcid.org/0000-0003-4830-9739>

감사의 글

This work was partially supported by the National Research Foundation of Korea (NRF) grant funded by the Korea government (MIST) (No.2020M3H2A076786 and 2021R1F1A1049456).

REFERENCES

- [1] C. Hu, *Proc. IEEE*, **81**, 682 (1993). [DOI: <https://doi.org/10.1109/5.220900>]
- [2] E. Valtonen, "Space Weather Effects on Technology", in *Space Weather* (Springer, Berlin, Germany, 2005), pp. 241-273. [DOI: https://doi.org/10.1007/978-3-540-31534-6_8]
- [3] T. R. Oldham and F. B. McLean, *IEEE Trans. Nucl. Sci.*, **50**, 483 (2003). [DOI: <https://doi.org/10.1109/TNS.2003.812927>]
- [4] X. Fan, P. Lee, W. Lee, B. Zhang, X. Xie, G. Wang, B. Hu, and Y. Zhai, *J. Semicond.*, **32**, 084002 (2011). [DOI: <https://doi.org/10.1088/1674-4926/32/8/084002>]
- [5] W. F. Clark, T. G. Ference, T. B. Hook, K. M. Watson, S. W. Mittl, and J. S. Burnham, *IEEE Electron Device Lett.*, **20**, 48 (1999). [DOI: <https://doi.org/10.1109/55.737570>]
- [6] J. W. Lyding, K. Hess, and I. C. Kizilyalli, *Appl. Phys. Lett.*, **68**, 2526 (1996). [DOI: <https://doi.org/10.1063/1.116172>]
- [7] J. M. Yu, J. Y. Park, T. J. Yoo, J. K. Han, D. H. Yun, G. B. Lee, J. Hur, B. H. Lee, S. Y. Kim, B. H. Lee, and Y. K. Choi, *IEEE Trans. Electron Devices*, **67**, 3903 (2020). [DOI: <https://doi.org/10.1109/TED.2020.3008882>]
- [8] I. C. Kizilyalli, J. W. Lyding, and K. Hess, *IEEE Electron Device Lett.*, **18**, 81 (1997). [DOI: <https://doi.org/10.1109/55.556087>]
- [9] L. Breuil, J. G. Lisoni, R. Delhougne, C. L. Tan, J. Van Houdt, G. Van den bosch, and A. Furnemont, *Proc. 2016 IEEE 8th International Memory Workshop (IMW)* (IEEE, Paris, France, 2016) pp. 1-4. [DOI: <https://doi.org/10.1109/IMW.2016.7495277>]