


# 3D NAND 플래시메모리 String에 전열어닐링 적용을 가정한 기계적 안정성 분석 및 개선에 관한 연구

김유진, 박준영 

충북대학교 전자공학부

## Study on Improving the Mechanical Stability of 3D NAND Flash Memory String During Electro-Thermal Annealing

Yu-Jin Kim and Jun-Young Park

School of Electronics Engineering, Chungbuk National University, Cheongju 28644, Korea

(Received November 6, 2021; Revised November 29, 2021; Accepted December 21, 2021)

**Abstract:** Localized heat can be generated using electrically conductive word-lines built into a 3D NAND flash memory string. The heat anneals the gate dielectric layer and improves the endurance and retention characteristics of memory cells. However, even though the electro-thermal annealing can improve the memory operation, studies to investigate material failures resulting from electro-thermal stress have not been reported yet. In this context, this paper investigated how applying electro-thermal annealing of 3D NAND affected mechanical stability. Hot-spots, which are expected to be mechanically damaged during the electro-thermal annealing, can be determined based on understanding material characteristics such as thermal expansion, thermal conductivity, and electrical conductivity. Finally, several guidelines for improving mechanical stability are provided in terms of bias configuration as well as alternative materials.

**Keywords:** 3D NAND, Mechanical stress, Reliability, Simulation, Electro-thermal annealing

### 1. 서론

전통적인 데이터 저장매체인 하드디스크(hard disk drive)는, 데이터를 반 영구적으로 저장하는 역할을 수행하고 있다. 하지만 이러한 하드디스크에 저장되는 데이터의 안정성은 우수하나, 저장매체의 특성상 내부에 기계식 모터를 보유하고 있기에, 충격에 취약한 것이 단점으로 작용한다. 이러한 하드디스크는, 소형화가 불가하여 모바일 기기에 적용되기에 어려움이 있었고, 이를 대체하고자 플

래시메모리(flash memory) 저장매체가 새로이 등장하게 되었다 [1]. 플래시메모리는 하드디스크와는 달리, NMOS로 이루어진 셀 트랜지스터(cell transistor)에 데이터를 저장하는 것을 특징으로 한다. NMOS 셀 트랜지스터의 게이트절연막(gate dielectric)은 tunneling oxide, charge trap layer (CTL) 및 blocking oxide로 이루어져 있으며, 게이트 전극에 약 14 V의 양의 전압을 인가하면, 전자들이 (electrons) tunneling oxide를 투과하여 CTL에 저장되며, 이러한 상태를 ‘쓰기’ 또는 ‘program’ 상태라고 한다. 반면, CTL에 정공이 주입되면서, 이미 저장된 전자가 제거되는 현상을 ‘지우기’ 또는 ‘erase’ 상태라고 한다.

더 향상된 플래시메모리의 집적도를 위하여, 플래시메모리 셀 트랜지스터는, 평면 상 셀이 배열되어 있는 2차원 구조에서, 수직으로 적층된 구조인 3차원 구조로 진보하였

✉ Jun-Young Park; [junyoung@cbnu.ac.kr](mailto:junyoung@cbnu.ac.kr)

Copyright ©2022 KIEEME. All rights reserved.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

는데, 이러한 플래시메모리를 3D NAND라고 한다 [2]. 이러한 3D NAND 플래시메모리의 셀 트랜지스터는 gate-all-around (GAA) 형태를 채택하고 있으며, 이러한 구조는 단채널 효과(short-channel effect)를 억제하는데 효과적임이 이미 잘 알려져 있다. 하지만 셀의 더 빠른 'program' 및 'erase' 속도를 구현하기 위하여, tunneling oxide의 두께는 5 nm 이하로 얇아지게 되었으며, 그로 인하여 메모리의 retention 및 endurance 특성 저하가 심화되고 있다.

이러한 우려를 개선하고자, 2019년 대만의 T. H. Hsu *et al.* [3]은 3D NAND 플래시메모리에서 발생하는 tunneling oxide의 열화를 개선할 수 있는 전열어닐링(electro-thermal annealing) 기법을 획기적으로 제안하였다. 특히, 3D NAND 플래시메모리 string은 128개 이상의 셀 트랜지스터가 직렬로 연결되어 있는 것이 특징이다. 이때, 금속으로 이루어진 word-line (WL)에 순간적으로 높은 전류를 흐르도록 하면, WL 내에서 발열(joule heating) 현상이 유발된다. 그리고 위와 같이 WL에서 고온의 열이 발생하면서, 물리적으로 손상된 tunneling oxide를 열적으로 어닐링 시키게 된다 [3].

어닐링이 이루어진 tunneling oxide 절연막의 전기적 특성은 손상 전과 유사한 상태로 복구가 가능하며, 이를 통해 3D NAND 플래시메모리 셀의 저하된 retention 및 endurance 특성 복구가 가능하다 [3]. 하지만 비록 이러한 전열어닐링이 플래시메모리의 수명과 신뢰성 개선에 효과적인 것은 사실이나, 금속층, 절연층, 그리고 반도체층 등 다양한 소재 구성을 지니고 있는 3D NAND 플래시메모리의 특성상, 소재들의 서로 다른 열 팽창계수(coefficient of thermal expansion)로부터 기인한 기계적인 손상이 발생할 개연성이 존재한다. 따라서, 전열어닐링을 수행하는 과정에서 발생할 수 있는 잠재적인 소재의 손상 및 기계적인 안정성에 대한 논의가 필요하나, 관련 연구가 아직까지 이루어지지 않고 있다.

이에, 이 연구에서는 3D NAND 플래시메모리 string에서 전열어닐링을 수행하였을 때를 가정하여, 기계적인 안정성에 대해 논의한다. 구체적으로, 다양한 층에 위치하는 WL을 대상으로 전열어닐링 시뮬레이션을 진행하였으며, 어닐링 과정에서 출력되는 온도 분포와 소재의 열 팽창 특성을 토대로, 잠재적인 손상부위를 예측한다. 그리고 이러한 기계적인 신뢰성 우려를 개선하기 위하여, 효과적인 전열어닐링 구동방법, WL 금속의 대체, 그리고 inter-layer dielectric (ILD) 절연층의 대체 등 다양한 가이드라인을 제시한다.

## 2. 실험 방법

3D NAND 플래시메모리 어레이는 기본적으로 그림 1과 같이 여러 개의 string과 page로 이루어져 있으며 하나의 string에는 128개 이상의 NMOS 셀 트랜지스터가 직렬로 연결되어 있다. 본 논문에서는 3차원 시뮬레이션으로 인한 불필요한 구동시간을 최소화하기 위하여, 하나의 string에서 10개의 셀 트랜지스터를 대상으로 연구를 진행하였다.

먼저, 플래시메모리의 전열어닐링 구동 중 발생하는 기계적 안정성을 연구하기 위하여, COMSOL multiphysics 시뮬레이터의 Joule heating 모듈을 활용하였다. 연구를 위해 제작된 3D NAND 플래시메모리의 구조는 아래의 그림 2(a) 및 (b)와 같으며, 총 10개의 WL을 지니고 있다. 시뮬레이션에서 사용된 구조는 텅스텐으로 구성된 bit-line

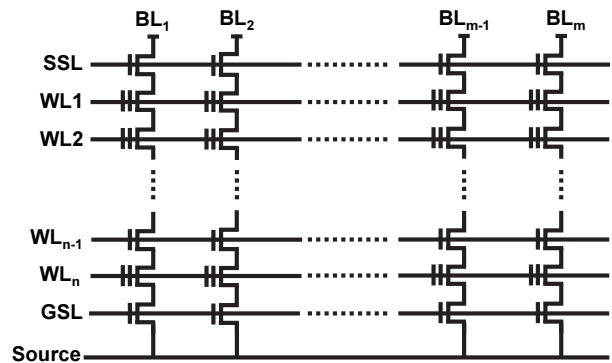


Fig. 1. Basic schematic of NAND flash memory array.

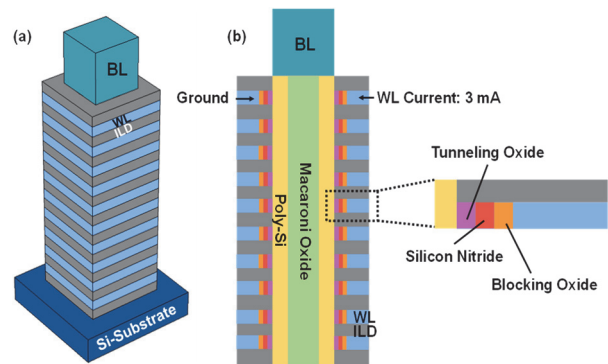


Fig. 2. (a) Schematic of 3D NAND structure for simulations and (b) cross-sectional image of the structure and bias condition for electro-thermal annealing configuration.

**Table 1.** Device dimensions and material parameters for simulation of mechanical stability.

	Material	Size (nm)	Coefficient of thermal conductivity $\beta$ [1/K]	Thermal conductivity $\kappa$ [W/m·K]	Electrical conductivity $\sigma$ [S/m]
Word-line (WL)	Tungsten	160×160×20	$4.5 \times 10^{-6}$	40	$20 \times 10^{-6}$
Bit-line (BL)		100×100×100			
Si-substrate	Si	250×250×50	$2.6 \times 10^{-6}$	130	$1 \times 10^4$
Poly-Si channel thickness	Poly-Si	2	$2.6 \times 10^{-6}$	9.4	$3 \times 10^3$
Inter-layer dielectric (ILD) thickness	SiO <sub>2</sub>	20	$0.5 \times 10^{-6}$	1.4	$1 \times 10^{-12}$
Blocking oxide thickness	Al <sub>2</sub> O <sub>3</sub>	5	$6.5 \times 10^{-6}$	0.4	$1 \times 10^{-12}$
Charge trap layer thickness	Si <sub>3</sub> N <sub>4</sub>	4	$2.3 \times 10^{-6}$	3.2	$1 \times 10^{-12}$
Tunneling oxide thickness	SiO <sub>2</sub>	2.5	$0.5 \times 10^{-6}$	0.4	$1 \times 10^{-12}$

(BL) 및 WL, 실리콘 (Si) 기판, 그리고 절연층인 ILD 및 O/N/O (SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>)로 이루어진 게이트절연막을 갖추고 있으며, 상세한 구조 및 소재에 대한 정보는 앞서 발표된 연구를 토대로 참고하였다 [4].

그리고 시뮬레이션 과정에서 대기의 대류에 의한 heat flux ( $h$ )는 10 W/mK으로, 그리고 기판의 온도는 상온 (20°C)이라 가정하였다. 전열어닐링 중 발생하는, 기계적 스트레스, potential (V), 그리고 온도의 추출 및 비교는, 각각의 WL의 중앙에서 XY 평면으로 절단하여, 최댓값을 기준으로 추출하였다. 이 외에, 시뮬레이션을 위한 상세한 구조 및 재료에 대한 다양한 정보들은 표 1에 요약되어 있다. 위와 같은 조건으로 플래시메모리 string을 시뮬레이터를 통해 제작한 이후, 그림 2(b)와 같이 가장 위층에 존재하는 (10층) WL에 전열어닐링 구동을 가정한 3 mA 전류를 인가하였다. 특히, 전열어닐링을 ms 수준의 매우 짧은 시간 동안 진행하기 위해서는, 600°C 이상의 고온이 필요한데 [3,5], 이를 위하여 3 mA를 인가하였다.

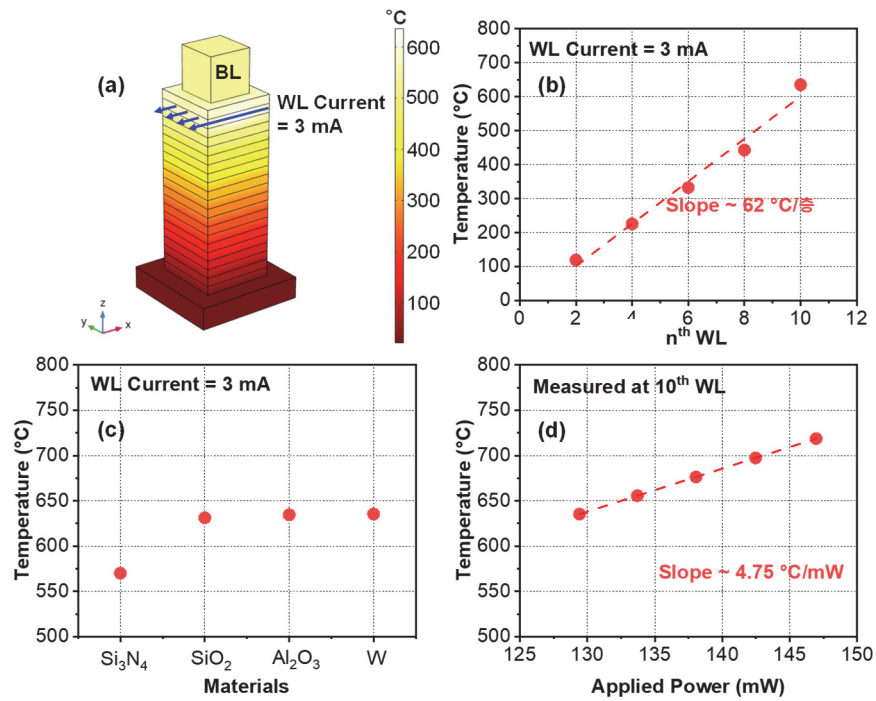
### 3. 결과 및 고찰

이후, 각 WL층에서의 온도 분포를 아래의 그림 3(a)와 같이 추출 및 분석하였다. 그 결과, 3D NAND 플래시메모

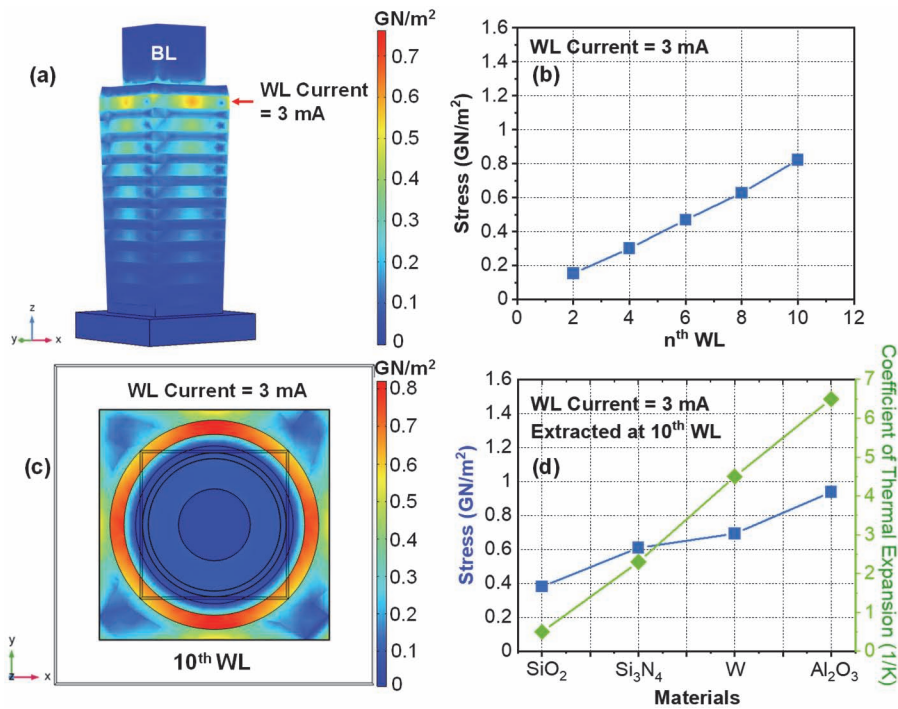
리의 전열어닐링 중 발생하는 온도는 상단에서 하단으로 내려갈수록 감소하였는데, 그 이유는 실리콘 기판이 heat sink로서 작용하기 때문이었다. 그리고 이때의 WL 층간 온도 상승의 기울기는 62°C/층으로 선형적으로 증가하였다 [그림 3(b)]. 참고로 이러한 600°C 이상의 전열어닐링 조건에서는, 플래시메모리에 저장되어 있는 전자의 열적 삭제 (thermal erasing) 현상이 유발할 수 있다 [5]. 따라서, 전열어닐링을 진행하는 데 있어서, ‘쓰기(program)’ 상태보다는 ‘지우기(erase)’ 상태를 지니고 있는 셀을 대상으로 시행하는 것이 마땅하다. 그리고 전열어닐링을 위한 온도의 상한선은 명확하게 규정하기 어려우나, 적어도 WL, 게이트절연막, 및 층간절연막 소재의 녹는점(melting point) 이하에서 이루어져야 한다.

그리고 10층의 WL에서, 금속층(WL) 및 O/N/O (Si<sub>3</sub>N<sub>4</sub>, Al<sub>2</sub>O<sub>3</sub>, SiO<sub>2</sub>) 게이트절연막의 온도를 추출해 본 결과, 금속층인 텅스텐에서 635°C로 온도가 가장 높았으며, O/N/O 중 열 전도율이 가장 높은 Si<sub>3</sub>N<sub>4</sub>에서 570°C로 가장 낮은 온도를 보여주었다 [그림 3(c)]. 그리고 그림 3(d)와 같이, 10층의 WL에 인가하는 전열어닐링을 위한 입력파워의 크기를 증가시킬수록 string에서 발생하는 온도 또한 선형적으로 증가하였다.

그림 4는 그림 3과 같은 전류 인가 조건에서, 플래시메모리 string에서 발생하는, 기계적 스트레스(mechanical



**Fig. 3.** (a) Simulated heat distribution profile when current of 3 mA flows through 10<sup>th</sup> WL for electro-thermal annealing, (b) extracted cell temperature along BL direction, (c) extracted temperature according to materials composing a cell, and (d) extracted cell temperature with various applied power.



**Fig. 4.** (a) Simulated mechanical stress distribution profile when current of 3 mA flows through 10<sup>th</sup> WL for electro-thermal annealing, (b) extracted von-Mises stress along BL direction, (c) mechanical stress distribution profile along WL direction, and (d) extracted von-Mises stress according to materials composing a cell.

stress)인 von Mises stress를 살펴본 결과이다. 이에, 그림 4(a) 및 (b)와 같이, string에서 발생하는 기계적 스트레스의 크기 또한 온도의 경향과 유사하게 하단에서 상단으로 올라갈수록 증가함을 확인하였다. 따라서, 플래시메모리 string의 기계적 스트레스의 발현이 셀의 온도에 밀접한 관련이 있으며, 직접적으로 전열어닐링을 진행하는 10층의 WL이 안정성 측면에서 가장 취약함을 알 수 있다. 여기에서 더 나아가, 10층의 WL 내에서 가장 기계적으로 취약한 부분을 확인하기 위하여, 그림 4(c)와 같이 WL의 단면에 대한 분석을 진행하였다.

그 결과, 그림 4(d)에서 확인할 수 있는 바와 같이, Al<sub>2</sub>O<sub>3</sub>로 이루어진 blocking oxide가 기계적 스트레스에 가장 취약한 것을 알 수 있는데, 이는 WL 및 O/N/O 게이트 절연막을 구성하고 있는 각각의 소재들의 고유한 특성인 열 팽창계수와 연관이 되어 있음을 알 수 있다. 즉, 전열어닐링 과정에서 고온이 발생할 때, 열에 의한 소재의 팽창도가 가장 민감한 소재인 Al<sub>2</sub>O<sub>3</sub>가 기계적으로 가장 취약한 것이다.

하지만 그림 3 및 그림 4의 시뮬레이션은 10층에 존재하는 WL에만 전열어닐링을 진행하였다고 가정한 반면, 이번에는 그림 5(a)와 같이 6층에 형성된 WL에만 전류를 인가한 상황을 가정하여, 기계적 스트레스를 확인하였다. 그 결과 플래시메모리 string의 온도는 예상대로 전류를 인가한 6층에서 417°C로 가장 높았으며, 그보다 더 높거나 낮은 WL층에서는 온도가 감소하였다 [그림 5(b)]. 이에, 기계적 안정성 또한, 전류를 인가한 6층의 WL에서 가장 취약하였으며 [그림 5(c)], 물리적으로 부풀어 올라 팽창함을 확인하였다 [그림 5(a)].

이와 유사하게, 그림 6(a)은 10개의 WL 중, 1층에 존재하는 WL에만 전열어닐링을 위한 전류를 인가한 결과이다. 이때 추출된 온도는 전류를 인가한 1층에서 150.4°C로 가장 높았으나, 그림 5(b)의 보다 더 낮은 온도를 보여주었다 [그림 6(b)]. 그 이유는 낮은 층에 위치한 WL일수록, heat sink인 실리콘 기판과의 거리가 가까기 때문이다. 기계적 스트레스 또한 온도가 가장 높은 1층의 WL에서 가장 심하였

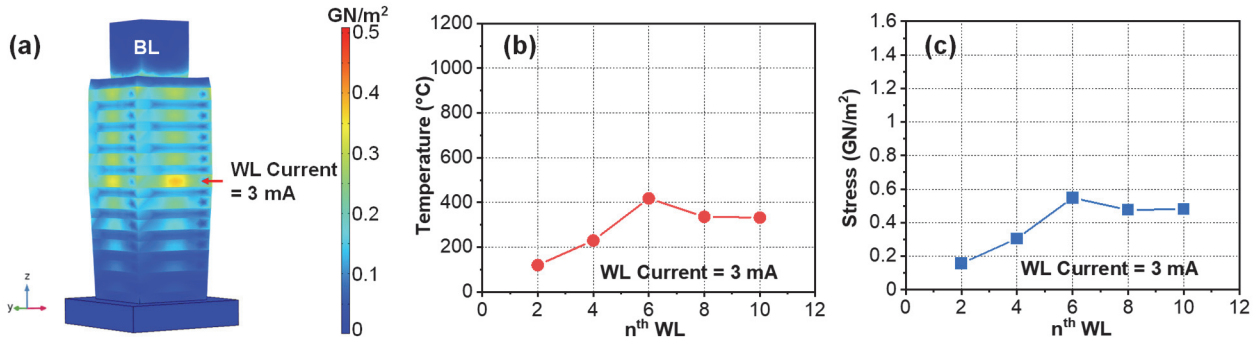


Fig. 5. (a) Simulated mechanical stress distribution profile when current of 3 mA flows through 6<sup>th</sup> WL for electro-thermal annealing. Extracted (b) temperature and (c) von-Mises stress along BL direction.

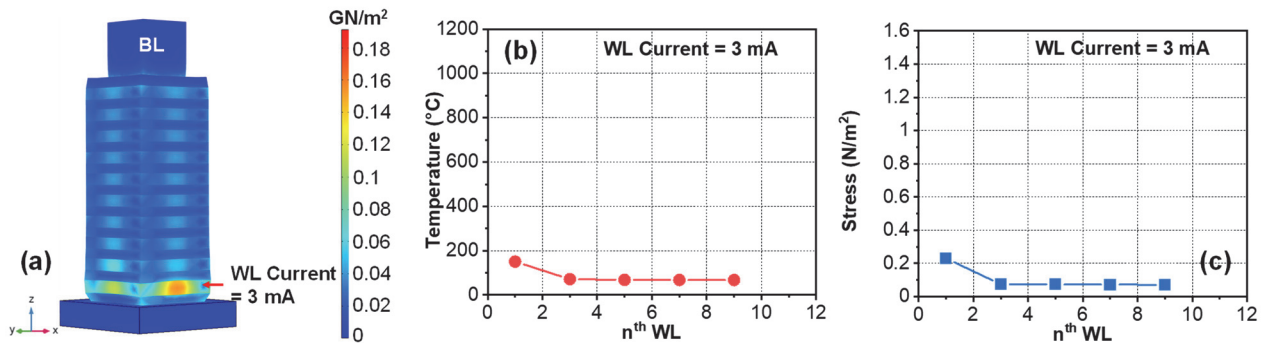


Fig. 6. (a) Simulated mechanical stress distribution profile when current of 3 mA flows through 1<sup>st</sup> WL for electro-thermal annealing. Extracted (b) temperature and (c) von-Mises stress along BL direction.

으나, 그림 5(c)에 비하면, 매우 낮은 값을 알 수 있다 [그림 6(c)]. 하지만 전열어닐링을 위해 필요한 온도가 최소 200°C 근처인 것을 감안할 때 [6], 이 경우, 실제 제품에 적용 시에는 입력 전류값을 3 mA보다 더 높게 인가해야만 할 것이다. 현재 3D NAND 플래시메모리에서, 각 층의 셀에 데이터를 '쓰기(program)' 위한 WL 전압 조건이 층마다 상이한 것을 고려할 때, 이 부분의 적용에 대한 우려는 적을 것으로 예상된다.

그림 7(a)는 10개의 WL 중, 하나의 WL이 아닌 동시에 세 개의 WL에 전류를 인가하여 플래시메모리의 전열어닐링을 진행하였을 경우를 가정한 시뮬레이션 결과이다. 플래시메모리에 존재하는 여러 개의 WL에 동시에 전열어닐링을 수행하게 되면, 동일한 시간 내에 더 많은 수의 셀 트랜지스터 복구가 가능하다. 하지만 이 경우, string의 하단

에서 상단으로 올라갈수록 온도가 증가하는 경향은, 하나의 WL에만 전류를 인가한 경우인 그림 3(b)와 유사하나, 온도의 크기가 약 400°C 이상 더 높은 것을 알 수 있다. 그 이유는 전열어닐링이 동시에 여러 개의 WL을 통해 이루어 지다 보니, 입력으로 인가된 파워의 양이 증가하여, string에서 발생하는 Joule heat의 크기가 커지기 때문이다. 따라서, 여러 개의 WL을 동시에 활용하여 전열어닐링을 진행하는 과정은 메모리의 기계적 안정성에 매우 치명적이며, 이에 가능하면 지양해야 할 것이다 [그림 7(c)].

그림 8은 전열어닐링 과정에서 발생하는 기계적 스트레스를 최소화하기 위한 구동조건을 요약하고 있다. 결론적으로, 3D NAND 플래시메모리에서 전열어닐링을 사용함에 있어, 기계적 안정성을 최대화하기 위해서는, 여러 개의 WL에 동시에 전류를 인가하기보다는 한 층의 WL에만

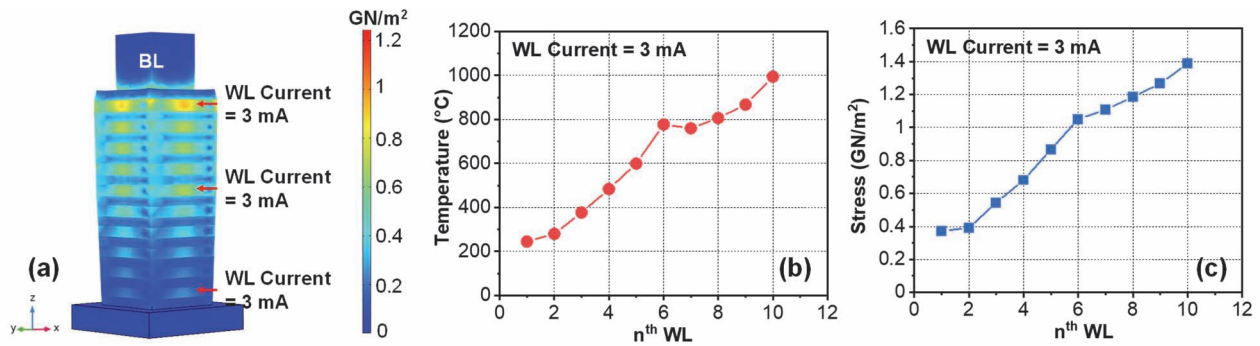


Fig. 7. (a) Simulated mechanical stress distribution profile when current of 3 mA flows through 1<sup>st</sup>, 6<sup>th</sup>, and 10<sup>th</sup> WLs for electro-thermal annealing. Extracted (b) temperature and (c) von-Mises stress along BL direction.

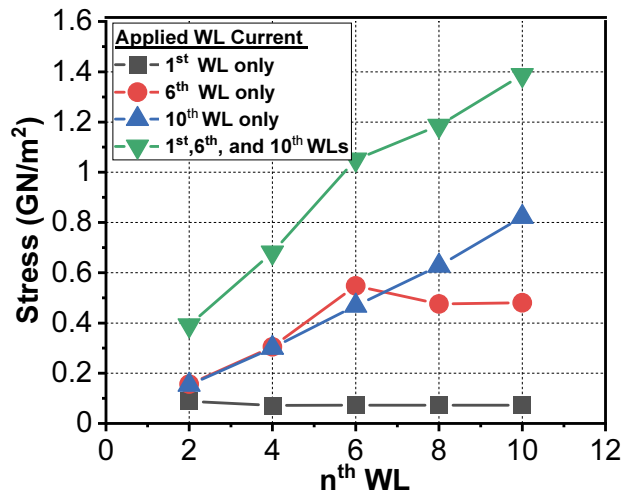


Fig. 8. Summary of Fig. 4 to 7 to minimize mechanical stress during electro-thermal annealing.

단독으로 전류를 인가할 때, 기계적 스트레스의 크기가 최소 1.5배 이상 작음을 알 수 있다. 그리고 한 층의 WL에 전류를 인가하게 될 경우에도, 높은 층에 존재하는 WL에 전열어닐링을 진행하기보다는, 가능한 한 낮은 층에 위치한 WL에 우선적으로 전열어닐링을 진행하는 것이 기계적으로 더 안정하다고 볼 수 있다.

그리고 그림 9는 플래시메모리 string에서 발생하는 기계적 스트레스를 줄이기 위한 방안으로써, 대체 가능한 다양한 WL 금속 후보군에 대한 시뮬레이션 결과를 보여주며, 각 재료에 대한 기본적인 전기적 그리고 열적 특성은 표 2에 요약되어 있다. 동일한 입력전류에서, WL에 tungsten을 대신하여 titanium을 채워 넣었을 경우, 셀의 온도가 가장 높았다 [그림 9(a)]. 이러한 titanium이 적용되었을 때, 각각의 WL층에서 측정된 최대온도는 aluminium 또는 titanium과 같은 대체 다른 금속 물질들과 비교했을 때 최소 2.5배 이상 더 큰 값을 보여주었다. 이러한 높은 온도 방출로 인하여, 기계적 스트레스 또한 titanium을 WL 금속으로 사용하였을 경우가 기계적 스트레스에 가장 취약함을 알 수 있다 [그림 9(b)]. 이러한 현상의 원인은 전기 전도율( $\sigma$ ) 및 열 전도율( $\kappa$ )과 연관이 있다. 그 이유는 금속의

전기 전도율(electrical conductivity)의 크기가 작을수록, WL 저항의 증가로 발열이 증가하는 동시에, 낮은 열 전도율(thermal conductivity)은 이러한 금속의 열 방출을 저해하기 때문이다. 따라서, 두 값이 작을수록, 전열어닐링 과정에서 발생하는 온도의 크기가 더 커지게 된다 [7]. 따라서 결론적으로, aluminum과 같은 전기 전도율과 열 전도율이 모두 높은 금속을 WL에 대체하여 적용한다면, 가장 높은 기계적 안정성을 기대할 수 있다.

그림 10은 층간절연막(ILD) SiO<sub>2</sub>의 열 전도율 값에 대한 다른 온도 및 기계적 스트레스 시뮬레이션을 진행한 결과를 보여준다. ILD 절연막의 열 전도율이 낮을수록, 전열어닐링 과정 중 방출된 열이 상부층과 하부층으로 확산되지 못하고, 고립(thermal isolation)되는 현상이 일어나게 된다. 이에, 층간절연막의 열 전도율이 낮을수록 더 높은 셀의 온도를 보여주었다 [그림 10(a)]. 특히 이러한 열 전도율에 의한 온도의 차이는, heat sink인 기판으로부터 더 멀리 떨어져 있는, 높은 층에 위치한 WL일수록 심각함을 알 수 있다. 따라서, 기계적 스트레스의 크기 또한 그림 10(b)와 같이 온도가 더 높은, 고층에 위치한 WL 및 메모리 셀에서 더 심화되는 경향을 보인다. 이에, 가능하면 더

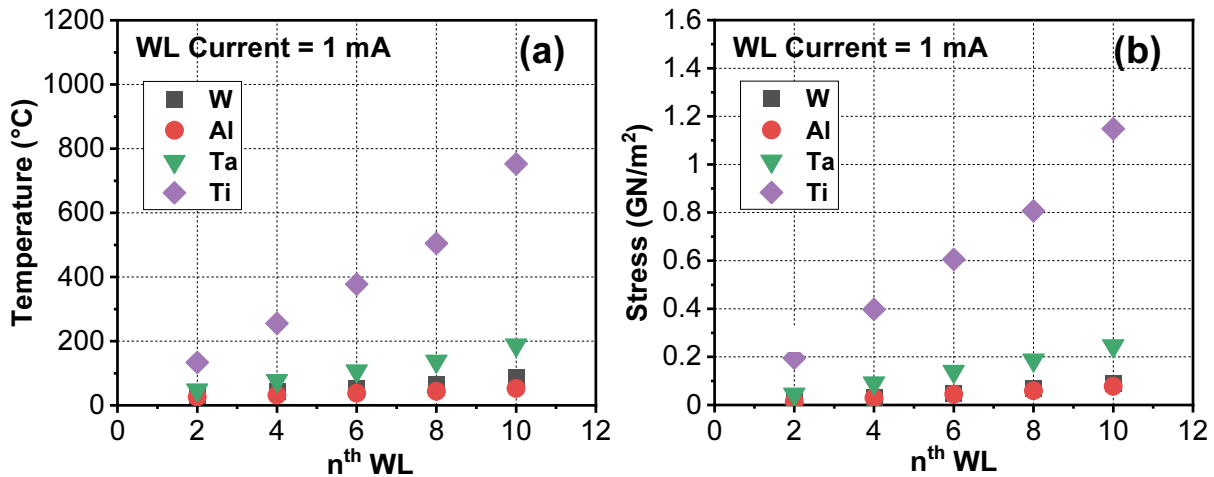


Fig. 9. Extracted (a) WL temperature and (b) von-Mises stress with various WL materials when current of 1 mA flows through 10<sup>th</sup> WL for electro-thermal annealing.

Table 2. Electrical and thermal properties of materials.

	Coefficient of thermal expansion, $\beta$ [1/K]	Thermal conductivity, $\kappa$ [W/m·K]	Electrical conductivity, $\sigma$ [S/m]
Al	$22.87 \times 10^{-6}$	238	$37.5 \times 10^6$
Ti	$9 \times 10^{-6}$	22	$1.9 \times 10^6$
Ta	$6.3 \times 10^{-6}$	57.6	$7.7 \times 10^6$

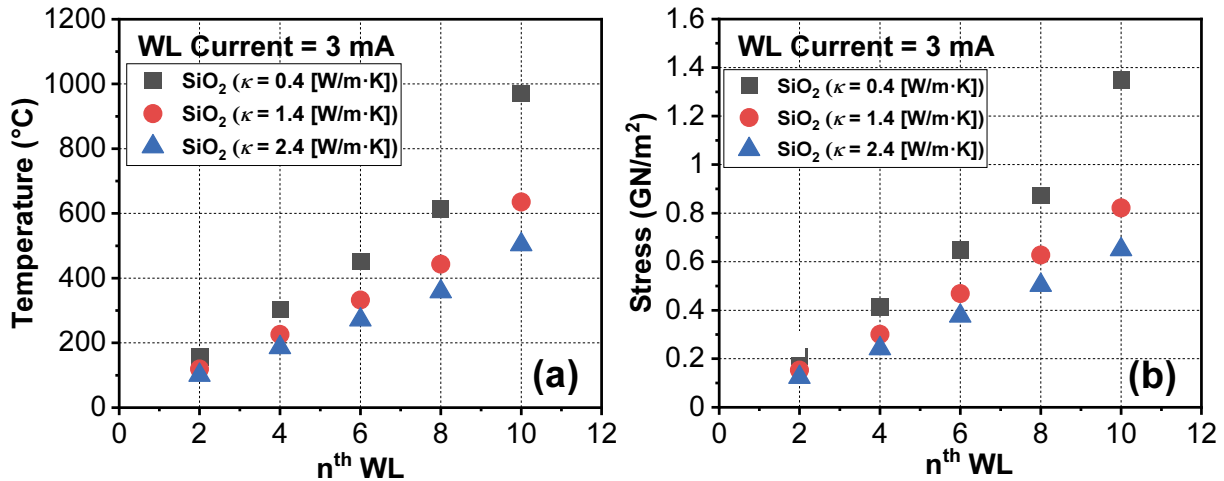


Fig. 10. Extracted (a) WL temperature and (b) von-Mises stress with various ILD materials when current of 3 mA flows through 10<sup>th</sup> WL for electro-thermal annealing.

높은 열 전도율을 지니는 층간절연막 소재 및 형성 공정을 채택하는 것이 바람직하다고 볼 수 있다.

#### 4. 결론

3D NAND 플래시메모리의 셀 트랜지스터는 데이터를 반 영구적으로 저장하는 역할을 수행한다. 하지만 데이터를 반복적으로 저장하고 삭제하는 과정에서 tunneling oxide의 노후화가 발생하며, 이로 인하여 메모리의 retention 및 endurance 특성 저하가 심화된다. 이러한 특성 저하를 개선하기 위한 전열어닐링 기술이 이미 대만에서 제안된 바 있으나, 아직 이 기술에 대한 기계적 안정성은 논의된 바 없다. 이에 본 연구에서는 시뮬레이션을 통해 3D NAND에서 전열어닐링 적용 중 발생할 것으로 예상되는 기계적 스트레스에 대해 논의하였다. 구체적으로, 전열어닐링을 진행하는 과정에서 발생하는 메모리 셀의 기계적 스트레스 크기에 대한 비교를 WL 전극 및 BL 전극의 측면에서 3차원으로 분석하였으며, 이러한 스트레스의 크기는 셀의 온도 발생의 크기와 직접적인 연관이 있음을 확인하였다. 그리고 더 나아가 시뮬레이션 결과를 바탕으로, 기계적 스트레스를 개선하기 위한 구동기술 및 소재의 측면에서 세 가지 가이드라인을 제안하였다.

- 1) 먼저 구동기술의 측면에서, 여러 개의 WL을 동시에 전열어닐링을 위해 활용하기보다는 가능하면 하나의 WL만 전열어닐링을 위해 활용하는 것이 기계적인 안정성 측면에서 더 선호되었다.
- 2) 그리고 가급적이면 heat sink인 실리콘 기판으로부

터 멀리 떨어진 곳에 위치하는 WL보다는 실리콘 기판에 가까운 아래층에 위치한 WL을 전열어닐링을 위해 활용하는 것이 기계적으로 더 안정하였다.

- 3) 끝으로 WL 금속 및 층간절연막의 소재 측면에서는, 가능하면 높은 열 전도율을 지니는 금속 및 절연소재를 적용하는 것이 기계적인 안정성 측면에서 더 우수하였다.

#### ORCID

Jun-Young Park

<https://orcid.org/0000-0003-4830-9739>

#### 감사의 글

본 연구에서는 이 성과는 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (No.2021R1F1A1049456).

#### REFERENCES

- [1] C. M. Compagnoni, A. Goda, A. S. Spinelli, P. Feeley, A. L. Lacaita, and A. Visconti, *Proc. IEEE*, **105**, 1609 (2017). [DOI: <https://doi.org/10.1109/JPROC.2017.2665781>]
- [2] H. Aochi, *Proc. 2009 IEEE International Memory Workshop (IEEE, Monterey, USA, 2009)* p. 1. [DOI: <https://doi.org/10.1109/imw.2009.5090581>]
- [3] T. H. Hsu, H. T. Lue, P. Y. Du, W. C. Chen, T. H. Yeh, R. Lo,

- H. S. Chang, K. C. Wang, and C. Y. Lu, *Proc. 2019 IEEE 11th International Memory Workshop (IMW)* (IEEE, Monterey, USA, 2019) p. 2330. [DOI: <https://doi.org/10.1109/IMW.2019.8739692>]
- [4] K. S. Lee and J. Y. Park, *Electronics*, **10**, 1395 (2021). [DOI: <https://doi.org/10.3390/electronics10121395>]
- [5] H. T. Lue, P. Y. Du, C. P. Chen, W. C. Chen, C. C. Hsieh, Y. H. Hsiao, Y. H. Shih, and C. Y. Lu, *Proc. 2012 International Electron Devices Meeting* (IEEE, San Francisco, USA, 2012) pp. 9.1.1-9.1.4 [DOI: <https://doi.org/10.1109/IEDM.2012.6479008>]
- [6] J. W. Han, R. Peterson, D. I. Moon, D. G. Senesky, and M. Meyyappan, *IEEE Electron Device Lett.*, **38**, 831 (2017). [DOI: <https://doi.org/10.1109/LED.2017.2700326>]
- [7] J. Y. Park, D. I. Moon, M. L. Seol, C. K. Kim, C. H. Jeon, H. Bae, T. Bang, and Y. K. Choi, *IEEE Trans. Electron Devices*, **63**, 910 (2016). [DOI: <https://doi.org/10.1109/TED.2015.2513744>]