


Nanosheet FETs에서의 효과적인 전열어닐링 수행을 위한 기계적 안정성에 대한 연구

왕동현, 박준영 

충북대학교 전자공학부

Investigation of Mechanical Stability of Nanosheet FETs During Electro-Thermal Annealing

Dong-Hyun Wang and Jun-Young Park

School of Electronics Engineering, Chungbuk National University, Cheongju 28644, Korea

(Received September 9, 2021; Revised September 28, 2021; Accepted September 28, 2021)

Abstract: Reliability of CMOS has been severed under aggressive device scaling. Conventional technologies such as lightly doped drain (LDD) and forming gas annealing (FGA) have been applied for better device reliability, but further advances are modest. Alternatively, electro-thermal annealing (ETA) which utilizes Joule heat produced by electrodes in a MOSFET, has been newly introduced for gate dielectric curing. However, concerns about mechanical stability during the electro-thermal annealing, have not been discussed, yet. In this context, this paper demonstrates the mechanical stability of nanosheet FET during the electro-thermal annealing. The effect of mechanical stresses during the electro-thermal annealing was investigated with respect to device design parameters.

Keywords: Electro-thermal annealing, Joule heat, Mechanical stress, Nanosheet FET, Reliability, Self-healing

1. 서론

Moore's law를 넘어서, 칩의 출력 및 저전력 특성의 개선을 위하여, 반도체 소자는 꾸준히 소형화되고 있다 [1]. 하지만 칩의 크기가 작아지고, 소자가 소형화됨에 따라, 여러 문제들이 발생하고 있으며, 그중 대표적인 두 가지는 단채널 효과(short-channel effects) 및 소자 신뢰성(reliability)의 저하이다 [2].

먼저 단채널 효과란, MOSFET (metal-oxide

semiconductor field-effect transistor) 소자의 게이트 길이(gate length, L_G)가 짧아짐에 따라, 게이트 전압(V_G)에 의한 드레인 전류(I_D) 제어가 아닌, 드레인 전압(V_D)에 의한 전류 제어가 점점 더 우세해지는 현상이다. 이에, MOSFET의 subthreshold swing (SS) 값이 증가하거나, punch-through로 인한 off-state current (I_{OFF}) 증가하여, 칩의 대기전력 증가를 초래한다. 칩의 대기전력의 증가는 발열을 초래하고, 배터리 효율을 저해하는 등 디바이스에 치명적으로 작용한다. 하지만 이러한 단채널 효과의 심화는, 소자의 구조 및 소재의 개선을 통하여 어느 정도 개선될 수 있다.

예를 들어, 평면형 2차원 반도체 소자(planar FET) 구조에서 3차원 구조인 FinFET으로 기술 개발이 이루어짐에 따라, 게이트 전압이 드레인 전류를 제어하는 능력인

✉ Jun-Young Park; junyoung@cbnu.ac.kr

Copyright ©2022 KIEEME. All rights reserved.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

gate controllability가 개선된다 [3]. 뿐만 아니라, FinFET보다 한층 더 개선된 gate-all-around (GAA) 소자 구조가 새로이 제안되는 등 소자구조의 개선은 계속되고 있다 [4]. 소재 측면에서는, 실리콘 (Si) 기판을 여전히 사용한다는 점에는 차이가 없다. 하지만 지금껏 수십 년간 MOSFET의 게이트 절연막으로 적용되어 오던, 실리콘 산화막(SiO₂)에 HfO₂와 같은 high-*k* 소재를 추가 적용하였다. 이를 통하여, 마찬가지로 더 나은 gate controllability가 확보될 수 있었다 [5]. 위와 같이, 소자의 구조 및 소재의 개선을 통하여, 단채널 효과의 심화는 어느 정도 억제될 수 있었으며, 이를 통해 지속적인 소자의 소형화가 가능하였다.

하지만 단채널 효과와는 달리, 소자 신뢰성의 측면에서는 이를 개선하기 위한 뾰족한 대안이 부족한 상황이다. 소자의 게이트 길이를 더 짧게 하는 포토공정기술의 진보가, 동작전압(V_{dd})을 낮추는 설계기술의 진보보다 더 빠르게 이루어졌으며, 이로 인하여, 소자 내에는 드레인 전압에 의한 채널 수평 전계가 커지게 되었다. 이와 같은, 채널 수평 전계(lateral electric field)의 증가는 hot-carrier injection (HCI)과 같은 소자 신뢰성 문제를 심화시켰다. 뿐만 아니라, 단채널 효과를 억제하기 위해 새로이 도입된 high-*k* 소재의 적용은 결과적으로 게이트 절연막의 band gap을 감소시키게 되었고, 그로 인해 bias-temperature instability (BTI) 등 신뢰성 우려를 증가시켰다. 이와 같은, 소자 신뢰성 저하를 개선하기 위하여, lightly-doped drain (LDD) 및 forming gas annealing (FGA) 기술이 이미 수십 년간 적용되고 있으나, 더 이상의 뚜렷한 기술의 진보는 사실상 없다고 봐도 무방하였다 [6,7].

하지만 최근, 소자가 자체적으로 방출하는 국부적인 열을 활용하여, 소자의 손상된 게이트 절연막을 개선시키는

전열어닐링(electro-thermal annealing, ETA) 기술이 제안되었다 [8]. 그리고 이와 같은 기술을 통하여, HCI 및 BTI로 인하여 손상된 게이트 절연막의 자가치유(self-healing)가 가능성이 다수 입증되었다. 하지만 이와 같이 전열어닐링 기술의 우수함에도 불구하고, 이에 대한 대부분 연구들은 주로 발생온도, 전력 소모, 게이트 절연막의 자가 치유 특성에 관한 내용만을 다루고 있다.

이에, 이 연구에서는 nanosheet FET (NS FET)라는 차세대 GAA 반도체 소자를 대상으로, 차세대 소자 신뢰성 개선기술인 전열어닐링 기술이 안정적으로 이 플랫폼에 적용 가능한지에 대한 유무를 최초로 논의한다. 특히, 전열어닐링을 적용하는 과정에서 발생할 것으로 예상되는 잠재적인 기계적 신뢰성(mechanical reliability) 문제를 구체적으로 다룬다. 그리고 이를 개선하기 위한 여러 가지 구조적 측면에서 소자 개선방안을 제시한다.

2. 실험 방법

이 연구에서는 3D 시뮬레이터인 COMSOL Multiphysics을 활용하였으며, 구체적으로는 solid mechanics module 및 heat transfer in solids module을 동시에 사용하였다. 먼저, 여러 참고문헌을 토대로, 그림 1(a)와 같이 3개의 채널을 지니고 있는 NS FET 소자구조를 제작하였다 [9-12]. 그리고 이때, 형성된 3개의 nanosheet (NS) 채널의 표면을 SiO₂ 및 HfO₂ 게이트 절연막이 감싸도록 하였고, 그리고 그 위를 게이트 전극이 감싸도록 하는 GAA 형태를 취하고 있다 [그림 1(b) 및 (c)]. 시뮬레이션을 위한 상세한 구조 및 재료에 대한 정보는 표 1 및 2에 요약되어 있다.

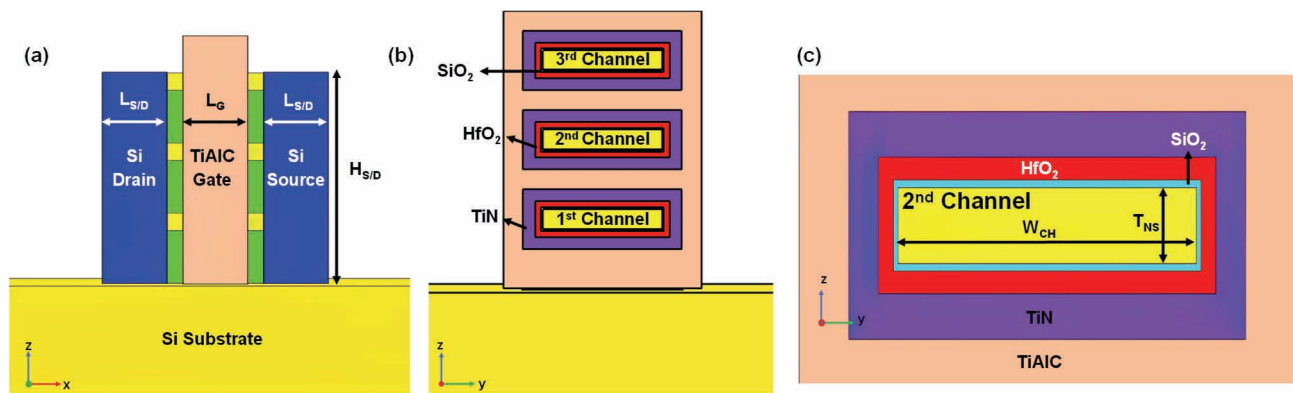


Fig. 1. Schematic of NS FET for simulation of mechanical stress during electro-thermal annealing. (a) Cross-sectional image along the channel and (b) gate direction. (c) Magnified image of Fig. 1(b).

Table 1. Device parameters for simulation of NS FET.

Parameters	Materials	Values
Si substrate (nm)	Si	100×100×30
Gate length, L_G (nm)	TiAlC	12
Channel width, W_{CH} (nm)		30
Nanosheet thickness, T_{NS} (nm)	Si	5
Source/drain length, $L_{S/D}$ (nm)		12
Source/drain height, $H_{S/D}$ (nm)		60
Channel-to-channel vertical space (nm)	-	15
Inner spacer thickness	Si_3N_4	3
Inter-layer oxide thickness (nm)	SiO_2	1
HfO_2 thickness (nm)	HfO_2	3
TiN thickness (nm)	TiN	6

Table 2. Material information for simulation.

Material properties	Si	Si-S/D	TiAlC	TiN	Si_3N_4	SiO_2	HfO_2
Thermal expansion coefficient (1/K) [13]	2.6×10^{-6}	2.6×10^{-6}	8.2×10^{-6}	9.6×10^{-6}	3×10^{-6}	0.5×10^{-6}	6×10^{-6}
Dielectric constant [14]	11.90	11.90	1	1	7.50	3.90	22
Density (kg/m ³)	2,329	2,329	4,070	5,200	3,100	2,650	8,500
Thermal conductivity (W/mK) [15]	140 (Substrate) / 18 (NS)	38	46	29	3.2	1.4	1.06
Electrical conductivity (S/m)	7.68×10^{-3}	5×10^5	2.7×10^6	6.7×10^5	1×10^{-8}	1×10^{-17}	1×10^{-14}
Young's modulus (GPa) [16~20]	160	180	260	410	290	66	264.52
Poisson's ratio	0.22	0.27	0.165	0.3	0.28	0.17	0.308

3. 결과 및 고찰

이후, 시뮬레이션을 통해 형성된 NS FET를 대상으로 하여, gate-to-gate를 통한 전열어닐링을 수행하는 상황을 가정하였다. 이를 위하여, 그림 2(a)와 같이 NS FET의 한 쪽 게이트 전극의 끝에 DC 전류를 인가하고 게이트 전극의 y 축 반대면에는 ground를 적용하였다. 약 2.5 mA의 전류를 흘려 주자 금속으로 이루어진 게이트 전극은 발열로 인하여 온도가 상승하였다. 특히, 전류가 흐르는 방향에서 볼 때, 게이트 전극의 중앙 부분에서 가장 높은 온도를 보여주었다 [그림 2(b)]. 그리고 게이트 전극을 zy 평면으로 단면을 잘라 온도 분포를 확인하니, 게이트 전극의 상단부일수록 하단부보다 온도가 더 높은 것을 확인할 수 있었으며 이는 실리콘 기판이 heat sink로서 작용하기 때문

이다 [그림 2(c)]. 그리고 이러한 온도의 크기는 게이트 전극을 통해 인가하는 입력전류의 세기가 커질수록, 그림 2(d)와 같이 소자 내 최대온도가 증가하는 경향을 보이게 된다.

하지만 비록 전열어닐링을 위한 온도를 소자의 melting이나 electromigration이 발생하지 않는 최적의 범위 내에서 제어할 수 있다 하더라도, 반복적이고 장기적인 전열어닐링의 수행은 기계적 신뢰성 문제를 유발할 수 있다. 이에, 본 연구는 NS FET에서 전열어닐링을 수행하는 과정에서 발생하는 잠재적인 기계적 신뢰성에 대한 우려를 다루고 이를 개선하기 위한 시뮬레이션을 추가로 진행하였다.

그림 3은 나노소자의 기계적 스트레스(mechanical stress)를 대표하는 von mises stress를 추출한 결과이며, 이를 토대로 전열어닐링 수행 중 발생하는 기계적인 신뢰성을 우려를 살펴보았다. 그림 3(a)와 같이 게이트 전극의

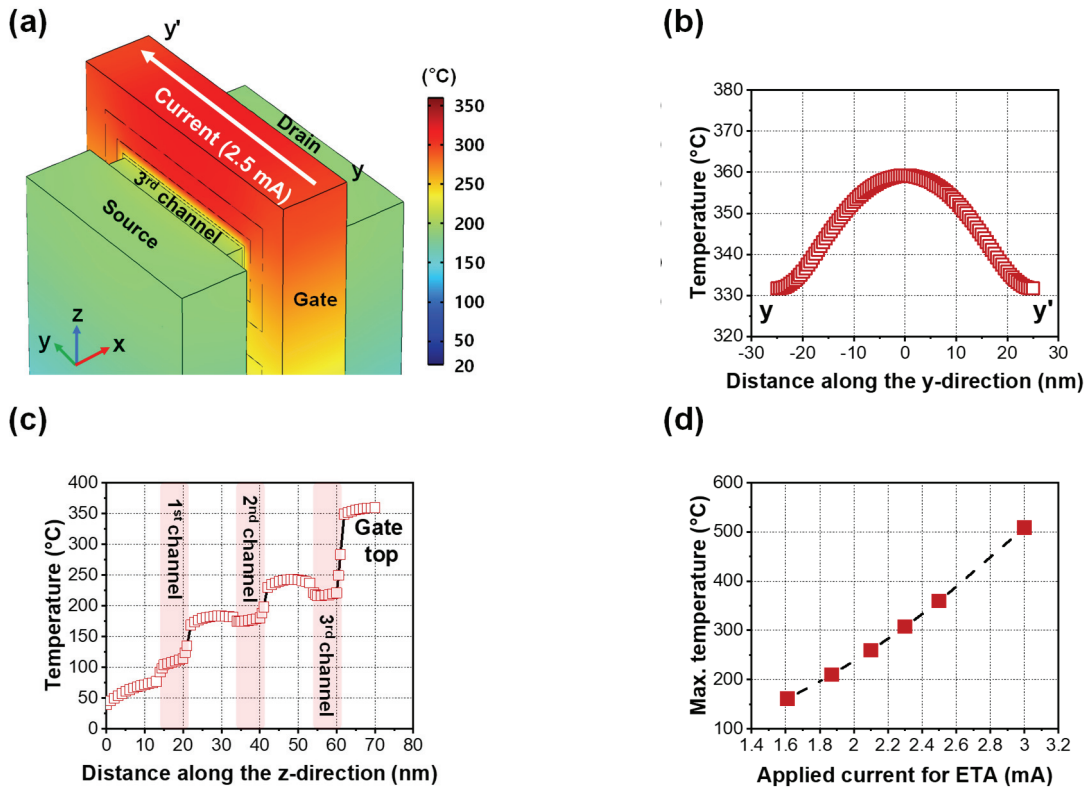


Fig. 2. (a) Heat distribution profile during electro-thermal annealing by gate-to-gate configuration, (b) extracted gate surface temperature during the electro-thermal annealing, (c) cross-sectional heat distribution profile cut along the gate direction, and (d) extracted temperature of Fig. 2(c).

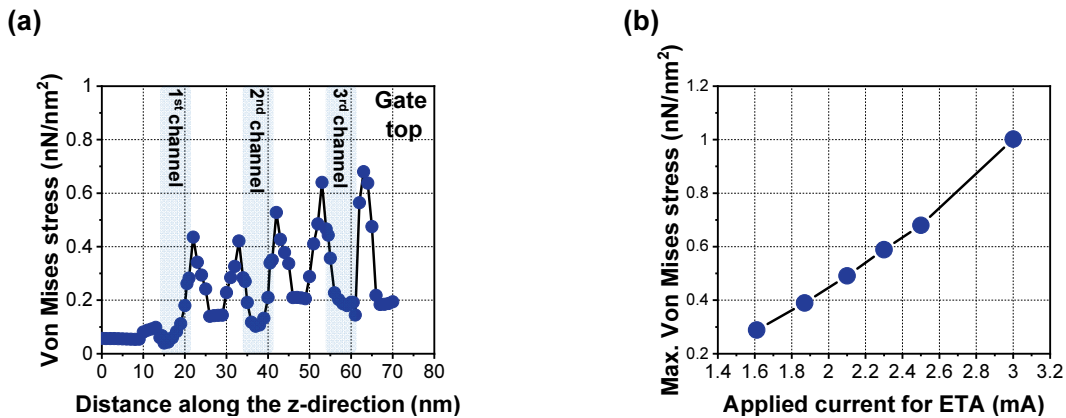


Fig. 3. (a) Extracted mechanical stress during electro-thermal annealing by gate-to-gate current and (b) extracted mechanical stress with various applied current for the electro-thermal annealing.

상단부로 갈수록, 소자에 존재하는 기계적 스트레스는 열화되는 것을 알 수 있다. 게이트 전극의 양 끝단을 통하여 전열어닐링을 수행하는 과정에서, 게이트 전극에서 높은 온도의 발열이 발생하게 되고 이를 통해 손상된 게이트절

연막의 자가치유가 가능하다. 하지만 앞서 그림 2(c)에서 언급한 바와 같이, 게이트 전극의 상단부로 갈수록 발열 온도가 높은 것이 특징이다. 따라서 이러한 게이트 전극의 높이(z축)에 대한 불균일한 온도 분포는 게이트 전극의 열

적 팽창(thermal expansion)의 변화를 야기시킨다. 결론적으로, 소자의 기계적 스트레스 또한 발열 온도 분포와 마찬가지로 게이트 전극의 상단부에서 가장 우려될 것으로 예상된다. 특히, 이러한 기계적 스트레스 역시 그림 3(b)에서 볼 수 있는 것과 같이, 입력되는 전류의 양이 늘어남에 따라 증가하는 경향을 보이는데, 이는 전열어닐링 과정에서 입력되는 전류의 양이 늘어날수록, 발열 온도가 증가하기 때문이다.

그림 4는 NS FET에서 존재하는 3개의 채널 간의 수직 거리(channel-to-channel vertical space)에 대한 온도 분포를 보여주는 시뮬레이션 결과이다. 채널 간의 수직 거리가 거리가 짧아짐에 따라, 전체적인 게이트 전극의 높이가 낮아지게 되고, 이에 게이트 전극의 면적 감소로 게이트 저항은 증가하였다. 따라서 동일한 2.5 mA의 입력전류 하

에서, 전열어닐링 중 발열 온도는 그림 4(a)와 같이 상승하는 경향을 보였다. 이때, 채널 간의 수직 거리에 대한 온도의 민감도(sensitivity)는 $-33.2^{\circ}\text{C}/\text{nm}$ 로 추출되었다. 그림 4(b)는 채널 간의 수직 거리가 증가할수록, NS FET가 인가받는 기계적 스트레스가 감소하는 것을 보여준다. 즉, 소자에서 발생하는 온도의 감소를 통하여, 기계적 스트레스가 줄어들 수 있다는 사실은 그림 2 및 3의 맥락과 일치함을 알 수 있다.

그림 5는 NS FET에서 존재하는 3개의 NS 채널들의 폭(channel width)에 대한 온도 및 기계적 스트레스를 보여주는 시뮬레이션 결과이다. NS FET에서 채널의 폭은, 고객사의 요구에 따라 high density (HD)와 high performance (HP) 버전을 가지는 등, 다양한 크기를 지니는 것이 특징이다. 소자에서 전열어닐링 과정 중 발생하

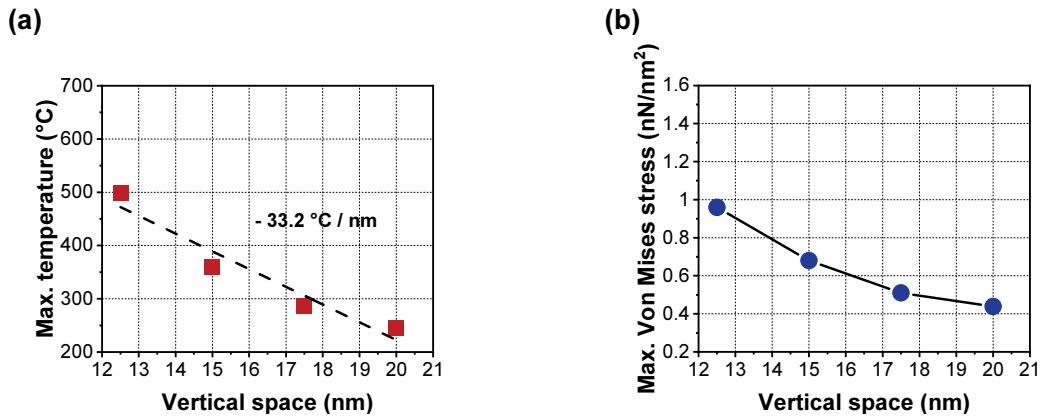


Fig. 4. (a) Extracted maximum temperature and (b) mechanical stress during electro-thermal annealing (ETA) with various vertical spaces of NS FETs.

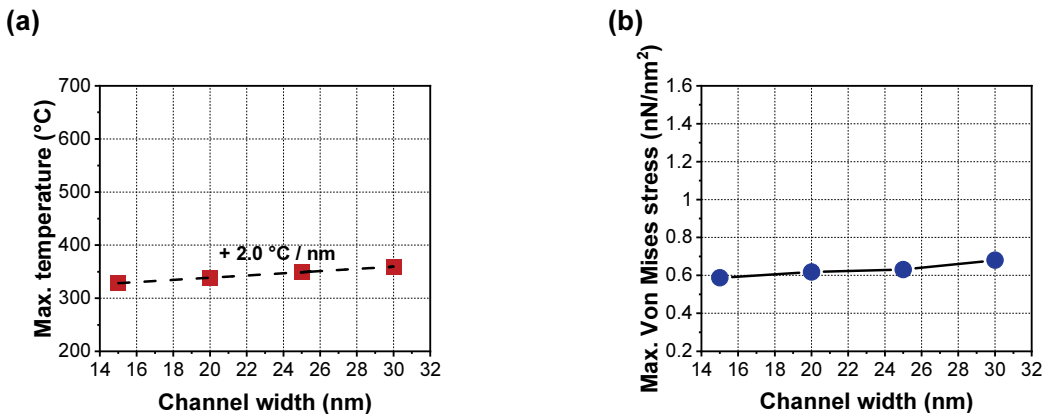


Fig. 5. (a) Extracted maximum temperature and (b) mechanical stress during electro-thermal annealing (ETA) with various channel width of NS FETs.

는 온도는 채널의 폭이 증가함에 따라, 동일한 게이트 길이와 게이트 높이에서, 게이트 전극이 차지하는 부피가 줄어들므로, 게이트 전극의 저항이 증가한다. 따라서 그림 5(a)와 같이 소자의 온도는 상승하게 된다. 하지만 채널의 폭은 경우, 그 민감도가 $+2^{\circ}\text{C}/\text{nm}$ 로서, 변화량이 미미하였고, 이로 인해 기계적 스트레스 또한 미세하게 증가하는데 그치는 것으로 확인되었다 [그림 5(b)].

그림 4와 5가 소자의 채널인 NS 관점에서 이루어진 것이라고 하면, 그림 6은 NS FET의 게이트 길이에 대한 온도 및 기계적 스트레스의 경향을 보여주는 시뮬레이션 결과이다. 게이트 길이는 반도체 소자의 소형화와 매우 밀접한 설계 요소인데, 이를 줄이게 되면, 게이트 전극의 저항 증가로 이어지게 된다. 따라서 이는 전열어닐링 중 온도 상승을 초래하게 되고, 이는 그림 6(b)와 같이 스트레스의 증

가로 이어진다. 특히, 게이트 길이에 대한 온도 변화는 $-69.7^{\circ}\text{C}/\text{nm}$ 로서, NS FET의 구조 및 소재 측면에서 가장 높은 민감도를 보여주었다. 따라서 기계적 스트레스를 최소화하기 위해서는 게이트 길이에 대한 설계에 가장 유의해야 할 것이다.

그림 7 또한 그림 6과 마찬가지로 게이트 모듈의 측면에서 이루어진 시뮬레이션 결과이다. 특히, NS FET는 SiO_2 로 이루어진 inter-layer oxide (IL)와 high- k 를 함께 증착되어 있는 소재를 게이트 절연막으로 채택하고 있다. 이때, IL로 활용되고 있는 산화막인 SiO_2 의 두께가 두꺼워짐에 따라, 채널의 heat sink로 방출되는 열의 감소로 인하여, 소자의 온도는 증가하게 된다. 왜냐하면, SiO_2 의 열전도율은 약 $1\text{ W}/\text{mK}$ 로서, 열 고립(thermal isolation)을 가중시키는 소재인데, 이러한 층의 두께가 두꺼울수록, 채널

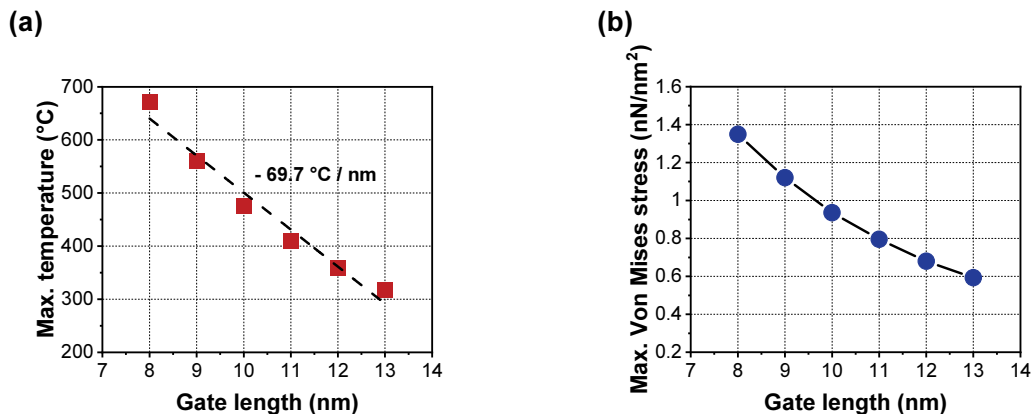


Fig. 6. (a) Extracted maximum temperature and (b) mechanical stress during electro-thermal annealing (ETA) with various gate length of NS FETs.

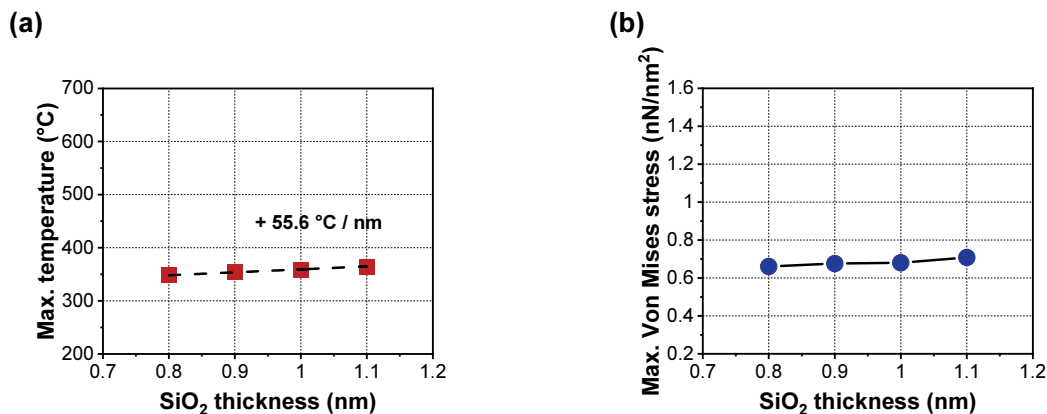


Fig. 7. (a) Extracted maximum temperature and (b) mechanical stress during electro-thermal annealing (ETA) with various SiO_2 thickness of NS FETs.

로 냉각되는 열의 양이 줄어들기 때문이다. 이에 온도 변화의 민감도는 $+55.6^{\circ}\text{C}/\text{nm}$ 으로 매우 연관성이 있게 도출되었다 [그림 7(a)]. 하지만 실리콘이나 금속으로 이루어진 채널 및 게이트 전극과는 달리, 소자의 기계적 스트레스의 변화에는 미미하였는데, 이는 IL로 활용되는 SiO_2 의 열 팽창계수가 0.5로서, NS의 실리콘과 금속 게이트보다 각각, 5배 및 16배 낮기 때문임을 알 수 있다.

4. 결론

이 논문에서는 향후 신뢰성 개선의 기술로 주목받고 있는 전열어닐링(electro-thermal annealing) 기술을 차세대 로직 트랜지스터인 nanosheet FET (NS FET)에 적용하였을 때를 가정하여, 잠재적으로 발생 가능한 기계적 신뢰성에 대하여 다루었다. 특히, 이러한 기계적 신뢰성 문제는 게이트 전극의 상단부에서 발생할 것으로 우려가 되며, 이는 전열어닐링 과정에서 발생하는 온도 분포의 불균일성 때문이다. 이에, 이를 개선하기 위하여 NS FET의 채널 측면 및 게이트 전극 측면에서 더 나은 기계적 신뢰성 방안을 논의하고 향후 가이드라인을 제시하였다. 결론적으로, 소자의 게이트 길이(gate length)를 축소하는 것이, 소자의 기계적 신뢰성에 가장 치명적으로 작용하였고, 그 다음으로 채널 간의 수직 거리를 줄이는 것으로 확인되었다. 이 외에, NS 채널의 폭이나 게이트 절연막의 두께는 신뢰성에 주는 영향이 미미하였다. 이에, 차세대 NS FET에 효과적인 전열어닐링을 적용하는 동시에, 발생하는 기계적인 우려를 최소화하기 위해서는, 채널의 폭이나 게이트 절연막의 변화를 통하여 이루어지는 것이 바람직하다.

ORCID

Jun-Young Park

<https://orcid.org/0000-0003-4830-9739>

감사의 글

This work was partially supported by the National Research Foundation of Korea (NRF) grant funded by the Korea government (MIST) (No.2021R1F1A1049456). The EDA tool was supported by the IC Design Education Center (IDEC) in part. This research work was also partially supported by the Brain Korea (BK) 21 Funded by the Korea Government.

REFERENCES

- [1] C. Hu, *Proc. IEEE*, **81**, 682 (1993). [DOI: <https://doi.org/10.1109/5.220900>]
- [2] Q. Xie, J. Xu, and Y. Taur, *IEEE Trans. Electron Devices*, **59**, 1569 (2012). [DOI: <https://doi.org/10.1109/TED.2012.2191556>]
- [3] A. B. Sachid, M. C. Chen, and C. Hu, *IEEE Trans. Electron Devices*, **64**, 1861 (2017). [DOI: <https://doi.org/10.1109/TED.2017.2664798>]
- [4] N. Singh, A. Agarwal, L. K. Bera, T. Y. Liow, R. Yang, S. C. Rustagi, C. H. Tung, R. Kumar, G. Q. Lo, N. Balasubramanian, and D. L. Kwong, *IEEE Electron Device Lett.*, **27**, 383 (2006). [DOI: <https://doi.org/10.1109/LED.2006.873381>]
- [5] M. Jurczak, N. Collaert, A. Veloso, T. Hoffmann, and S. Biesemans, *Proc. 2009 IEEE International SOI Conference* (IEEE, Foster City, USA, 2009) pp. 1-4. [DOI: <https://doi.org/10.1109/SOI.2009.5318794>]
- [6] S. Ogura, P. J. Tsang, W. W. Walker, D. L. Critchlow, and J. F. Shepard, *IEEE J. Solid-State Circuits*, **15**, 424 (1980). [DOI: <https://doi.org/10.1109/JSSC.1980.1051416>]
- [7] K. Onishi, C. S. Kang, R. Choi, H. J. Cho, S. Gopalan, R. E. Nieh, S. A. Krishnan, and J. C. Lee, *IEEE Trans. Electron Devices*, **50**, 384 (2003). [DOI: <https://doi.org/10.1109/TED.2002.807447>]
- [8] J. Y. Park, D. I. Moon, G. B. Lee, and Y. K. Choi, *IEEE Trans. Electron Devices*, **67**, 777 (2020). [DOI: <https://doi.org/10.1109/TED.2020.2964846>]
- [9] N. Loubet, T. Hook, P. Montanini, C. W. Yeung, S. Kanakasabapathy, M. Guillom, T. Yamashita, J. Zhang, X. Miao, J. Wang, A. Young, R. Chao, M. Kang, Z. Liu, S. Fan, B. Hamieh, S. Sieg, Y. Mignot, W. Xu, S. C. Seo, J. Yoo, S. Mochizuki, M. Sankarapandian, O. Kwon, A. Carr, A. Greene, Y. Park, J. Frougier, R. Galatage, R. Bao, J. Shearer, R. Conti, H. Song, D. Lee, D. Kong, Y. Xu, A. Arceo, Z. Bi, P. Xu, R. Muthinti, J. Li, R. Wong, D. Brown, P. Oldiges, R. Robison, J. Arnold, N. Felix, S. Skordas, J. Gaudiello, T. Standaert, H. Jagannathan, D. Corliss, M. H. Na, A. Knorr, T. Wu, D. Gupta, S. Lian, R. Divakaruni, T. Gow, C. Labelle, S. Lee, V. Paruchuri, H. Bu, and M. Khare, *Proc. 2017 Symposium on VLSI Technology* (IEEE, Kyoto, Japan, 2017) p. 2158. [DOI: <https://doi.org/10.23919/VLSIT.2017.7998183>]
- [10] K. S. Lee and J. Y. Park, *Electronics*, **10**, 1395 (2021). [DOI: <https://doi.org/10.3390/electronics10121395>]
- [11] S. Y. Lee, S. M. Kim, E. J. Yoon, C. W. Oh, I. Chung, D. Park, and K. Kim, *IEEE Trans. Nanotechnol.*, **2**, 253 (2003). [DOI: <https://doi.org/10.1109/TNANO.2003.820777>]
- [12] Y. Choi, K. Lee, K. Y. Kim, S. Kim, J. Lee, R. Lee, H. M. Kim, Y. S. Song, S. Kim, J. H. Lee, and B. G. Park, *Solid State Electron.*, **164**, 107686 (2019). [DOI: <https://doi.org/10.1016/j.sse.2019.107686>]
- [13] S. Chatterjee, B. N. Chowdhury, A. Das, and S. Chattopadhyay, *Semicond. Sci. Technol.*, **28**, 125011 (2013). [DOI: <https://doi.org/10.1088/0268-1242/28/12/125011>]
- [14] S. Abe, Y. Miyazawa, Y. Nakajima, T. Hanajiri, T. Toyabe, and T. Sugano, *Proc. 2009 10th International Conference on Ultimate*

- Integration of Silicon* (IEEE, Aachen, Germany, 2009) pp. 329-332. [DOI: <https://doi.org/10.1109/ULIS.2009.4897602>]
- [15] L. Cai, W. Chen, G. Du, X. Zhang, and X. Liu, *IEEE Trans. Electron Devices*, **65**, 2647 (2018). [DOI: <https://doi.org/10.1109/TED.2018.2825498>]
- [16] V. Senez, T. Hoffmann, A. Armigliato, and I. D. Wolf, *Smart Mater. Struct.*, **15**, S47 (2006). [DOI: <https://doi.org/10.1088/0964-1726/15/1/009>]
- [17] H. Issel , D. Mercier, G. Parry, R. Estevez, L. Vignoud, and C. Olagnon, *e-J. Surf. Sci. Nanotechnol.*, **10**, 624 (2012). [DOI: <https://doi.org/10.1380/ejsnt.2012.624>]
- [18] D. V. Shtansky, V. Kiryukhantsev-Korneev, A. N. Sheveyko, B. N. Mavrin, C. Rojas, A. Fernandez, and E. A. Levashov, *Surf. Coat. Technol.*, **203**, 3595 (2009). [DOI: <https://doi.org/10.1016/j.surfcoat.2009.05.036>]
- [19] H. A. Chaliyawala, G. Gupta, P. Kumar, G. Srinivas, Siju, and H. C. Barshilia, *Surf. Coat. Technol.*, **276**, 431 (2015). [DOI: <https://doi.org/10.1016/j.surfcoat.2015.06.032>]
- [20] K. Tapily, J. E. Jakes, D. S. Stone, P. Shrestha, D. Gu, H. Baumgart, and A. A. Elmustafa, *J. Electrochem. Soc.*, **155**, H545 (2008). [DOI: <https://doi.org/10.1149/1.2919106>]