Regular Paper
J. Korean Inst. Electr. Electron. Mater. Eng.
Vol. 34, No. 3, pp. 193-197 May 2021
DOI: https://doi.org/10.4313/JKEM.2021.34.3.193
ISSN 1226-7945(Print), 2288-3258(Online)

게이트 바이어스에 의한 a-IGZO 박막 트랜지스터 전기적 특성의 열화현상 분석

김태수, 전재홍

한국항공대학교 항공전자정보공학부

Investigation on the Degradation of the Electrical Characteristics of a-IGZO Thin Film Transistor Under Gate Bias Stress

Tae-Soo Kim and Jae-Hong Jeon

School of Electronics and Information Engineering, Korea Aerospace University, Goyang 10540, Korea

(Received March 22, 2021; Revised April 6, 2021; Accepted April 9, 2021)

Abstract: The transfer characteristics of amorphous indium gallium zinc oxide thin film transistor (a-IGZO TFT) showed the distortion in the subthreshold region after gate bias stress, in addition to the parallel shift of threshold voltage. The capacitance-voltage (C-V) curve was also deformed from its initial shape after the gate bias stress. This study analyzes both the C-V and transfer curves plotted on the same gate voltage axis in order to investigate the mechanism driving the distortion in the transfer curve. It is deduced that an additional interfacial trap states at the bottom interface of a-IGZO are produced during gate bias stress, thereby they exhibit the back channel effect, which explains the origin of the distortion in the transfer curve and the deformation of C-V curve.

Keywords: Thin film transistor, Oxide semiconductor, Bias stress

1. 서 론

최근 평판 디스플레이 화소의 구동용 소자로 산화물 반도체 박막 트랜지스터가 활용되고 있다 [1,2]. 특히 비정질 산화 인듐, 갈륨, 아연 박막 트랜지스터(amorphous indium gallium zinc oxide thin film transistor; a-IGZO TFT)는 높은 전계 효과 이동도와 낮은 공정온도, 균일한 특성 및 투명도와 같은 장점을 갖고 있어서 산화물 반도체 중에서 가장 많은 관심을 받고 있다 [3,4]. 우수한 전기적 특성과 더불어 다양한 구동조건에 대한 소자의 신뢰성도 소자의 상용화에 중요한 요구조건이라고 할 수 있다. 따라서 a-IGZO TFT의 신뢰성에 대한 연구도 활발히 진행되고 있다 [5-9]. 특히 게이트 바이어스가 장시간 인가되는 환경은 소자의 전기적 특성을 저하시키는 주요 요인 중 하나이다. 장시간 게이트 바이어스 인가에 의해 나타나는 가장 대표적인 열화현상은 문턱전압(threshold voltage; V_{th})의 변동이라고 알려져 있다. 이러한 V_{th} 변동의 주된 메커니즘은 게이트 바이어스가 장시간 인가되는 동안 게이트 절연막의 밴드갭에 존재하는 결함 준위에 전자나 홀이 포획되는 것이다 [10,11]. 전자가 포획되면 이는 마치 게이트 전극에 음전압이 인가된 효과와 같으므로 V_{th}는 양의 방향으로 이동하게 되고, 홀이 포획되면 이는 마치 게이트 전극에 양전압이 인가된 효과와 같으므로

✉ **Jae-Hong Jeon; jjh123@kau.ac.kr**

Copyright ©2021 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

V_{th}는 음의 방향으로 이동하게 된다. 전자와 홀 중 어떤 것이 포획될 것인가는 인가된 게이트 바이어스의 극성에 의해 좌우된다고 할 수 있다.

한편 게이트 바이어스 스트레스 후 나타나는 현상으로 V_{th}의 변동 현상 외에 또 다른 현상으로 전달 특성 곡선의 문턱전압 이하 영역에서 곡선의 왜곡 현상도 보고되고 있다 [12-16]. 본 연구에서도 a-IGZO TFT에 대한 게이트 바이어스 스트레스 인가 후 문턱전압 이하 영역에서의 전달 특성 곡선의 왜곡 현상이 발견되었다. 본 연구에서는 이러한 현상이 발생하는 메커니즘을 추론하기 위해 전달 특성 측정과 더불어 커패시턴스-전압(capacitance-voltage; C-V) 특성도 측정하고, 두 측정 결과의 상관관계를 비교 분석하였다.

2. 실험 방법

본 연구에 사용된 a-IGZO TFT는 포토리소그래피 및 에칭법을 사용하여 그림 1에서 볼 수 있듯이 상부 게이트 구조로 제작되었다. 제작 과정은 다음과 같다. 유리 기판 위에 50 nm 두께의 a-IGZO 활성층을 rf 마그네트론 스퍼터링을 사용하여 상온에서 증착하였다. 증착 시 사용된 타깃의 인듐, 갈륨 및 아연의 함유량 비율(atomic%)은 1:1:1이었고, 유입된 산소의 유량은 아르곤의 유량 대비 10%로 설정하였고, 챔버의 압력은 5 mTorr로 유지시켰으며, 플라즈마 방전 파워는 300 W였다. 증착된 a-IGZO 활성층은 습식 에칭 방법을 사용하여 패터닝하였다. 이후 게이트 절연막으로 사용될 100 nm 두께의 SiO_2층은 PECVD 방법을 사용하여 증착하였다. 증착 시 기판온도는 350℃, 챔버의 압력은 100 mTorr로 유지시켰으며, 플라즈마 방전 파워는 150 W였다. 이 단계에서 별도의 패터닝은 수행하지 않았으나, 추후 페시베이션층을 형성한 후 컨택홀을 형성하는 단계에서 컨택홀이 형성되는 부위만 플라즈마를 이용한 건식 에칭 방법으로 식각하였다. 그 다음 게이트 전극은 rf 마그네트론 스퍼터링을 통해 몰리브덴을 증착한 후 습식 에칭 방법을 이용하여 패터닝하였다. 소스/드레인 영역은 수소 플라즈마 처리를 통해 도핑하였다. 페시베이션층으로 SiO_2층을 PECVD 방법을 사용하여 증착하였다. 증착 시 기판 온도는 270℃, 챔버의 압력은 150 mTorr로 유지시켰으며, 플라즈마 방전 파워는 120 W였다. 컨택홀 형성을 위해 컨택홀이 형성되는 부위만 플라즈마를 이용한 건식 에칭 방법으로 페시베이션층과 게이트 절연막을 연속으로 식각하였다. 이후 소스/드레인 전극 형성을 위해 몰리브덴을 증착한 후 습식 에칭

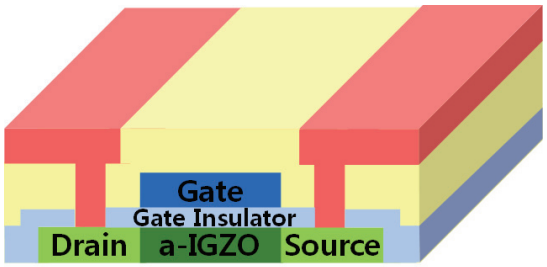

Fig. 1. The schematic of a-IGZO structure used in this study.

방법을 이용하여 패터닝하였다. 마지막으로 소자 특성의 안정화를 위해 소자를 250℃의 hot plate에 올려놓고 2시간 동안 열처리를 수행하였다.

스트레스 테스트는 소자에 빛이 유입되지 않도록 설계된 상자에 소자를 넣어서 수행되었다. Agilent 4155C semiconductor parameter analyzer와 프로브 포지셔닝 시스템을 사용하여 소자에 스트레스 인가 및 소자의 전기적 특성을 측정하였다. 한편 Agilent 4284A LCR 미터를 사용하여 스트레스 인가 전과 후의 C-V 특성을 측정하였다. 스트레스 인가 조건으로 게이트 바이어스는 DC 20 V로 설정하였고, 소스 및 드레인 전극은 접지(0 V) 단자에 연결하였으며, 10,000초 동안 스트레스가 인가되었다.

3. 결과 및 고찰

그림 2는 DC 20 V 게이트 바이어스 스트레스를 인가하는 동안 a-IGZO TFT (W_{ch} = 320 μm, L_{ch} = 20 μm)의 전달 특성 곡선의 변화를 보여 주고 있다. 이 그림에서 스트

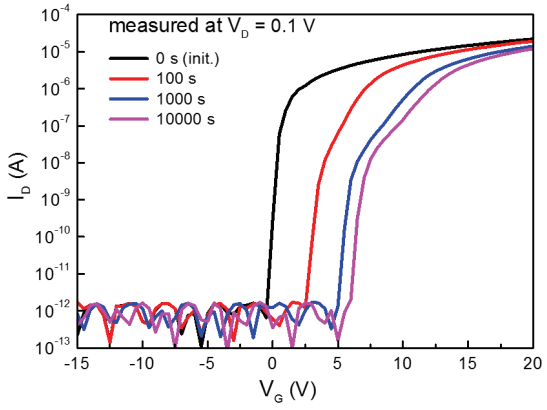

Fig. 2. Evolution of changes in the transfer characteristics of a-IGZO TFT during DC 20 V gate bias stress.

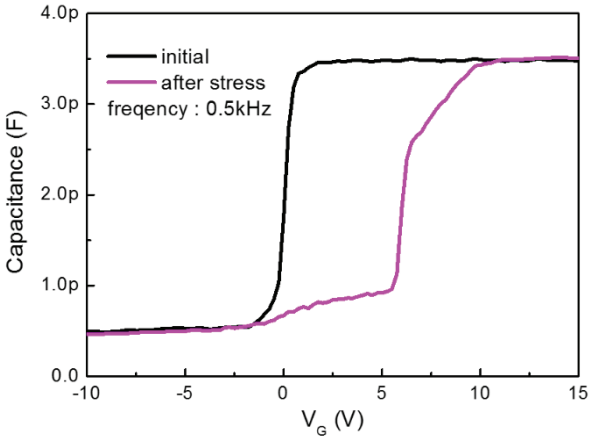

Fig. 3. C-V_G plots before and after the gate bias stress.

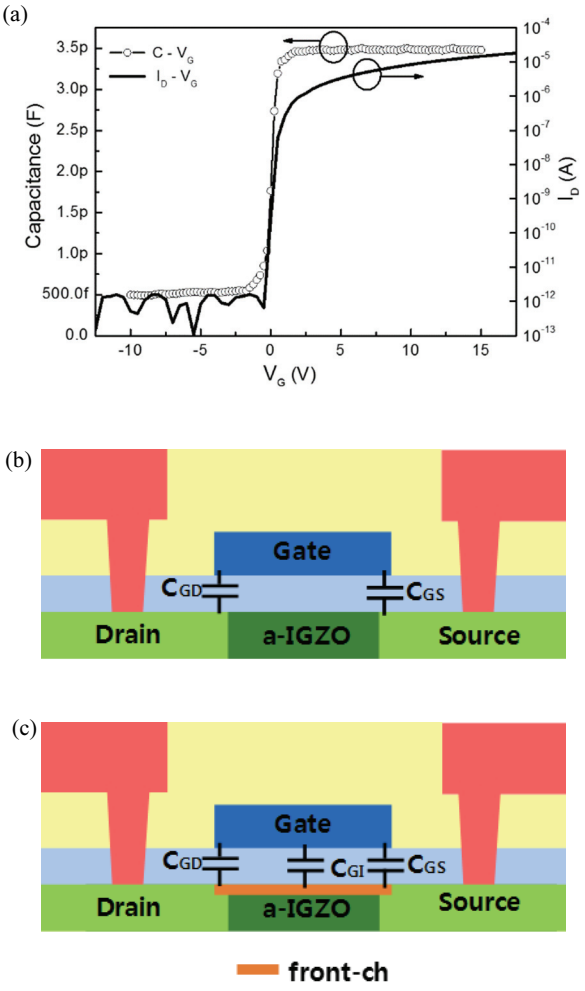

Fig. 4. (a) C-V_G and I_D-V_G plots before the gate bias stress, (b) graphical model illustrating the capacitance components at the minimum value, and (c) at the maximum value.

레스 인가 후 상당한 V_{th}의 이동이 발생했음을 알 수 있다. 한편 V_{th}의 이동과 더불어 y축이 로그 스케일로 그려진 이 그래프에서는 문턱전압 이하 영역에서 곡선이 매끄럽게 그려지지 않고, 중간지점에서 곡선이 꺾이는 듯한 굴곡현상도 발견된다. 이러한 현상도 바이어스 스트레스에 의한 소자의 열화현상의 일환인 것으로 판단된다.

이러한 현상의 원인을 추정하기 위해 스트레스 테스트에 사용된 소자에 대해 스트레스 전후의 C-V 특성을 측정하였다. C-V 특성은 진폭이 0.1 V이고 주파수가 0.5 kHz인 AC 소신호를 이용하여 측정되었다. C-V 특성 측정 시 소스와 드레인 전극을 연결하여 접지단자와 연결하였고, 게이트에 AC 소신호를 인가하였다. 그림 3은 스트레스 전과 후의 C-V 특성 곡선을 보여주고 있다. 전달 특성 곡선과 마찬가지로 스트레스 후 C-V 특성 곡선도 우측으로 이동하였다. 한편 스트레스 전에는 커패시턴스의 값이 단 한 번의 도약으로 최저치에서 최고치로 상승을 하는 그래프가 그려지지만, 스트레스 후에는 커패시턴스의 값이 두 단계를 통해 상승하는 형태로 바뀌었다.

그림 4(a)는 스트레스 전 전달 특성 곡선과 C-V 특성 곡선을 함께 그린 그래프이다. C-V 특성 곡선에서 커패시턴스가 최고치로 도약하는 지점이 문턱전압 부근임을 알 수 있다. 이는 TFT의 일반적인 C-V 특성 곡선의 전형적인 형태이다. 그래프의 왼쪽에 위치한 커패시턴스의 최저치의 형성은 그림 4(b)와 같은 모델로 설명된다. 즉 채널이 형성되기 전 소스 및 드레인 영역과 게이트 전극이 겹치면서 형성되는 기생 커패시턴스에 의해 커패시턴스의 최저치가 결정된다. 한편 커패시턴스의 최고치는 그림 4(c)와 같은 모델로 설명된다. 게이트 바이어스가 문턱전압을 넘어서면서 채널이 형성되었을 때 게이트 전극과 소스 및 드레인 영역, 그리고 채널이 겹쳐짐에 의해 커패시턴스의 최고치가 결정된다.

그림 5(a)는 스트레스 후 전달 특성 곡선과 C-V 특성 곡선을 함께 그린 그래프이다. C-V 특성 곡선에서 커패시턴스 값은 두 단계의 도약을 통해 최고치에 도달됨을 볼 수 있다. 커패시턴스의 최고치가 나타나는 전압이 스트레스 전보다 상당히 증가하였는데, 함께 그려진 전달 특성 곡선과 비교해 보면 채널이 형성되어 전류가 잘 흐르기 시작하는 지점에서 커패시턴스의 최고치가 관찰되기 시작함을 알 수 있다. 한편 커패시턴스의 최저치로부터 첫 번째 도약에 의해 커패시턴스는 최고치(약 3.5 pF)의 70% 수준인 값(약 2.5 pF)으로 상승하게 된다. 이렇게 두 단계

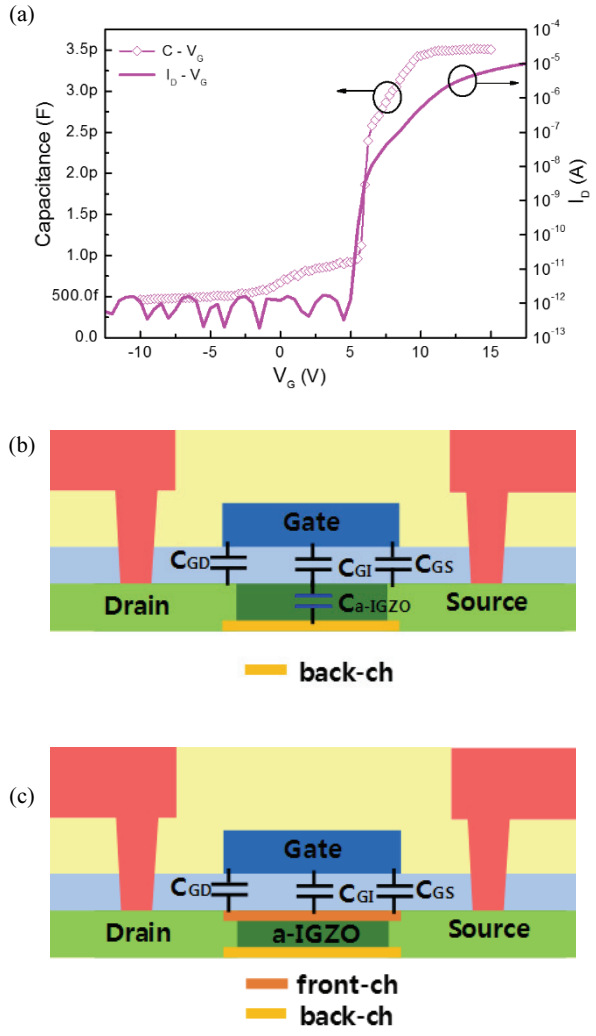

Fig. 5. (a) C-V_G and I_D-V_G plots after the gate bias stress, (b) graphical model illustrating the capacitance components near 5 V gate bias, and (c) near 10 V gate bias.

로 커패시턴스의 상승이 발생하는 현상은 스트레스 전에는 나타나지 않았던 현상이다. 이러한 현상을 설명하기 위해 그림 5(b)와 같은 모델을 수립하였다. 그림 5(b)는 약 5 V 정도의 게이트 바이어스가 인가된 상태를 나타내며, 게이트 바이어스 스트레스에 의해 a-IGZO 박막 하부 계면에 다량의 계면 트랩 준위가 발생되어 별도의 back channel층이 형성된 것을 나타내고 있다. 일반적으로 트랩 준위가 낮을 때에는 트랩 간 전하의 이동은 매우 어렵지만 트랩의 밀도가 높아서 트랩 간 공간적 거리가 가까워지면 hopping에 의한 전하의 이동이 가능해진다. 게이트 바이어스 스트레스 효과는 게이트 절연막에 전자를 포획하는 작용과 함께 back channel을 형성하는 계면 트랩 준위 유발 작용을 동시에 한 것으로 추정된다 [17]. 게이트 절연막에 전자가 포획되어 있으므로 게이트에 음전압이 가해진 효과를 발생하기 때문에 소자의 전달 특성 그래프 및 C-V 특성 그래프는 전반적으로 우측으로 이동되어 있는 상태인데, 약 5 V 정도의 게이트 바이어스에서 back channel이 활성화되어 전달 특성에서 전류의 일차적인 상승을 유발하고, C-V 특성에서는 커패시턴스 값의 첫 번째 도약을 유발하는 것으로 추정된다. 그림 5(c)는 약 10 V 정도의 게이트 바이어스가 인가된 상태를 나타내며 front channel이 형성되어 커패시턴스의 최고치가 관찰되는 것으로 사료된다. 이때 back channel은 front channel에 의해 스크리닝되어 커패시턴스의 값에 기여하지 못하며, 전달 특성에 있어서도 front channel의 전도도가 훨씬 높기 때문에 드레인 전류의 값에도 거의 기여하지 못하는 것으로 나타나게 된다.

이상의 결과에서 back channel의 형성이 front channel의 형성보다 더 낮은 게이트 바이어스에서 일어나는 이유에 대해서는 아래와 같이 해석된다. 스트레스에 의해 하부 계면에 발생된 것으로 추론되는 계면 트랩 준위는 a-IGZO의 전도대 가장자리(E_C)보다 수십 meV 정도 낮은 위치에 발생되는 것으로 예상된다. 따라서 front channel을 형성하기 위해 필요한 게이트 바이어스보다 낮은 바이어스에서도 a-IGZO의 페르미 레벨은 위에서 언급된 하부 계면에 발생된 트랩 준위에 근접하게 되며, 그 결과 소스로부터 전자가 이 트랩 준위로 넘어올 수 있게 된다 [17]. 이 트랩 준위가 다량 존재하게 되면 트랩 간 전하의 hopping이 가능해지고, 따라서 소스로부터 드레인까지 전하의 이동 통로 역할을 하게 될 것으로 사료된다. 그렇지만 전하의 이동도는 front channel에서의 이동도보다는 낮을 것이다. 이것이 전달 특성에서 전류의 일차적인 상승을 유발 및 C-V 특성에서는 커패시턴스 값의 첫 번째 도약을 유발하는 이유인 것으로 사료된다. 한편 스트레스에 의해 계면 트랩 준위의 발생 위치가 상부 계면이 아닌 하부 계면이라고 추정하는 이유는 스트레스에 의해 문턱전압이 크게 증가했지만 게이트 바이어스가 문턱전압을 넘어선 후 전달 특성에서 관찰되는 이동도의 감소는 크게 일어나지 않았기 때문이다. 한편 스트레스에 의해 발생된 특성의 열화는 상온에서 방치 시에는 원복이 되지 않았고, 250℃에서 2시간 동안 열처리를 수행하여야 원복이 되었다.

4. 결 론

본 연구에서는 게이트 바이어스 스트레스 후 V_{th} 이동 현상과 더불어 전달 특성 곡선의 문턱전압 이하 영역에서 곡선의 왜곡현상을 보고하였다. 스트레스 전후의 전달 특성 측정과 더불어 C-V 특성도 함께 측정하여 문턱전압 이하 영역에서 발생하는 비정상적인 소자의 열화현상의 원인을 분석하는 데 활용하였다. 게이트 바이어스 스트레스 인가 시 a-IGZO 박막 하부 계면에 다수의 트랩 준위가 발생된 것으로 추정되며, 트랩 준위는 a-IGZO의 전도대 가장자리(E_C)에서 수십 meV 정도 낮은 위치에 발생되는 것으로 예상된다. 따라서 전달 특성 측정 시 게이트 바이어스를 증가시키면 문턱전압보다 낮은 전압에서 back channel 효과가 먼저 발현되는 것으로 사료된다. 그 결과 전달 특성 곡선에서는 문턱전압 이하 영역에서 곡선의 굴곡을 유발하고, C-V 특성 곡선에서는 커패시턴스 값의 상승이 두 단계의 도약을 통해 일어나는 현상을 유발하는 것으로 사료된다.

ORCID

Jae-Hong Jeon https://orcid.org/0000-0002-7029-4302

감사의 글

본 연구는 경기도의 경기도 지역협력연구센터(GRRC) 사업의 일환으로 수행하였음[GRRC-KAU-2020-B03, 극장용 영사기 및 스크린 대체를 위한 투음 디스플레이 개발].

REFERENCES

[1] T. Kamiya, K. Nomura, and H. Hosono, *J. Disp. Technol.*, **5**, 273 (2009). [DOI: https://doi.org/10.1109/jdt.2009.2021582]

[2] E. Fortunato, P. Barquinha, and R. Martins, *Adv. Mater.*, **24**, 2945 (2012). [DOI: https://doi.org/10.1002/adma.201103228]

[3] H. Yabuta, M. Sano, K. Abe, T. Aiba, T. Den, H. Kumomi, K. Nomura, T. Kamiya, and H. Hosono, *Appl. Phys. Lett.*, **89**, 112123 (2006). [DOI: https://doi.org/10.1063/1.2353811]

[4] J. S. Park, J. K. Jeong, H. J. Chung, Y. G. Mo, and H. D. Kim, *Appl. Phys. Lett.*, **92**, 072104 (2008). [DOI: https://doi.org/10.1063/1.2838380]

[5] J. Y. Kwon, J. S. Jung, K. S. Son, K. H. Lee, J. S. Park, T. S. Kim, J. S. Park, R. Choi, J. K. Jeong, B. Koo, and S. Y. Lee, *Appl. Phys. Lett.*, **97**, 183503 (2010). [DOI: https://doi.org/10.1063/1.3513400]

[6] C. T. Tsai, T. C. Chang, S. C. Chen, I. Lo, S. W. Tsao, M. C. Hung, J. J. Chang, C. Y. Wu, and C. Y. Huang, *Appl. Phys. Lett.*, **96**, 242105 (2010). [DOI: https://doi.org/10.1063/1.3453870]

[7] K. H. Ji, J. I. Kim, Y. G. Mo, J. H. Jeong, S. Yang, C. S. Hwang, S. H. Ko Park, M. K. Ryu, S. Y. Lee, and J. K. Jeong, *IEEE Electron Device Lett.*, **31**, 1404 (2010). [DOI: https://doi.org/10.1109/led.2010.2073439]

[8] J. H. Shin, J. S. Lee, C. S. Hwang, S. H. Ko Park, W. S. Cheong, M. Ryu, C. W. Byun, J. I. Lee, and H. Y. Chu, *ETRI J.*, **31**, 62 (2008). [DOI: https://doi.org/10.4218/etrij.09.0208.0266]

[9] K. H. Lee, J. S. Jung, K. S. Son, J. S. Park, T. S. Kim, R. Choi, J. K. Jeong, J. Y. Kwon, B. Koo, and S. Lee, *Appl. Phys. Lett.*, **95**, 232106 (2009). [DOI: https://doi.org/10.1063/1.3272015]

[10] R.B.M. Cross and M. M. De Souza, *Appl. Phys. Lett.*, **89**, 263513 (2006). [DOI: https://doi.org/10.1063/1.2425020]

[11] K. H. Ji, J. I. Kim, Y. G. Mo, J. H. Jeong, S. Yang, C. S. Hwang, S. H. Ko Park, M. K. Ryu, S. Y. Lee, and J. K. Jeong, *IEEE Electron Device Lett.*, **31**, 1404 (2010). [DOI: https://doi.org/10.1109/led.2010.2073439]

[12] M. Mativenga, M. Seok, and J. Jang, *Appl. Phys. Lett.*, **99**, 122107 (2011). [DOI: https://doi.org/10.1063/1.3641473]

[13] J. H. Kim, D. W. Kwon, J. S. Chang, S. W. Kim, J. C. Park, C. J. Kim, and B. G. Park, *Appl. Phys. Lett.*, **99**, 043502 (2011). [DOI: https://doi.org/10.1063/1.3606538]

[14] W. J. Maeng, J. S. Park, H. S. Kim E. S. Kim, K. S. Son, T. S. Kim, M. Ryu, and S. Lee, *IEEE Electron Device Lett.*, **32**, 1077 (2011). [DOI: https://doi.org/10.1109/led.2011.2156756]

[15] K. Takechi, M. Nakata, T. Eguchi, H. Yamaguchi, and S. Kaneko, *Jpn. J. Appl. Phys.*, **48**, 010203 (2009). [DOI: https://doi.org/10.1143/jjap.48.010203]

[16] K. Ghaffarzadeh, A. Nathan, J. Robertson, S. Kim, S. Jeon, C. Kim, U. I. Chung, and J. H. Lee, *Appl. Phys. Lett.*, **97**, 143510 (2010). [DOI: https://doi.org/10.1063/1.3496029]

[17] P. Servati and A. Nathan, *J. Vac. Sci. Technol., A*, **20**, 1038 (2002). [DOI: https://doi.org/10.1116/1.1472427]