

# Mist-CVD법으로 증착된 다결정 산화갈륨 박막의 MOSFET 소자 특성 연구

서동현, 김용현, 신윤지, 이명현, 정성민, 배시영 

한국세라믹기술원 에너지환경본부

## Characteristics of MOSFET Devices with Polycrystalline-Gallium-Oxide Thin Films Grown by Mist-CVD

Dong-Hyun Seo, Yong-Hyeon Kim, Yun-Ji Shin, Myung-Hyun Lee, Seong-Min Jeong, and Si-Young Bae  
 Energy and Environmental Division, Korea Institute of Ceramic Engineering and Technology, Jinju 52851, Korea

(Received July 27, 2020; Revised August 11, 2020; Accepted August 12, 2020)

**Abstract:** In this research, we evaluated the electrical properties of polycrystalline-gallium-oxide ( $\text{Ga}_2\text{O}_3$ ) thin films grown by mist-CVD. A 500~800 nm-thick  $\text{Ga}_2\text{O}_3$  film was used as a channel in a fabricated bottom-gate MOSFET device. The phase stability of the  $\beta$ -phase  $\text{Ga}_2\text{O}_3$  layer was enhanced by an annealing treatment. A Ti/Al metal stack served as source and drain electrodes. Maximum drain current ( $I_D$ ) exceeded 1 mA at a drain voltage ( $V_D$ ) of 20 V. Electron mobility of the  $\beta$ - $\text{Ga}_2\text{O}_3$  channel was determined from maximum transconductance ( $g_m$ ), as approximately, 1.39  $\text{cm}^2/\text{Vs}$ . Reasonable device characteristics were demonstrated, from measurement of drain current-gate voltage, for mist-CVD-grown  $\text{Ga}_2\text{O}_3$  thin films.

**Keywords:**  $\beta$ - $\text{Ga}_2\text{O}_3$ , Mist-CVD, MOSFET, Mobility

### 1. 서론

산화갈륨은 넓은 밴드갭(약 4.9 eV)과 높은 임계전압(약 8 MV/cm)을 갖고 있는 반도체 재료로써 ultra wide band gap (UWBG) 소자의 재료로 사용하기 위한 연구가 활발히 진행되고 있다 [1-4]. 산화갈륨은 성장 조건에 따라 알파, 베타, 감마, 델타, 입실론 다섯 가지의 상으로 분류되는데 그중에서도 베타상 산화갈륨은 높은 전도성을 갖고 있으며 고온에서 가장 안정하다 [5]. 이러한 이유로 다른 상의 산화갈륨을 열처리 공정을 통해 베타상 산화갈륨으로 상전이 시킬 수 있

다 [6,7]. 특히 베타상 산화갈륨은 도핑 공정 없이도 결정구조 상의 oxygen vacancy로 인한 n-type 전도 특성을 갖고 있으므로 n-channel 반도체 재료로 사용할 수 있다 [8-10]. 산화갈륨 박막을 형성하기 위해서는 HVPE, MBE, MOCVD, RF sputter 등이 널리 쓰이는데, 이번 연구에서는 무 진공 상압에서 수용액을 분무시켜 기판과의 반응으로 박막을 증착시키는 Mist-CVD 방식을 채택하였다 [11-13].

증착된 산화갈륨의 전기적 특성을 확인하기 위해서는 일반적으로 홀(Hall) 측정 방법을 사용한다. 홀 측정은 전류가 흐르는 박막에 수직으로 자기장이 형성될 때 발생하는 홀 전압을 측정하여 박막의 이동도 [14], 캐리어 농도, 비저항 등의 여러 전기적 특성을 평가할 수 있다는 장점이 있지만, 샘플과 측정 장비 사이의 오믹 접촉(ohmic contact) 정도와 샘플의 크기, 두께, 균일성, 측정 환경의 온도, 자기장 등의 요인에 따라 측정 신뢰도가 떨어진다는 단점이 있다. 또한 박막이 실제

✉ Si-Young Bae; [siyoungbae@gmail.com](mailto:siyoungbae@gmail.com)

Copyright ©2020 KIEEME. All rights reserved.  
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

소자에 응용되었을 때 전기적 특성이 변할 수 있다.

본 연구에서는 Mist-CVD법으로 성장한 산화갈륨 박막을 채널로 활용하여 bottom-gate MOSFET을 제작하고 드레인 전류( $I_D$ )-게이트 전압( $V_G$ ) 측정 결과를 토대로 산출된 상호 컨덕턴스(transconductance,  $g_m$ )를 이용하여 산화갈륨 박막의 이동도를 추정했다. 그리고 주사전자현미경(SEM) 사진을 통해 열처리된 산화갈륨 박막의 특성 변화를 확인하고 XRD를 활용하여 변화한 특성을 분석하였다.

## 2. 실험 방법

그림 1(a)와 1(b)는 제작된 MOSFET의 2차원 평면도 및 3차원 구조도이다. 게이트 전극이자 기판으로 사용되는 과도핑된 P타입 실리콘 기판에 열 산화(thermal oxidation) 방식으로 게이트 산화막( $\text{SiO}_2$ )을 약 100 nm 성장시킨다. 이후 트랜지스터의 채널 형성을 위해  $\text{SiO}_2$ 층 위로 Mist-CVD 방식으로 산화갈륨 박막을 형성한다.

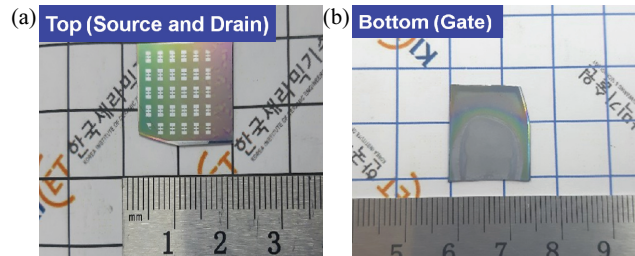
표 1에는 이번 실험에 쓰인 기판의 세부 정보를 나타냈으며, 표 2에는  $\text{Ga}_2\text{O}_3$  박막 증착을 위해 제조된 용액의 구성비를 나타냈다 [11].  $\text{Ga}_2\text{O}_3$  박막은 Mist-CVD 전

**Table 1.** Specification of the substrate.

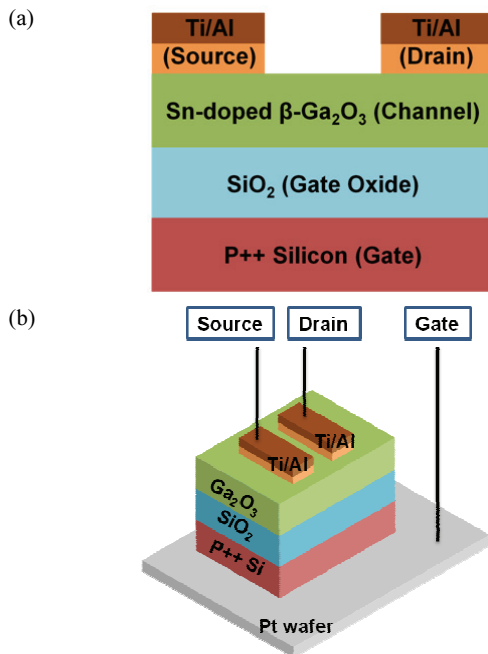
Substrate	p++ Si/ $\text{SiO}_2$
Si	Heavily doped silicon, dopant: boron
$\text{SiO}_2$	Thermal oxidation, thickness: 100 nm

**Table 2.** Composition of solution and doping ratio.

Solution	0.05 M Ga ( $\text{C}_5\text{H}_8\text{O}_3$ ) <sub>3</sub>
Precursor	Ga ( $\text{C}_5\text{H}_8\text{O}_3$ ) <sub>3</sub>
Solvent	Deionized water
Doping ratio	0.1%, $\text{SnCl}_2$ solution



**Fig. 2.** Photographs of the fabricated bottom-gate MOSFET. (a) Front (top contact) and (b) back side (bottom contact) of device.



**Fig. 1.** (a) Cross-section and (b) bird's-eye view of fabricated MOSFET. Pt wafer was utilized for bottom contact in probe station.

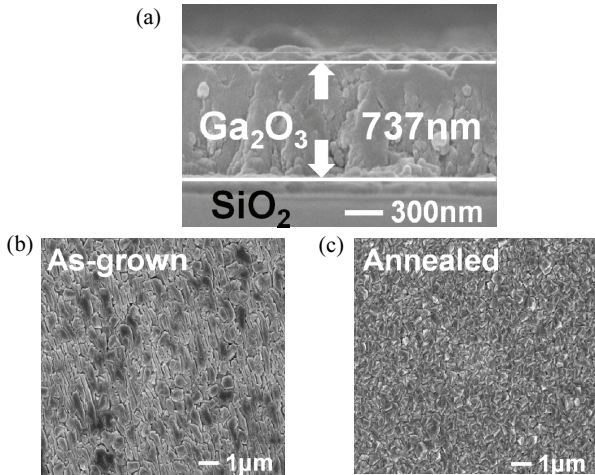
기로 내에서  $600^\circ\text{C}$  온도로 약 1시간 동안 증착된다. 그때의 미스트 유량 속도는 5 L/min이다. 증착된 박막을 이후  $800^\circ\text{C}$  온도로 공기 분위기에서 약 1시간 동안 열처리하였다.

소스와 드레인 전극 증착을 위해 전자빔 증착장비(e-beam evaporator)가 사용되었다. 증착된 소스와 드레인 두께는 Ti/Al 각각 20 nm/180 nm이다. 채널의 길이는 약  $30\ \mu\text{m}$ , 넓이는  $1,000\ \mu\text{m}$ 이다.

하부 게이트와의 접촉을 위해 Pt 기판을 사용했으며, p++ Si 기판 하부를 HF용액을 사용하여 에칭한 후 Pt 기판과의 접촉 저항을 줄이기 위해 약 20~30 nm 두께의 알루미늄(Al)을 열 진공 증착기(thermal evaporator)를 사용하여 증착하였다.

## 3. 결과 및 고찰

열처리 후 나타나는 박막의 변화를 관찰하기 위해 SEM을 이용하여 단면과 표면 이미지를 확인했다. 그림 3(a)는 박막의 두께를 확인하기 위해 분석한 단면 이



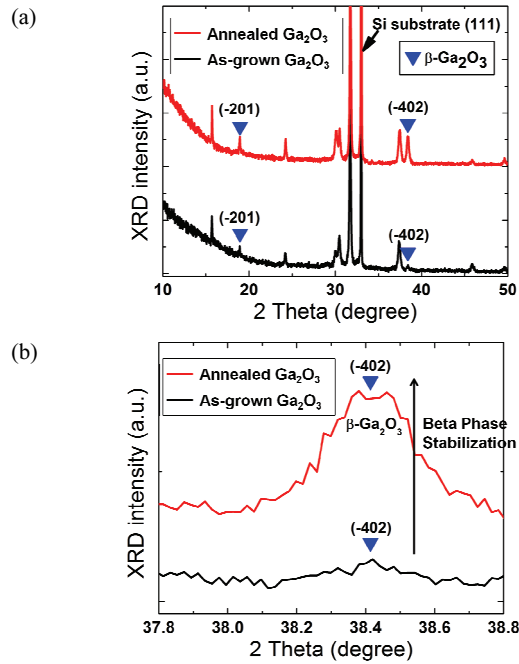
**Fig. 3.** SEM images of grown Ga<sub>2</sub>O<sub>3</sub> layer. (a) Side view, and top view of (b) as-grown Ga<sub>2</sub>O<sub>3</sub> and (c) annealed Ga<sub>2</sub>O<sub>3</sub>.

미지이다. 박막의 최소 두께는 500 nm에서 최대 800 nm로 평균 700 nm의 두께를 갖는다. 그림 3(b)는 열처리 전과 후 박막표면의 이미지이다. 열처리 후에 박막에 재결정화가 일어나며 그레인의 크기가 줄어드는 것을 확인하였다.

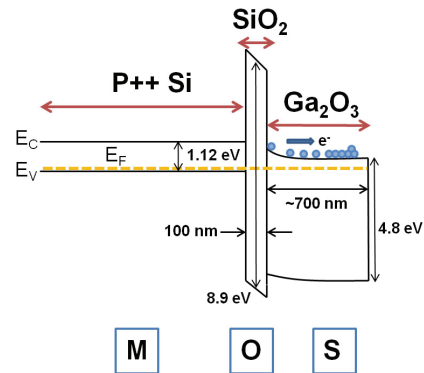
보다 상세한 분석을 위해 XRD를 사용하여 증착된 박막을 분석했다. 그림 4(a)에서 열처리 전 박막의 경우에도 (-201)과 (402)면의 베타상 산화갈륨 피크를 확인할 수 있지만, 그림 4(b)에서 열처리 후 (-402)면의 피크가 증가함을 볼 수 있다 [15]. 이는 열처리 후 박막의 상이 베타상으로 더 안정화됐음을 의미한다.

실제 소자의 I<sub>D</sub>-V<sub>G</sub> 커브를 측정하기 전에 시뮬레이션 프로그램(PC1D)을 이용하여 제작된 MOSFET 구조의 에너지 밴드 다이어그램을 그려본 후 동작을 예측해 보았다 [16]. 그림 5는 에너지 밴드 시뮬레이션 결과를 나타낸다. 게이트에 전압이 인가되지 않은(V<sub>G</sub>=0) 평형 상태에서의 에너지 밴드 구조이다. 시뮬레이션 결과 채널층(Ga<sub>2</sub>O<sub>3</sub>) 전자들이 SiO<sub>2</sub> 표면에서 약한 공핍(depletion)을 보이는 것을 확인할 수 있다. 제작된 소자는 bottom-gate, top-contact의 형태이므로 평형 상태에서도 공핍된 전자들에 의해 채널이 형성되어, normally on 특성을 보이는 depletion-mode MOSFET과 같이 동작함을 예상할 수 있다 [17].

그림 6은 실제 측정된 드레인 전압(V<sub>D</sub>)에 따른 I<sub>D</sub>-V<sub>G</sub> 커브이다. 게이트 전압 측정범위는 -50~+50 V이고, 드레인 전압은 5~20 V범위에서 3 V의 간격을 두고 증가시켰다. 최대 포화전류 값은 V<sub>D</sub>=20 V일 때 1.06 mA이다.



**Fig. 4.** XRD 2 theta scan of grown Ga<sub>2</sub>O<sub>3</sub> thin films for the scan range of (a) 10~50° and (b) 37.8~38.8°. Note that β phase feature was enhanced after annealing process.



**Fig. 5.** Simulated energy band diagram of P++Si/SiO<sub>2</sub>/Ga<sub>2</sub>O<sub>3</sub> bottom-gate MOSFET at equilibrium state.

상호 컨덕턴스(g<sub>m</sub>)의 정의를 식 (1)에 나타냈다. 측정된 I<sub>D</sub>-V<sub>G</sub> 커브에서 기울기를 통해 g<sub>m</sub>을 구할 수 있다.

$$g_{m,MAX} = \frac{\partial I_D}{\partial V_G} = 31.92 \times 10^{-6} (A/V) \quad (1)$$

얻어진 g<sub>m</sub> 값들 중 최댓값을 이용하여 박막의 이동도를 유도할 수 있다. 식 (2)에 이동도와 상호 컨덕턴스의 관계를 나타냈다.

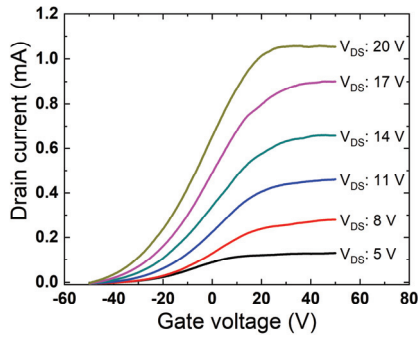


Fig. 6. Measured drain current versus gate voltage depending on the drain-voltage of the fabricated MOSFET.

$$\mu = \frac{L}{WC_{OX}V_{DS}} \cdot \frac{\partial I_D}{\partial V_G} \quad (2)$$

$\mu$ :	박막의 이동도
L:	채널의 길이 = 30 ( $\mu\text{m}$ )
W:	채널의 넓이 = 1,000 ( $\mu\text{m}$ )
$C_{OX}$ :	capacitance per unit area of $\text{SiO}_2$ = $\epsilon_{\text{SiO}_2}/d$ = $3.45 \times 10^{-8}$ (F/ $\text{cm}^2$ )
$\epsilon_{\text{SiO}_2}$ :	$\text{SiO}_2$ 의 유전율
d:	$\text{SiO}_2$ 의 두께 = 100 (nm)
$V_{DS}$ :	드레인 전압

식 (2)을 통해 산출된 박막의 이동도는  $\sim 1.39 \text{ cm}^2/\text{V} \cdot \text{s}$ 이다.

제작된 소자가 MOSFET 동작 특성을 따르는지 확인하기 위해 위 식 (1) 및 식 (2)를 통해 계산된 채널의 이동도와 채널의 길이 및 넓이, 게이트 산화물의 단위 면적당 정전용량 값 등을 이용하여 이상적인 드레인 전류 값을 예상하고 실제 측정된 전류 값과 비교한다. 식 (3)에 MOSFET에서 드레인 전류를 구하는 식을 나타냈다.

$$I_D = \mu C_{OX} \frac{W}{L} [(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2] \quad (3)$$

$V_T$ : 문턱전압

실제 측정 결과에서  $V_G = 18.8 \text{ V}$ ,  $V_D = 20 \text{ V}$ 일 때 드레인 전류의 값은  $\sim 1 \text{ mA}$ 이다 (파라미터 분석기에 의해 계산된 문턱전압은  $-26.5 \text{ V}$ ). 식 (3)에 의해 계산된 이

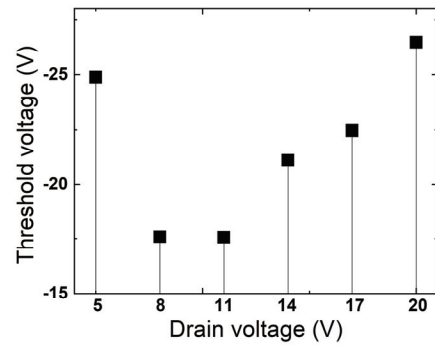


Fig. 7. Measured threshold voltage as a function of drain voltage in the fabricated MOSFET.

론적인 드레인 전류의 값은  $1.12 \text{ mA}$ 로 제작된 소자가 MOSFET 동작 특성을 보이는 것을 확인할 수 있다.

그림 7은 파라미터 분석기에 의해 계산된 드레인 전압에 따른 문턱전압의 변화를 나타냈다. 드레인 전압에 의한 문턱전압 변화는 최대  $9 \text{ V}$ 이다 (최대  $V_T$ :  $-17.5 \text{ V}$ , 최소  $V_T$ :  $-26.5 \text{ V}$ ).

문턱전압의 변화는 증착된 박막이 균일하지 않기 때문에 생기는 문제점 중의 하나로 박막의 균일성 확보를 통해 안정화시킬 수 있을 것으로 판단된다.

#### 4. 결론

본 연구에서는 Mist-CVD법으로 증착된 산화갈륨 박막을 채널로 사용하여 bottom-gate MOSFET을 제작했다. 증착된 산화갈륨 박막의 열처리 전후의 변화를 SEM과 XRD를 통해 분석하였으며, 이를 통해 열처리 후에 박막의 베타상 특성이 향상됨을 확인했다. 제작된 MOSFET의  $I_D$ - $V_G$  특성을 측정하여 증착된 산화갈륨 박막의 이동도가 약  $1.39 \text{ cm}^2/\text{V} \cdot \text{s}$ 임을 확인하였다. 또한 제작된 소자가 MOSFET 동작 특성에 부합하는지를 판단하기 위해 실제 측정된 드레인 전류 값과 이상적인 드레인 전류 값을 비교했다. 특정 포인트에서 실측된 전류 값은  $1 \text{ mA}$ 로, 이론적인 전류 값( $1.12 \text{ mA}$ )과 비교적 차이가 적음을 확인하였다. 문턱전압 변화량은 측정 범위에서 최대  $9 \text{ V}$ 로 동작 범위( $-50 \sim +50 \text{ V}$ )에 비해 크지는 않지만 증착된 박막의 균일성 및 소자의 전체적인 품질을 나타내는 척도로 개선할 필요가 있다.

#### ORCID

Si-Young Bae

<https://orcid.org/0000-0002-8284-0649>

### 감사의 글

이 논문은 2019년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. NRF-2019K1A3A1A80113337).

### REFERENCES

- [1] S. J. Pearton, J. Yang, P. H. Cary, F. Ren, J. Kim, M. J. Tadjer, and M. A. Mastro, *Appl. Phys. Rev.*, **5**, 011301 (2018). [DOI: <https://doi.org/10.1063/1.5006941>]
- [2] M. H. Wong, K. Goto, H. Murakami, Y. Kumagai, and M. Higashiwaki, *IEEE Electron Device Lett.*, **40**, 431 (2019). [DOI: <https://doi.org/10.1109/LED.2018.2884542>]
- [3] M. Higashiwaki, K. Sasaki, T. Kamimura, M. H. Wong, D. Krishnamurthy, A. Kuramata, T. Masui, and S. Yamakoshi, *Appl. Phys. Lett.*, **103**, 123511 (2013). [DOI: <https://doi.org/10.1063/1.4821858>]
- [4] M. Higashiwaki, K. Sasaki, A. Kuramata, T. Masui, and S. Yamakoshi, *Appl. Phys. Lett.*, **100**, 013504 (2012). [DOI: <https://doi.org/10.1063/1.3674287>]
- [5] K. Akaiwa, K. Kaneko, K. Ichino, and S. Fujita, *Jpn. J. Appl. Phys.*, **55**, 1202BA (2016). [DOI: <https://doi.org/10.7567/JJAP.55.1202BA>]
- [6] Y. An, L. Dai, Y. Wu, B. Wu, Y. Zhao, T. Liu, H. Hao, Z. Li, G. Niu, J. Zhang, Z. Quan, and S. Ding, *J. Adv. Dielectr.*, **9**, 1950032 (2019). [DOI: <https://doi.org/10.1142/S2010135X19500322>]
- [7] N. H. Kim and H. W. Kim, *Mater. Sci. Forum*, **475**, 3377 (2005). [DOI: <https://doi.org/10.4028/www.scientific.net/MSF.475-479.3377>]
- [8] H. Zhou, M. Si, S. Alghamdi, G. Qiu, L. Yang, and P. D. Ye, *IEEE Electron Device Lett.*, **38**, 103 (2017). [DOI: <https://doi.org/10.1109/LED.2016.2635579>]
- [9] D. Y. Guo, Z. P. Wu, Y. H. An, X. C. Guo, X. L. Chu, C. L. Sun, L. H. Li, P. G. Li, and W. H. Tang, *Appl. Phys. Lett.*, **105**, 023507 (2014). [DOI: <https://doi.org/10.1063/1.4890524>]
- [10] J. B. Varley, J. R. Weber, A. Janotti, and C. G. Van de Walle, *Appl. Phys. Lett.*, **97**, 142106 (2010). [DOI: <https://doi.org/10.1063/1.3499306>]
- [11] K. H. Kim, M. T. Ha, Y. J. Kwon, H. Lee, S. M. Jeong, and S. Y. Bae, *ECS J. Solid State Sci. Technol.*, **8**, Q3165 (2019). [DOI: <https://doi.org/10.1149/2.0301907jss>]
- [12] Y. Cheng, Y. Xu, Z. Li, J. Zhang, D. Chen, Q. Feng, S. Xu, H. Zhou, J. Zhang, Y. Hao, and C. Zhang, *J. Alloys Compd.*, **831**, 154776 (2020). [DOI: <https://doi.org/10.1016/j.jallcom.2020.154776>]
- [13] G. T. Dang, T. Kawaharamura, M. Furuta, and M. W. Allen, *IEEE Trans. Electron Devices*, **62**, 3640 (2015). [DOI: <https://doi.org/10.1109/TED.2015.2477438>]
- [14] Y. Zhang, F. Alema, A. Mauze, O. S. Koksaldi, R. Miller, A. Osinsky, and J. S. Speck, *APL Mater.*, **7**, 022506 (2019). [DOI: <https://doi.org/10.1063/1.5058059>]
- [15] X. C. Guo, N. H. Hao, D. Y. Guo, Z. P. Wu, Y. H. An, X. L. Chu, L. H. Li, P. G. Li, M. Lei, and W. H. Tang, *J. Alloys Compd.*, **660**, 136 (2016). [DOI: <https://doi.org/10.1016/j.jallcom.2015.11.145>]
- [16] Z. Chen, K. Nishihagi, X. Wang, K. Saito, T. Tanaka, M. Nishio, M. Arita, and Q. Guo, *Appl. Phys. Lett.*, **109**, 102106 (2016). [DOI: <https://doi.org/10.1063/1.4962538>]
- [17] H. Zhou, K. Maize, G. Qiu, A. Shakouri, and P. D. Ye, *Appl. Phys. Lett.*, **111**, 092102 (2017). [DOI: <https://doi.org/10.1063/1.5000735>]