

더블 게이트 구조 적용에 따른 IGZO TFT 특성 분석

김지원¹, 박기찬², 김용상³, 전재홍¹ 

¹ 한국항공대학교 항공전자정보공학부

² 건국대학교 전자공학부

³ 성균관대학교 전자전기공학부

Analysis of the Output Characteristics of IGZO TFT with Double Gate Structure

Ji Won Kim¹, Kee Chan Park², Yong Sang Kim³, and Jae Hong Jeon¹

¹ School of Electronics and Information Engineering, Korea Aerospace University, Goyang 10540, Korea

² Department of Electronics Engineering, Konkuk University, Seoul 05029, Korea

³ Department of Electrical and Computer Engineering, Sungkyunkwan University, Suwon 16419, Korea

(Received March 20, 2020; Revised April 13, 2020; Accepted April 13, 2020)

Abstract: Oxide semiconductor devices have become increasingly important because of their high mobility and good uniformity. The channel length of oxide semiconductor thin film transistors (TFTs) also shrinks as the display resolution increases. It is well known that reducing the channel length of a TFT is detrimental to the current saturation because of drain-induced barrier lowering, as well as the movement of the pinch-off point. In an organic light-emitting diode (OLED), the lack of current saturation in the driving TFT creates a major problem in the control of OLED current. To obtain improved current saturation in short channels, we fabricated indium gallium zinc oxide (IGZO) TFTs with single gate and double gate structures, and evaluated the electrical characteristics of both devices. For the double gate structure, we connected the bottom gate electrode to the source electrode, so that the electric potential of the bottom gate was fixed to that of the source. We denote the double gate structure with the bottom gate fixed at the source potential as the BGFP (bottom gate with fixed potential) structure. For the BGFP TFT, the current saturation, as determined by the output characteristics, is better than that of the conventional single gate TFT. This is because the change in the source side potential barrier by the drain field has been suppressed.

Keywords: IGZO, Oxide TFT, Double gate, Current saturation, DIBL

1. 서론

현재 고화질, 고효율, 대면적인 차세대 디스플레이가 요구되면서 응답 속도, 명암비, 색재현력 등의 측면에서 기존 액정 디스플레이(liquid crystal display, LCD)보

다 뛰어난 유기 발광 다이오드(organic light-emitting diode, OLED) 디스플레이 기술이 빠르게 발전하고 있다. 디스플레이 백플레인에 중요한 역할을 하는 박막 트랜지스터(thin film transistor, TFT)도 기존 비정질 실리콘(amorphous silicon, a-Si)과 다결정 실리콘(polycrystalline silicon, poly-Si)의 단점을 보완한 산화물(oxide) TFT의 연구가 진행되고 있다 [1,2]. 산화물 반도체는 비정질 실리콘보다 높은 이동도와 안정성 측면에서 뛰어나고, 다결정 실리콘보다 저렴하고 우수한 균일도 특성을 가지고 있어 차세대 디스플레이 백

✉ Jae Hong Jeon; jjh123@kau.ac.kr

Copyright ©2020 KIEEME. All rights reserved.
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

플레인에 적합한 물질로 개발되고 있다 [3]. 전류 구동 방식인 OLED 디스플레이에서 구동 TFT는 일정한 전류를 유지해야 하므로 전류 포화(current saturation)가 잘 되는지에 대한 여부가 중요하다. 최근 폴더블, 플렉서블 디스플레이의 발전과 디스플레이 고해상도 시대에 이르면서 TFT 소자의 채널 길이는 점점 짧아지고 있다. TFT의 채널 길이가 짧아지면 드레인 전압 증가에 따른 유효 채널 길이도 짧아지게 되면서 전류 포화 전압 이상에서 전류가 증가하는 현상이 나타난다. 이 현상은 OLED 디스플레이에서 구동 전류가 안정적으로 조절되기 어렵게 하며, 디스플레이 구동을 불안정하게 만든다 [4]. 소자의 소형화로 인해 발생하는 문제를 개선시키기 위해 새로운 소자 구조에 대한 연구가 활발히 진행되고 있다. 그중 더블 게이트 구조는 상부, 하부 게이트를 이용하여 채널을 제어하며 단일 게이트 구조의 소자보다 동작 전류를 증가시키고 이동도가 높다는 장점을 가지고 있다 [5-8]. 그러나 소자 구조에 있어서 게이트 전극이 한 개 더 추가되어야 하기 때문에 전극을 형성하기 위한 금속막 증착 공정, 포토리소그래피 공정 그리고 식각 공정이 1회씩 추가되어야 하는 단점도 있다.

본 연구에서는 더블 게이트 구조의 장점을 유지하고, 채널 길이가 짧아져도 전류 포화가 잘 되기 위한 새로운 소자 구조를 설계하였다. 상부 게이트 구조를 비교용 기본 소자로 채택하고 채널 길이가 짧아져도 전류 포화가 잘 될 수 있도록 고정 전위의 하부전극(bottom gate with fixed potential, BGFP)을 갖는 구조를 설계하였다. BGFP를 갖는 소자와 BGFP가 없는 기본 소자도 함께 제작하여 두 종류 소자의 전기적 특성을 측정하고 측정 결과를 분석하였다.

2. 실험 방법

2.1 소자 제작 과정

IGZO TFT 구조는 그림 1과 같이 상부 게이트를 갖는 기본 소자와 BGFP 구조로 제작하였다. 기본 소자 [그림 1(a)]는 유리기판 위에 PECVD로 실리콘산화물(SiO_2) 400 nm를 증착한 후 IGZO 50 nm를 DC 스퍼터로 증착하였다. 게이트 절연막은 SiO_2 140 nm를 증착하였고, 게이트 전극은 구리(Cu) 500 nm를 증착한 후 패터닝을 진행하였다. 소스/드레인 영역은 수소 플라즈마 방식을 통해 도핑되었고, 자기 정렬(self align)

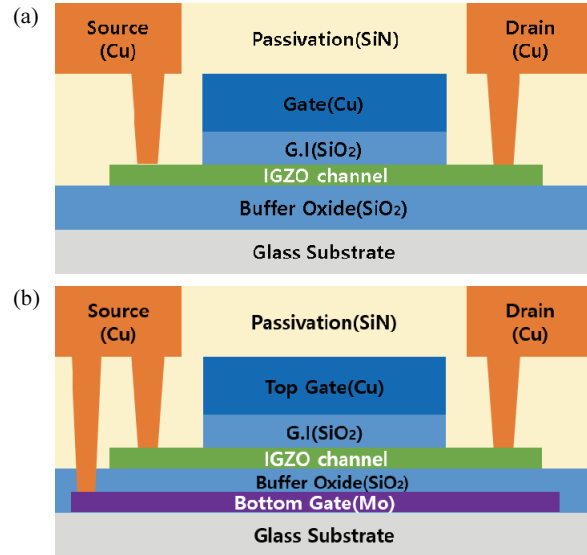


Fig. 1. The schematic of the IGZO TFT (a) normal structure and (b) BGFP structure.

방식이 적용되었다 [9]. 보호막으로 실리콘ไน트라이드(SiN) 550 nm를 증착한 후 소스/드레인 전극으로는 Cu 550 nm 증착하였다. 모든 전극과 활성층의 패터닝 공정은 포토리소그래피와 습식 식각 공정을 활용하여 진행되었다.

그림 1(b)는 BGFP 구조를 나타낸다. 해당 소자는 유리기판에 하부 게이트 전극으로 몰리브덴(Mo) 100 nm를 증착 후 패터닝을 한 뒤 기본 소자의 공정과정과 동일하게 제작되었고, 하부 게이트는 소스 단자와 연결하여 소스 전위와 등전위가 되도록 하였다. 측정은 semiconductor characterization system 4200-SCS를 사용하여 빛을 차단한 암실에서 측정하였다.

2.2 BGFP 소자 특징

채널 길이가 짧아져도 전류 포화가 잘 될 수 있도록 설계된 BGFP 구조의 특징은 하부 게이트와 소스를 연결했기 때문에 두 전극에 항상 동일한 전압이 인가된다는 것이다. 기존의 더블게이트 구조에서는 상부 게이트와 하부 게이트를 연결시켜 주기 때문에 두 게이트의 전압이 동일하여 하나의 채널을 갖는 기본 소자 구조보다 더 많은 전류를 흘릴 수 있고, 이동도가 향상되는 장점이 있다 [10]. 본 논문에서 제안한 BGFP 구조는 출력특성 곡선에서 전류가 포화되어 일정하게 유지하기 위해 설계하였고, 하부 게이트와 소스에 같은 전압을 인가하여 기존 더블 게이트 구조와 차별화된다고 할 수 있다.

3. 결과 및 고찰

3.1 I-V 측정 및 분석

그림 2는 두 소자의 전달 특성을 보여준다. 드레인 전압을 0.1 V, 1 V, 5 V, 10 V를 인가한 상태로 게이트 전압을 -15~20 V까지 0.1 V 간격으로 인가하였을 때의 드레인 전류를 측정하였다. 그림 2(a)와 (b)를 보면, 드레인 전압 10 V이고 게이트 전압이 20 V일 때 기본 소자의 드레인 전류는 78 μ A, BGFP 소자의 드레인 전류는 91 μ A로 측정되었다. BGFP 구조는 하부 게이트와 소스 단자가 연결되어 있으므로 하부 게이트의 전위가 0 V로 고정되었기 때문에 BGFP 소자가 기본 소자보다 누설 전류가 높게 측정된다.

표 1은 기본 소자와 BGFP 소자의 크기와 특성을 보여준다. 표기된 채널 폭과 길이는 실제 제작된 소자의 실측값을 기재하였고, 기본 소자는 채널 폭이 14 μ m,

길이는 5 μ m이고 BGFP 소자는 채널 폭이 24 μ m, 길이는 7 μ m이다. BGFP 소자의 이동도가 8.38 cm^2/Vs 로 기본 소자의 이동도 8.17 cm^2/Vs 보다 더 높고, 각각의 문턱 전압은 0.72 V, 0.91 V로 추출되었다. DC 스퍼터를 통해 IGZO를 증착하는 과정에서 막 내의 트랩이 적게 제작되었기 때문에 BGFP 구조의 이동도가 높게 측정된 것으로 사료된다.

Table 1. Comparison of TFT characteristics.

	Normal TFT	BGFP TFT
Width (μm)	14	24
Length (μm)	5	7
Mobility (cm^2/Vs)	8.17	8.38
V_{th} (V)	0.91	0.72

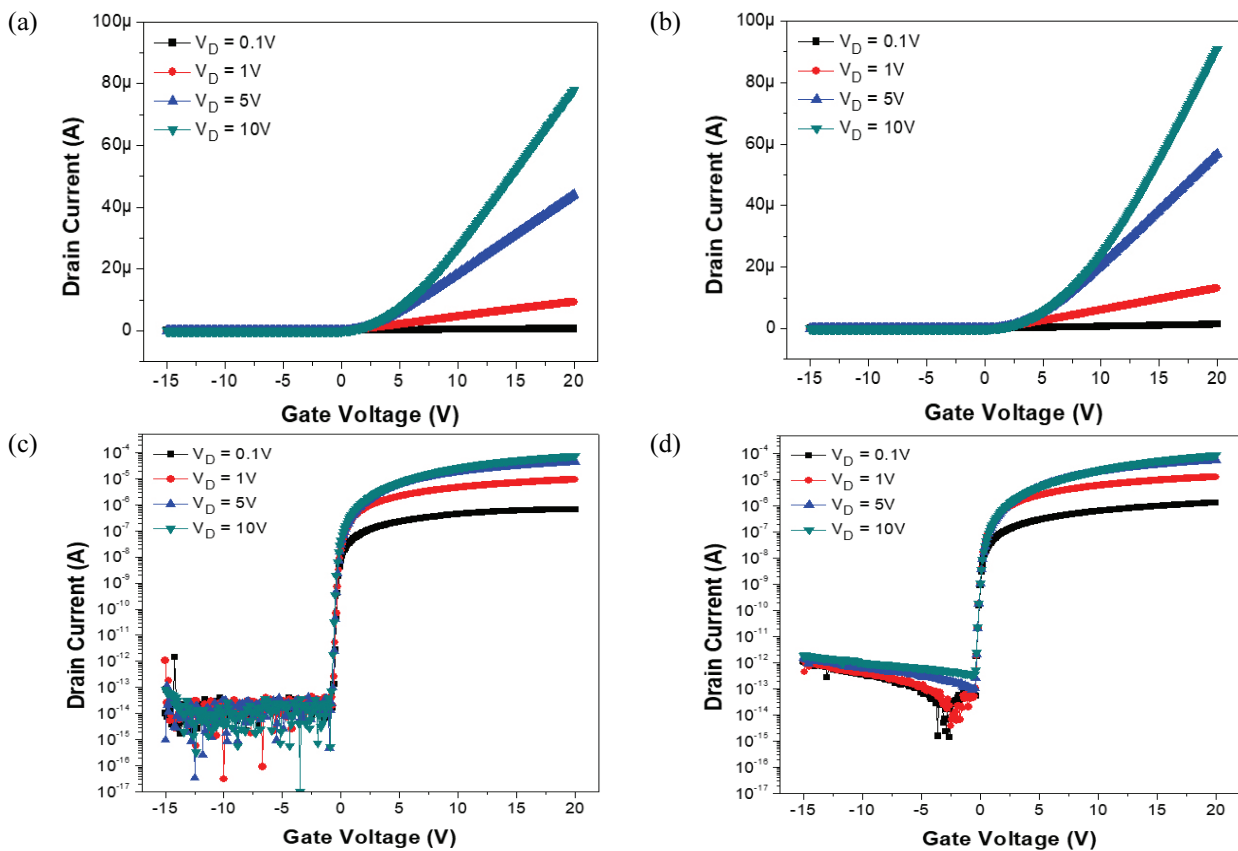


Fig. 2. The transfer curve of IGZO TFT (a) normal structure, (b) BGFP structure in linear scale, (c) normal structure, and (d) BGFP structure in log scale.

3.2 BGFP 소자 분석

그림 3은 기본 소자와 BGFP 소자의 출력특성 곡선을 보여준다. 드레인 전압을 0~15 V까지 0.1 V 간격으로 인가하였을 때의 드레인 전류를 측정했기 때문에 이 때 게이트 전압은 각각 2 V, 4 V, 6 V, 8 V, 10 V를 인가한 상태로 측정되었다. 기본 소자의 경우, 펀치 오프 전압이 크고 전류 포화가 되지 않아서 드레인 전류가 계속 증가하였다. 채널 길이가 10 μm 보다 짧아지면, 소스 쪽 표면 전위가 드레인 전압에 의해 영향을 받는 현상이 나타나고 이를 드레인 전압에 의한 장벽 강하(drain induced barrier lowering, DIBL)라고 한다.

그림 4(a)는 긴 채널과 짧은 채널일 때의 IGZO TFT 구조와 채널 표면 위치에 따른 전자 전위 에너지를 나타낸다. 긴 채널(A-B')일 때의 특징은 점선으로, 짧은 채널(A-B)일 때의 특징은 실선으로 표시하였다. 채널 길이가 짧아질수록 드레인 전압에 의해 소스 위치에서의 전위 장벽(ϕ)이 낮아지고, $\phi_1 - \phi_2$ 만큼의 DIBL 현상이 나타난다. 전위 장벽이 낮아진 만큼 소스에서 채널로의 전자의 주입량이 증가하게 되고 이로 인해 드

레인 전류가 증가하게 되어 전류 포화가 어려워지게 된다 [11].

그림 4(b)와 (c)는 기본 소자와 BGFP 소자에서의 구조 차이와 전자 전위 에너지를 나타낸다. 두 소자 모두 짧은 채널(A-B)을 가지고 있지만, BGFP 소자의 경우 하부 게이트가 소스와 동일한 전위를 가지기 때문에 드레인 전압의 영향이 소스 위치까지 도달하지 못하고 전위 장벽이 낮아지는 것을 막는 역할을 한다. 따라서 BGFP 소자는 펀치 오프 전압이 기본 소자보다 작고 전류 포

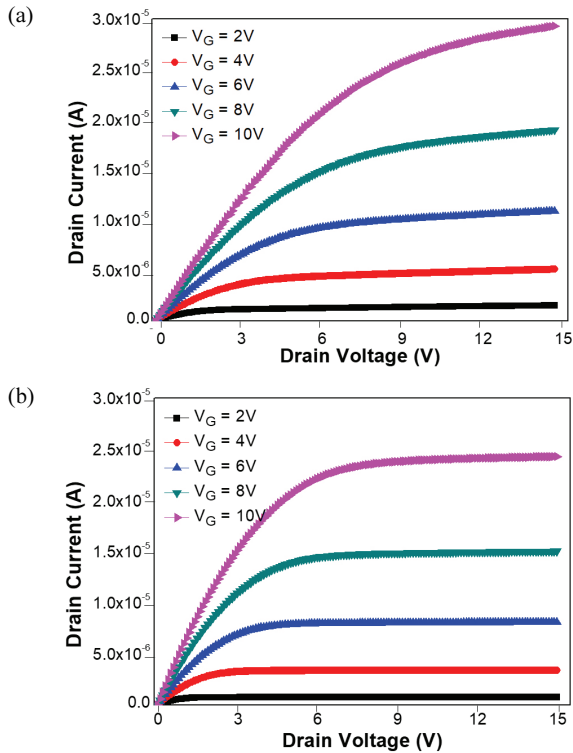


Fig. 3. The output curve of IGZO TFT (a) normal structure and (b) BGFP structure.

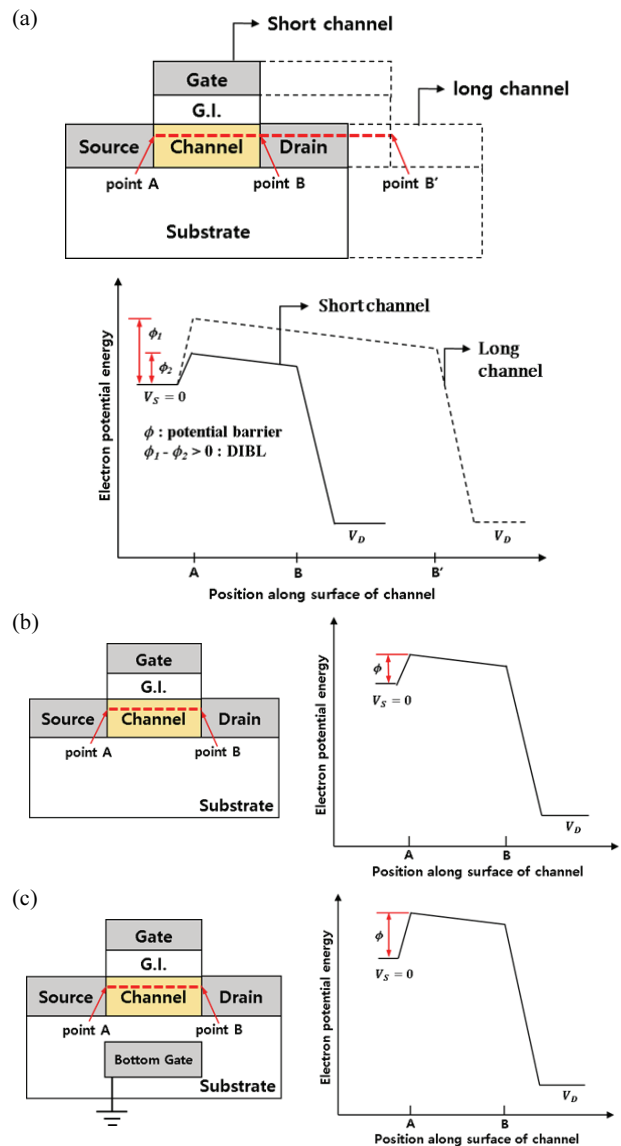


Fig. 4. The schematic of the IGZO TFT structure and electron potential energy according to position along surface of channel. (a) Long channel and short channel, (b) normal structure, and (c) BGFP structure.

화도 잘 유지되어서 기본 소자보다 드레인 전류가 덜 증가한다. 이는 BGFP 소자의 구조가 DIBL의 영향을 낮출 수 있기 때문이다. BGFP 구조에서 하부 게이트를 0 V로 고정시키면, 드레인 전압을 증가시키더라도 하부 게이트가 MOSFET의 바디 단자와 비슷한 역할을 하게 되고 드레인 전계가 채널과 소스에 영향을 크게 미치지 못하므로 소스 쪽 전위 장벽이 그대로 유지되어 전류가 증가하지 못하게 된다. 그러므로 BGFP 소자의 출력특성 곡선에서 전류가 더 많이 증가하지 않고 전류가 포화되는 모습을 확인할 수 있다.

4. 결론

현재 우수한 전기적 특성을 가진 IGZO TFT는 디스플레이 백플레인 소자로 많은 연구가 진행 중이다. 본 연구에서는 IGZO TFT를 기본 소자와 채널 길이가 짧아져도 전류 포화가 잘 될 수 있도록 설계된 BGFP 소자로 제작하였고 두 소자의 전기적 특성을 평가하였다. BGFP 소자의 경우, 하부 게이트와 소스를 연결하여 두 전극이 등전위가 되도록 하여 출력특성에서의 전류 포화가 기본 소자보다 잘 나타남을 확인하였다. 이는 BGFP 소자의 하부 게이트가 소스와 등전위를 인가하여 드레인 전계에 의한 소스 쪽 전위 장벽 변화를 억제할 수 있었기 때문이다. BGFP 소자는 채널 길이가 짧아지더라도 하부 게이트가 고정 전위를 가지고 있어서 전류를 일정하게 유지해야 하는 OLED 디스플레이 백플레인 TFT 소자로 적합할 것으로 예측된다. 차세대 디스플레이의 발전으로 TFT 소자의 채널 길이가 점점 짧아지고 있다. 본 연구 결과를 통해 IGZO TFT의 전류 포화 현상을 새로운 소자 구조의 제작 및 측정 결과로 확인하였고, OLED 디스플레이에서 IGZO TFT가 구동 TFT로 쓰일 때 일정한 전류 유지가 가능할 것으로 기대한다.

ORCID

Jaehong Jeon

<https://orcid.org/0000-0002-7029-4302>

감사의 글

본 연구는 경기도의 경기도 지역협력연구센터(GRRC) 사업의 일환으로 수행하였음 [GRRC-KAU-2019-B03, 극장용 영사기 및 스크린 대체를 위한 투움 디스플레이 개발].

REFERENCES

- [1] E. Fortunato, *Adv. Mater.*, **24**, 2945 (2012). [DOI: <https://doi.org/10.1002/adma.201103228>]
- [2] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, **432**, 488 (2004). [DOI: <https://doi.org/10.1038/nature03090>]
- [3] T. Kamiya, K. Nomura, and H. Hosono, *J. Disp. Technol.*, **5**, 273 (2009). [DOI: <https://doi.org/10.1109/JDT.2009.2021582>]
- [4] S. Jeon, A. Benayad, S. E. Ahn, S. Park, I. Song, C. Kim, and U. I. Chung, *Appl. Phys. Lett.*, **99**, 082104 (2011). [DOI: <https://doi.org/10.1063/1.3623426>]
- [5] K. S. Son, J. S. Jung, K. H. Lee, T. S. Kim, J. S. Park, Y. H. Choi, K. C. Park, J. Y. Kwon, B. Koo, and S. Y. Lee, *IEEE Electron Device Lett.*, **31**, 219 (2010). [DOI: <https://doi.org/10.1109/LED.2009.2038805>]
- [6] K. Abe, K. Takahashi, A. Sato, H. Kumomi, K. Nomura, T. Kamiya, J. Kanicki, and H. Hosono, *IEEE Trans. Electron Devices*, **59**, 1928 (2011). [DOI: <https://doi.org/10.1109/TED.2012.2195008>]
- [7] H. Lim, H. Yin, J. S. Park, I. Song, C. Kim, J. C. Park, S. Kim, S. W. Kim, C. B. Lee, Y. C. Kim, Y. S. Park, and D. Kang, *Appl. Phys. Lett.*, **93**, 063505 (2008). [DOI: <https://doi.org/10.1063/1.2967456>]
- [8] K. S. Son, J. S. Jung, K. H. Lee, T. S. Kim, J. S. Park, K. C. Park, J. Y. Kwon, B. Koo, and S. Y. Lee, *IEEE Electron Device Lett.*, **31**, 812 (2010). [DOI: <https://doi.org/10.1109/LED.2010.2050294>]
- [9] C. H. Wu, H. H. Hsieh, C. W. Chien, and C. C. Wu, *J. Disp. Technol.*, **5**, 515 (2009). [DOI: <https://doi.org/10.1109/JDT.2009.2026189>]
- [10] G. Baek, K. Abe, A. Kuo, H. Kumomi, and J. Kanicki, *IEEE Trans. Electron Devices*, **58**, 4344 (2011). [DOI: <https://doi.org/10.1109/TED.2011.2168528>]
- [11] D. A. Neamen, *Semiconductor Physics and Devices, 4th ed.* (McGraw-Hill, 2012) p. 457.