


P-Emitter의 길이, 구조가 Asymmetric SiC MOSFET 소자 성능에 미치는 영향

김동현, 구상모 

광운대학교 전자재료공학과

Effect of P-Emitter Length and Structure on Asymmetric SiC MOSFET Performance

Dong-Hyeon Kim and Sang-Mo Koo

Department of Electronic Materials Engineering, Kwang-woon University, Seoul 01897, Korea

(Received October 21, 2019; Revised December 4, 2019; Accepted December 16, 2019)

Abstract: In this letter, we propose and analyze a new asymmetric structure that can be used for next-generation power semiconductor devices. We compare and analyze the electrical characteristics of the proposed device with respect to those of symmetric devices. The proposed device has a p-emitter on the right side of the cell. The peak electric field is reduced by the shielding effect caused by the p-emitter structure. Consequently, the breakdown voltage is increased. The proposed asymmetric structure has an approximately 100% higher Baliga's figure of merit ($\sim 94.22 \text{ MW/cm}^2$) than the symmetric structure ($\sim 46.93 \text{ MW/cm}^2$), and the breakdown voltage of the device increases by approximately 70%.

Keywords: SiC, Symmetric trench MOSFET, Asymmetric trench MOSFET, Gate oxide field, Breakdown voltage

1. 서론

4H-SiC는 에너지 밴드갭이 넓고 낮은 캐리어 농도를 가진 반도체 재료로서 Si와 비교하여 10배 이상의 절연파괴강도와 3배 이상의 열전도도 그리고 3배 정도의 포화드리프트 속도로 동작함에 따라 SiC MOSFET은 Si IGBT와 비교하여 스위칭 회로에서 보다 짧은 스위칭 시간 및 더 높은 속도와 더 낮은 손실을 가진다. 현재 시장에 나와 있는 부품의 대부분은 SiC의 planar DMOSFET을 기초로 한다. 그러나 기존 planar DMOSFET 구조의 단점을 보완하기 위해 JFET 영역을 없앤 trench MOSFET이 제안되었고, 이는 보다 더 낮은 $R_{on,sp}$ 를

가지며 더 높은 채널 밀도를 가진다 [1-4].

본 논문에서는 기존의 symmetric trench MOSFET과 asymmetric 구조 trench MOSFET을 비교한다. Off 상태에서 trench MOS 구조의 경우 trench 영역의 하단부 모서리 부근에 전계가 집중된다. 이 특정 셀 asymmetric 구조 trench MOSFET과 관련하여 전계 최댓값은 왼쪽 trench 가장자리에서 찾을 수 있다. Asymmetric trench 구조는 게이트 산화물 아래에 p-emitter를 가지기 때문에 p-emitter에 의한 전계 분산으로 인해 항복전압과 $R_{on,sp}$ 사이의 trade-off를 개선시킬 수 있다 [1,5]. 본 논문에서는 비대칭 구조를 가진 trench MOSFET 구조에, 게이트 산화물-막 하단부의 p-emitter 부분의 길이인 P_L 을 조절하여 개선된 온 저항과 전기장을 확인하였다. 2차원 소자 시뮬레이터인 Silvaco를 사용해 symmetric trench MOSFET과 asymmetric trench MOSFET을 비교하였다 [6].

✉ Sang-Mo Koo; smkoo@kw.ac.kr

2. 실험 방법

2.1 소자 구조 및 simulation

본 연구에서는 일반적인 symmetric 구조를 가지는 trench MOSFET 소자와 제안된 asymmetric 구조를 가지는 trench MOSFET을 비교하였다. 그림 1은 기존의 symmetric trench 구조를 가지는 MOSFET과 제안된 asymmetric trench 구조를 가지는 MOSFET을 나타낸 것이다. 그림 1의 소자는 고전압, 대전류 동작을 위한 소자를 구현하기 위해 농도 및 두께가 각각 $4 \times 10^{15} \text{ cm}^{-3}$ 및 $15 \mu\text{m}$ 인 n-type 4H-SiC를 사용하였다. 표 1은 두 trench MOSFET 구조에 따른 파라미터를 나타낸다. 소자의 크기는 표 1에 표기된 바와 같이 trench에서 절연막 두께는 $0.5 \mu\text{m}$, trench 깊이는 $1.6 \mu\text{m}$, 셀간 거리는 $4.7 \mu\text{m}$ 등으로 설정하였다. 그림 1(b)에서 trench 게이트 밑에 있는 p-emitter 부위는 이온주입에 의해 형성될 수 있다. Asymmetric trench MOSFET의 경우 p-emitter의 도핑농도를 $5 \times 10^{18} \text{ cm}^{-3}$ 값을 설정하였다.

그림 1(a)의 경우 symmetric trench MOSFET의

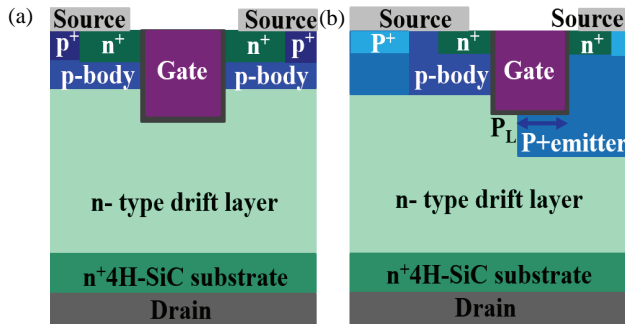


Fig. 1. (a) Symmetric trench MOSFET and (b) asymmetric trench MOSFET structure.

Table 1. Parameters of symmetric and asymmetric structures.

Parameter	Symmetric	Asymmetric	Unit
Cell pitch	4.7	4.7	μm
Drift region thickness	15	15	μm
Drift region doping	4×10^{15}	4×10^{15}	$/\text{cm}^3$
P-body doping	1×10^{17}	1×10^{17}	$/\text{cm}^3$
P-emitter doping	-	5×10^{18}	$/\text{cm}^3$
N+, P+	2×10^{19}	2×10^{19}	$/\text{cm}^3$
Oxide thickness	0.5	0.5	μm
Trench depth	1.6	1.6	μm

기본구조이며, 최근에 SiC trench MOSFET의 경우는 gate 하단에 대칭구조에서도 buried p-well (BPW) [7] 또는 thick oxide [8]를 반영한 연구가 진행되고 있다. 본 논문의 경우, 대칭구조와 비대칭구조 비교에 대한 측면 외에 주로 asymmetric 구조의 경우, P_L 의 길이가 변화하면서, bottom oxide 부분의 protection well 영역의 증가함에 따른 전기적 특성을 중점적으로 분석하였다. 또한 P_L 의 길이가 $1.2 \mu\text{m}$ 인 경우 bottom oxide 하단부의 전체부분을 protection 하는 구조이다.

3. 결과 및 고찰

기존의 symmetric과 새롭게 제안된 asymmetric 구조에서의 gate 밑 부분의 p-emitter 길이 변화를 통한 전계분포와 항복전압 및 온 저항 등 정적 특성을 시뮬레이션을 통해 분석하였다. P-emitter의 길이는 P_L 로 표시한다. Asymmetric trench MOSFET 구조의 파라미터는 표 1과 같으며, 다른 구조의 경우 p-emitter의 길이 변화만 가지며 기존 파라미터는 같다. 다만 asymmetric trench MOSFET은 한쪽에 p-emitter 구조가 있으므로 이 영역의 두께가 $1.8 \mu\text{m}$ 이며, 도핑 농도가 $5 \times 10^{18} \text{ cm}^{-3}$ 이다.

각 구조별 항복 전압특성은 그림 2에서 확인할 수 있다. 기존 Ref.인 symmetric trench MOSFET구조는 $1,700 \text{ V}$ 의 항복전압을 가진다 [3]. Asymmetric trench 구조에서 게이트 밑 부분 p-emitter의 길이를 나타내는 P_L 이 $1.2 \mu\text{m}$ 부터 $0.3 \mu\text{m}$ 까지 항복전압이 $3,100 \text{ V}$, $2,900 \text{ V}$, $2,500 \text{ V}$, $2,050 \text{ V}$ 점차 낮아지는 것

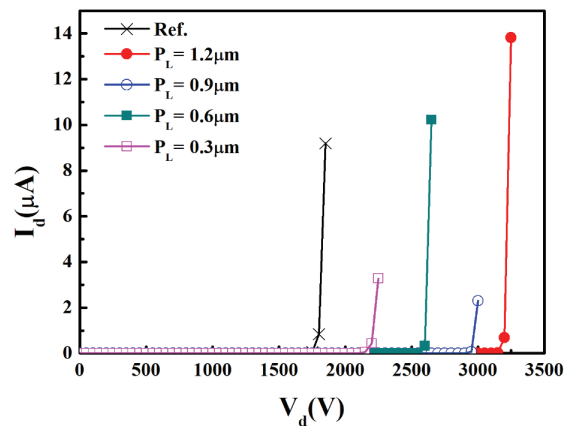


Fig. 2. Comparison of breakdown voltage with Ref. and P_L length changes.

을 확인할 수 있다. symmetric 구조보다 asymmetric 구조에서 게이트 밑 부분을 P_L 이 1.2 μm 로 다 덮고 있을 경우 항복전압이 약 82%가량 증가한 것을 알 수 있다.

그림 3에서는 각 구조별 문턱전압을 확인할 수 있다. (a) 드레인 전압이 1 V일 때, (b) 드레인 전압이 10 V일 때, 각 구조별로 게이트 전압의 변화에 따른 드레인 전류를 측정하였다. 이때 문턱전압은 약 5 V로 큰 차이를 가지지 않지만 드레인 전류의 차이를 확인할 수 있다. 따라서 각 구조별 output 특성비교를 한 그림 4를 통해 $R_{on,sp}$ 값을 도출해 낼 수 있다. 게이트 전압을 7 V 주었을 때, 각 구조별로 드레인 전압의 변화에 따른 드레인 전류를 측정하였다. Ref. 구조는 R_{on} 의 값이 $2.61 \text{ m}\Omega \cdot \text{cm}^2$ 이며, P_L 의 길이가 1.2 μm , 0.9 μm , 0.6 μm , 0.3 μm 차례일 때, R_{on} 은 $5.74 \text{ m}\Omega \cdot \text{cm}^2$, $3.57 \text{ m}\Omega \cdot \text{cm}^2$, $3.28 \text{ m}\Omega \cdot \text{cm}^2$, $3.11 \text{ m}\Omega \cdot \text{cm}^2$ 이다. Asymmetric trench MOSFET 구조는 Ref. 기존의 온 저항에 비해서는 약 54% 증가한 것을 확인할 수 있다 [9].

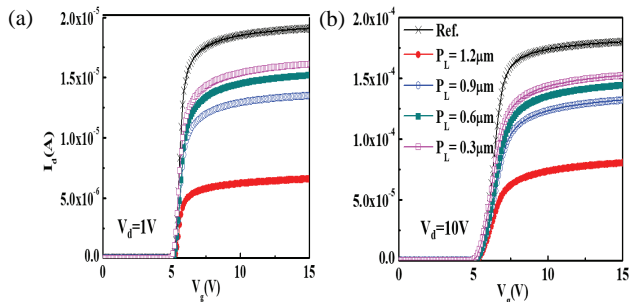


Fig. 3. Comparison of threshold voltage with Ref. and P_L length changes. (a) $V_{ds} = 1 \text{ V}$ and (b) $V_{ds} = 10 \text{ V}$.

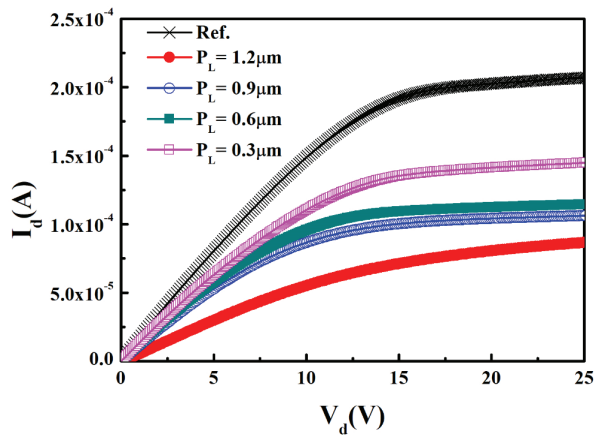


Fig. 4. Comparison of output with Ref. and P_L length changes.

그림 5(a)는 asymmetric trench MOSFET 구조에서 전계분포영역을 나타내고 항복이 발생하였을 때 P_L 의 길이가 (c)부터 (g)까지 1.2 μm , 0.9 μm , 0.6 μm , 0.3 μm 로 줄어들며 (g)는 symmetric trench인 Ref. 구조일 때 채널영역과 게이트 하단부 전계분포를 나타낸다. 그림 5(g) 경우 채널영역과 게이트 하단부 부분에 전계가 최대 전계인 11 MV/cm로 집중되는 것을 확인할 수 있다. 드레인 전압을 상승시키면 채널영역과 게이트 하단부 영역에 매우 높은 전계가 가해지는 것을 확인할 수 있는데, asymmetric trench MOSFET의 경우 p-emitter가 p-shielding 역할을 하게 되어 게이트 산화막 영역에 높은 전계가 걸리는 현상을 막아준다. 따라서 그림 5(c)에서는 게이트 산화막 영역을 p-emitter로 모두 감싼 1.2 μm 로 전계가 분산되어 가장 낮은 전계값인 3.6 MV/cm 이하 값을 가지게 된다. 즉 asymmetric trench MOSFET의 경우 기존의 Ref.인 symmetric trench MOSFET에 비하여 전계가 분산되어 전계값이 낮은 것을 확인할 수 있다.

그림 5(b)는 드레인 전압이 1,700 V일 때, 각 구조별 A부터 A'까지의 대각선 방향 전계분포이다. 그림 5(b)는 x축이 채널영역과 게이트 하단부에 위치하였을 때 각 구조별 전계분포를 확인하였다. Ref. 구조를 가질 때 가장 높은 전계인 11 MV/cm를 가지는 것을 확인할 수 있다. 또한 P_L 이 0.3 μm 부터 1.2 μm 까지 길어

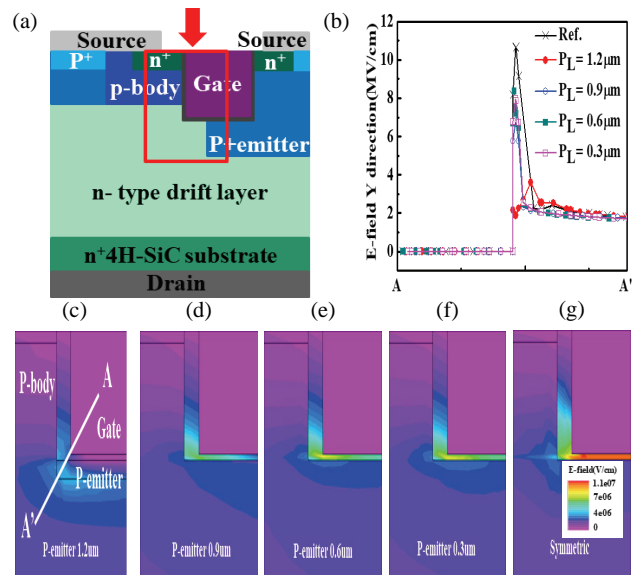


Fig. 5. (a) Asymmetric structure, (b) x-axis is A to A' when the drain voltage is 1700 V, comparison of E-field distribution, (c) $P_L=1.2 \mu\text{m}$, (d) $P_L=0.9 \mu\text{m}$, (e) $P_L=0.6 \mu\text{m}$, (f) $P_L=0.3 \mu\text{m}$, and (g) Ref.

질 때 전계값이 낮아지는 것을 볼 수 있으며 1.2 μm 일 때 가장 낮은 전계값인 3.6 MV/cm을 가지는 것을 확인할 수 있고, 앞서 설명한 p-emitter 영역이 p-shielding 역할을 하게 되어 채널영역과 게이트 하단부에 집중되는 전계를 분산시켜 주었기 때문이다.

다음으로 그림 6은 Ref.와 asymmetric 구조에서의 P_L 의 길이 변화에 따른 $R_{on,sp}$ 와 소자성능지수인 Baliga's Figure of Merit (BFOM)을 식 (1)에 나타내었다.

$$BFOM = \frac{4 \times BV^2}{R_{on,sp}} \quad (1)$$

각 구조를 비교해 보면 $R_{on,sp}$ 가 asymmetric 구조에서 Ref.보다 높은 것을 볼 수 있지만, 전체적인 소자성능지수를 비교하였을 때는 더욱 개선된 구조임을 확인할 수 있다. 또한 P_L 의 길이가 0.9 μm 일 때 가장 좋은 소자성능지수를 가지는 것을 확인할 수 있다.

표 2에서 시뮬레이션을 통해 얻은 각 구조의 정적 특성을 요약한 것이다. 제안한 asymmetric 구조는 온저항 특성이 증가하는 특성을 가졌지만, 항복전압이 대폭 개선되어서 전체적인 소자성능지수를 따져 보았을 때 매우 향상되는 것을 확인할 수 있다.

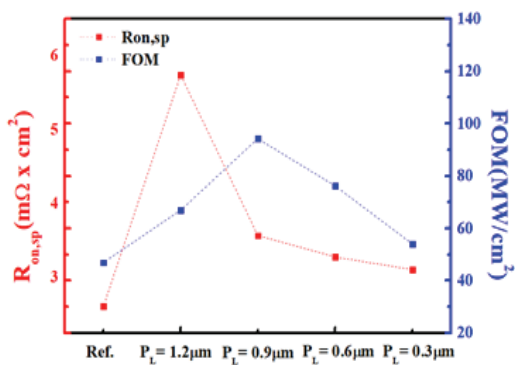


Fig. 6. Comparison of $R_{on,sp}$ and FOM with Ref. and P_L length changes.

Table 2. Comparison of electrical characteristic with Ref. and P_L length changes.

	Ref.	$P_L=1.2$	$P_L=0.9$	$P_L=0.6$	$P_L=0.3$	Unit
V_b (V)	1,700	3,100	2,900	2,500	2,050	V
$R_{on,sp}$	2.61	5.74	3.57	3.28	3.11	$m\Omega \cdot cm^2$
V_{th}	5.36	5.24	5.29	5.3	5.16	V
FOM	46.93	66.96	94.22	76.21	54.05	MW/cm^2

4. 결론

본 논문에서는 기존의 symmetric trench 구조에 한쪽에 p-emitter를 추가한 asymmetric trench 구조를 분석하였다. 분석한 구조의 정적 특성이 이전 구조보다 개선되는 것을 시뮬레이션을 통해 확인하였다. p-emitter의 도입으로 전계가 집중되는 것을 막아 주어 항복전압이 개선된다. 항복전압의 개선을 통해 얻은 이득으로 높은 소자성능지수를 얻을 수 있었다.

최근 infineon사에서 발표된 SiC trench MOSFET의 구조와 유사한 구조에 대한 특허를 등록하고 제품을 출시한 바 있으나, 논문 등의 문헌에는 도핑과 길이 등의 기본 구조가 정량적으로 명시되어 있지 않고, 주요 파라미터가 설계에 미치는 영향을 연구한 결과는 보고되고 있지 않다. 본 논문에서는 비대칭구조의 주요 파라미터로서 P_L 이 소자 특성에 미치는 영향을 분석하였고, 특히 전형적인 asymmetric 구조와는 달리 트랜치게이트 하단을 완전히 덮은 구조를 포함하여 비교하였다. Asymmetric trench MOSFET 구조에서 가장 좋은 소자성능지수를 가지는 항복전압은 2,900 V로 기존 구조에 비해 약 70% 증가하였으며 FOM은 약 100%로 대폭 향상되었다. 제안된 구조는 온저항이 약간 증가하였지만, 항복전압이 매우 개선되었기 때문에 기존의 구조보다 우수한 정적 특성을 가진다. 따라서 소자의 동작에 있어서 전력 손실을 낮추고, 에너지 효율 또한 높일 수 있다.

ORCID

Sang-Mo Koo

<https://orcid.org/0000-0002-9827-9219>

감사의 글

This work was supported by the Korea Electric Power Corporation (R17XA05-60), GRDC Program through the National Research Foundation(NRF) funded by the MSIT of Korea (NRF-2017K1A4A3013716).

REFERENCES

- [1] D. Peters, T. Basler, B. Zippelius, T. Aichinger, W. Bergner, R. Esteve, D. Kueck, and R. Siemieniec, *Proc. PCIM Europe 2017; International Exhibition and Conference for Power*

- Electronics, Intelligent Motion, Renewable Energy and Energy Management* (VDE, Nuremberg, Germany, 2017) p. 1. [DOI: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=7990686>]
- [2] S. Ryu, C. Capell, E. Van Brunt, C. Jonas, M. O'Loughlin, J. Clayton, K. Lam, V. Pala, B. Hull, Y. Lemma, D. Lichtenwalner, Q. J. Zhang, J. Richmond, P. Butler, D. Grider, J. Casady, S. Allen, J. Palmour, M. Hinojosa, C. W. Tipton, and C. Scozzie, *Semicond. Sci. Technol.*, **30**, 084001 (2015). [DOI: <https://doi.org/10.1088/0268-1242/30/8/084001>]
- [3] T. Kimoto and J. A. Cooper, *Fundamentals of Silicon Carbide Technology: Growth, Characterization, Devices, and Applications* (John Wiley & Sons Singapore Pte. Ltd. 2014).
- [4] K. Matocha, S. Banerjee, and K. Chatty, *Mater. Sci. Forum*, **858**, 803 (2016). [DOI: <https://doi.org/10.4028/www.scientific.net/msf.858.803>]
- [5] R. Siemieniec, D. Peters, R. Esteve, W. Bergner, D. Kück, T. Aichinger, T. Basler, and B. Zippelius, *Proc. 2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)* (IEEE, Warsaw, Poland, 2017) p. 1. [DOI: <https://doi.org/10.23919/EPE17ECCEEurope.2017.8098928>]
- [6] W. Ni, X. Wang, M. Xu, Q. Wang, C. Feng, H. Xiao, L. Jiang, and W. Li, *IEEE Electron Device Lett.*, **40**, 698 (2019). [DOI: <https://doi.org/10.1109/LED.2019.2908253>]
- [7] A. Oraon, S. Shreya, R. Kumari, and A. Islam, *Proc. 2017 7th International Symposium on Embedded Computing and System Design (ISED)* (IEEE, Durgapur, India, 2017) p. 1. [DOI: <https://doi.org/10.1109/ISED.2017.8303939>]
- [8] H. Takaya, J. Morimoto, K. Hamada, T. Yamamoto, J. Sakakibara, Y. Watanabe, and N. Soejima, *Proc. 2013 25th International Symposium on Power Semiconductor Devices & IC's (ISPSD)* (IEEE, Kanazawa, Japan, 2013) p. 43. [DOI: <https://doi.org/10.1109/ISPSD.2013.6694394>]
- [9] Y. Wang, Y. C. Ma, Y. Hao, Y. Hu, G. Wang, and F. Cao, *IEEE Trans. Electron Devices*, **64**, 3719 (2017). [DOI: <https://doi.org/10.1109/TED.2017.2723502>]