

높은 항복전압(>1,000 V)을 가지는 Circular β -Ga₂O₃ MOSFETs의 특성

조규준 , 문재경 , 장우진, 정현욱

한국전자통신연구원 RF/전력부품연구실

Characteristics of Circular β -Ga₂O₃ MOSFETs with High Breakdown Voltage (>1,000 V)

Kyu Jun Cho, Jae-Kyong Mun, Woojin Chang, and Hyun-Wook Jung

RF/Power Components Research Group, Electronics and Telecommunications Research Institute, Daejeon 34129, Korea

(Received October 31, 2019; Revised December 2, 2019; Accepted December 4, 2019)

Abstract: In this study, MOSFETs fabricated on Si-doped, MBE-grown β -Ga₂O₃ are demonstrated. A Si-doped Ga₂O₃ epitaxial layer was grown on a Fe-doped, semi-insulating 1.5 cm × 1 cm Ga₂O₃ substrate using molecular beam epitaxy (MBE). The fabricated devices are circular type MOSFETs with a gate length of 3 μ m, a source-drain spacing of 20 μ m, and a gate width of 523 μ m. The device exhibited a good pinch-off characteristic, a high on-off drain current ratio of approximately 2.7×10^9 , and a high breakdown voltage of 1,080 V, which demonstrates the potential of Ga₂O₃ for power device applications including electric vehicles, railways, and renewable energy.

Keywords: Ga₂O₃, MOSFET, Breakdown voltage, On-off current ratio

1. 서론

산화갈륨(Ga₂O₃) transparent conductive oxides (TCOs) 물질 중 하나로 몇 가지 다른 상(polymorphs)을 가지는데 그중 열적으로 가장 안정적인 β -산화갈륨(β -Ga₂O₃)은 4.8~4.9 eV에 달하는 매우 넓은 밴드갭(ultra-wide band gap)을 가지며 항복전계(breakdown field, 6~8 MV cm⁻¹)가 높아 고전압, 고전력이 요구되는 스위칭 소자 제작에 유리한 특성을 갖는다 [1-6]. 표 1은 전력반도체 제작에 주로 사용되는 Si, 4H-SiC, GaN, Diamond의 물성을 β -Ga₂O₃와 비교하여 나타낸 것으로 Johnson's FOM과 Baliga's FOM이 타 물질 대

비 높음을 알 수 있다 [2]. 특히 산화갈륨은 conduction loss를 최소화시키는 것으로 정의되는 Baliga's FOM 측면에서 실리콘 혹은 GaN 대비 고전력반도체 소자에 유리하다 [7]. 또한 산화갈륨 반도체는 기판을 성장하는데 있어 Czochralski methods, floating zone method과 같은 현존하는 기법들을 사용할 수 있기 때문에 현재 전력소자로 많이 사용되는 GaN이나 SiC 기반 기술

Table 1. Material properties for major semiconductors.

Parameters	Si	4H-SiC	GaN	β -Ga ₂ O ₃	Diamond
Band gap e_g (eV)	1.1	3.3	3.4	4.8~4.9	5.5
Electron mobility μ (cm ² /Vs)	1,400	1,000	1,200	300 (est.)	2,000
Breakdown electric field e_{br} (MV/cm)	0.3	2.5	3.3	6~8 (est.)	10
Relative dielectric constant ϵ	11.8	9.7	9.0	10	5.5
Johnson's FOM	1	12.6	16.6	40	33.4
Baliga's FOM	1	340	870	3,444	24,664

✉ Kyu Jun Cho; kjcho12@etri.re.kr
 Jae-Kyong Mun; jkmun@etri.re.kr

Copyright ©2020 KIEEME. All rights reserved.
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

대비 고품질의 대면적 기판의 높은 생산성을 기대 할 수 있다는 장점이 있다 [8].

본 연구에서는 Si가 도핑되어 MBE로 성장된 β -Ga₂O₃ 웨이퍼상에 circular type의 MOSFETs을 제작하였으며 소자의 전기적 특성을 분석 및 평가하였다.

2. 실험 방법

2.1 에피 및 소자구조

본 연구에는 Fe 이온이 도핑된 500 μ m 두께의 반절연 산화갈륨 기판(semi-insulating Ga₂O₃ substrate, 010)이 사용되었으며 해당 기판 위에 molecular beam epitaxy (MBE) 방식을 사용하여 Si 이온이 도핑된 에피층이 성장되었다. 반절연 기판이 사용된 이유는 소자의 누설전류를 낮추어 높은 온-오프 전류비(on-off drain current ratio)를 얻음과 동시에 항복전압을 높이기 위함이다 [9,10]. 에피층은 150 nm의 두께의 단일층 구조로 성장되었으며 소자의 온 저항(on resistance)을 낮추기 위하여 도핑농도는 10^{18} cm⁻³가량으로 설정하였다.

소자는 원형의 드레인을 게이트와 소스가 고리 형태로 감싸안은 circular type FETs의 형태를 가지도록 설계했는데 통상적으로 대면적 소자 제작에 사용되는 핑거형태(finger type)에 비해 공간을 많이 차지하고 확장성이 떨어진다는 단점이 있음에도 이는 구조 특성상 전계가 소스 패드 안쪽에만 국한되도록 하여 누설전류가 적고 소자 간의 격리(device isolation) 없이도 동작이 되게끔 하는 장점이 있어 테스트용 소자를 제작하는 데 있어 널리 쓰이는 방법이다 [11,12]. 설계한 소자의 게이트 길이(gate length)는 3 μ m, 소스 드레인 간격은 20 μ m, 게이트 폭(gate width)은 523 μ m이다.

제작된 소자는 게이트와 반도체물질 사이에 산화 유

전막이 들어가 있는 MOSFET (혹은 MISFET) 구조를 가지는데 이 구조는 유전막이 없는 MESFET 구조에 비해 게이트 누설전류가 낮고 항복전압을 높일 수 있다. 사용된 유전막은 유전상수가 9~10으로 높아 누설전류를 낮추는 데 유리한 Al₂O₃이며 플라즈마 원자층 증착법(plasma-enhanced atomic layer deposition)을 통하여 증착되었다 [13].

그림 1은 제작된 소자의 단면도로서 에피의 구조와 소자의 형태를 보여준다.

2.2 소자 제작 공정

먼저 소자 간의 격리(device isolation)을 위해 MESA 식각을 진행하였다. 산화갈륨은 화학적으로 안정적인 물질이기 때문에 습식 식각 대신 건식 식각을 통해 패터닝을 해야 한다. Cl 계열의 플라즈마를 이용하는 것이 일반적이며 Cl₂ 혹은 BCl₃을 이용하여 식각하는 것이 가능하다 [14-16]. 본 실험에는 BCl₃ 기반에 식각면 손상을 줄이기 위한 목적으로 N₂를 7:1의 비율로 혼합한 가스로 유도결합플라즈마(inductively coupled plasma, ICP)를 사용하여 건식식각 하였다. 식각시 ICP의 coil power와 챔버 내 압력을 적절히 조절해서 식각시 경사면의 각도를 30도가량으로 완만하게 되게끔 하여 후속으로 이어지는 포토리소그라피나 금속 증착 공정의 안정성을 도모하였다. Ga₂O₃ 에피층의 두께가 150 nm이기 때문에 소자 간의 격리를 위해 300 nm 깊이로 충분히 MESA 식각을 진행하였다.

MESA 식각이 완료되면 소스와 드레인 오믹 전극 형성을 위하여 Ti/Au = 250/3,250 Å의 금속층을 전자빔증착기(e-beam evaporator)를 이용하여 증착해준다. 오믹 금속층 증착이 완료된 다음 475°C에서 60초간 N₂ 분위기에서 열처리를 진행하여 오믹 전극을 형성하였다 [17].

오믹전극 형성이 완료되면 게이트 유전막으로 사용되는 Al₂O₃를 플라즈마 원자층 증착법(plasma-enhanced atomic layer deposition)을 통하여 200 Å 두께로 증착해 준다. Al₂O₃의 증착이 완료되면 소스와 드레인 전극 위에 증착된 Al₂O₃를 제거하기 위해 buffered oxide etchant (BOE)를 이용하여 습식식각해준다.

Al₂O₃의 습식식각이 완료되면 게이트 메탈을 Ti/Au = 250/2,300 Å의 두께로 증착해 준다. 이어서 표면 보호를 위해 SiO₂를 플라즈마-증가 화학기상증착법(plasma-enhanced chemical vapor deposition, PECVD)을 사용하여 3,000 Å의 두께로 증착한다. 증착이 완료되면 CF₄를 이용한 건식식각법으로 소스와 드레인 전극

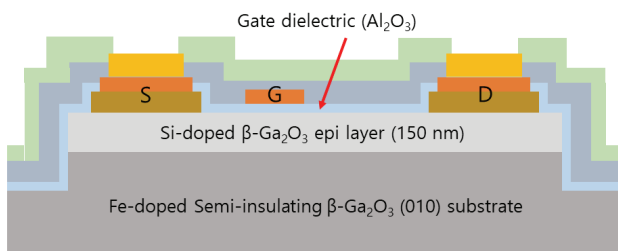


Fig. 1. Cross-sectional schematic of the device.

위의 유전막을 제거한 후 측정 시 프로빙 패드 역할을 하는 2차금속(Ti/Au)을 증착한다. 마지막으로 SiN_x 2,000 Å를 PECVD 방식으로 증착하는 passivation

공정을 통해 외부요인에 의한 소자 오염을 방지하도록 하였다.

그림 2(a)는 공정이 완료된 소자의 광학현미경 사진이며 그림 2(b)는 (a)를 확대하여 촬영한 것으로 소자의 대략적 형태를 보여준다.

그림 3(a)은 공정이 완료된 소자를 FIB (focused ion beam)으로 단면 SEM 촬영을 한 것으로 소자의 구조를 정확하게 보여주며 그림 3(b)는 소스-게이트 영역을 확대하여 촬영한 것으로 Al_2O_3 유전막 위에 게이트 메탈이 증착되어 MOS (혹은 MIS) 구조가 문제없이 형성되었음을 확인할 수 있다.

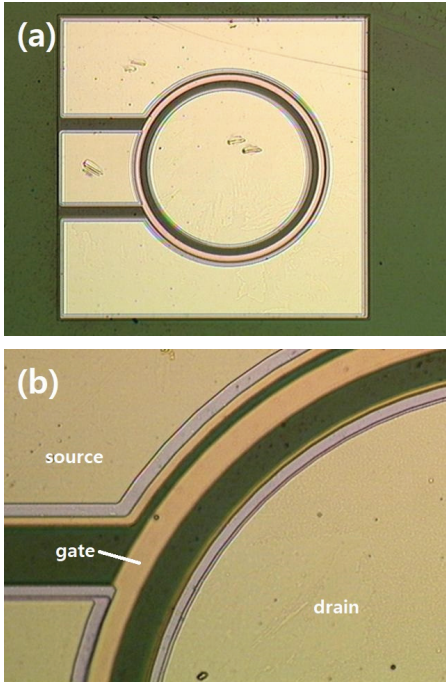


Fig. 2. (a) Top-view optical image of the fabricated device and (b) magnified image.

3. 결과 및 고찰

그림 4는 제작된 소자의 전달특성(transfer characteristic)을 보여준다. 드레인에 $V_{ds} = 30$ V의 바이어스 전압을 인가한 상태로 게이트 전압을 $V_{gs} = -15 \sim +3$ V 까지 -0.05 V step 간격으로 인가하였을 때의 드레인 전류를 측정하였다. 이때 측정되는 pinch-off 상태에서의 오프 전류(off current)는 $V_{gs} = -13$ V에서 3.56 pA이며 온 전류(on current)는 $V_{gs} = +3$ V에서 9.82 mA이기 때문에 온/오프 전류비 (on/off drain current ratio)는 약 2.7×10^9 가 된다. $V_{gs} = +3$ V에서의 최대 드레인 전류밀도는 18 mA/mm로 측정되었다. 우수한 온/오프 전류는 기판으로 사용된 Fe 이온이 도핑된 반절연 산화갈륨의 낮은 누설전류 특성과 높은 유전율은 가지는 Al_2O_3 재질의 게이트 산화막에 기인하는 것으로 판단된다.

그림 5는 제작된 소자의 I-V 특성으로 게이트에 $V_{gs} = -7 \sim +1$ V (1 V step)와 드레인에 $V_{ds} = 0 \sim 40$ V

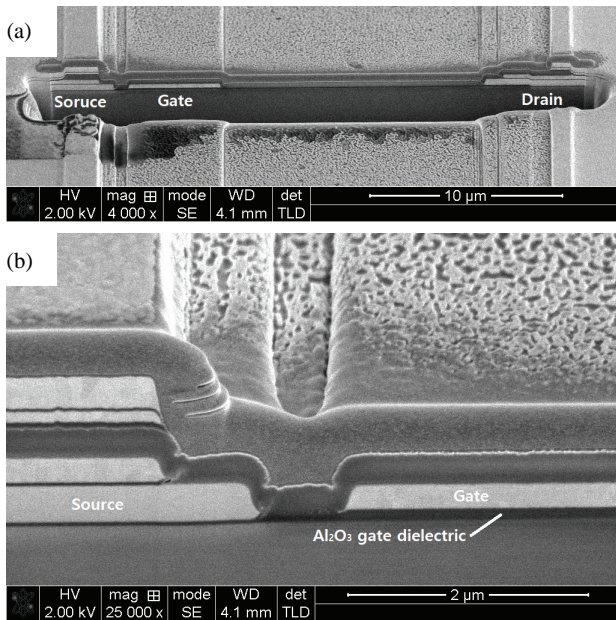


Fig. 3. (a) Cross-sectional SEM image of the fabricated device and (b) magnified image.

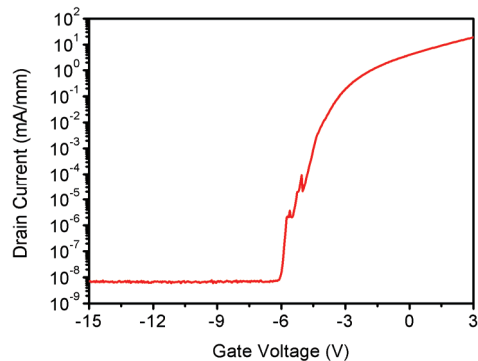


Fig. 4. DC transfer characteristics of the fabricated device (log scale).

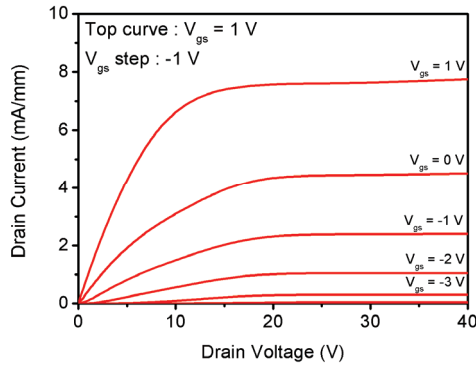


Fig. 5. I_{ds} - V_{ds} characteristics of the fabricated device.

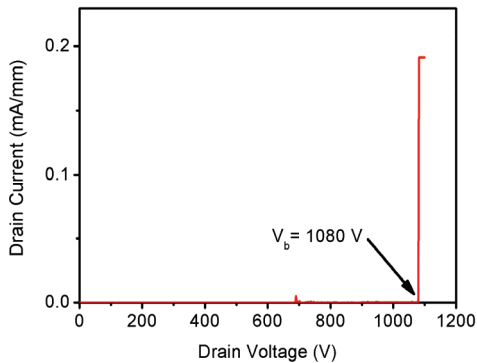


Fig. 6. Breakdown voltage characteristics of the fabricated device.

(0.25 V step)를 인가하는 동안의 드레인 전류를 측정하였다. 측정된 드레인의 전류밀도는 7.57 mA/mm ($V_{gs} = 1$ V, $V_{ds} = 20$ V), 핀치오프 전압은 -5.9 V였다. 온저항은 $V_{gs} = +1$ V에서의 I-V 특성 그래프가 saturate 되기 전의 오믹 영역에서의 저항으로 1.9 k Ω 이며 소자의 active area는 1.25×10^{-4} cm 2 이므로 specific R_{on} ($= R_{on} \times$ active area)은 237.5 m $\Omega \cdot$ cm 2 으로 계산되었다.

그림 6은 제작된 소자의 항복전압 특성을 보여준다. 소자의 핀치오프 전압보다 낮은 $V_{gs} = -10$ V를 인가한 상태로 V_{ds} 를 0 V에서 2 V씩 증가시키다가 드레인 전류가 급격하게 증가하여 소자가 파괴되는 시점을 항복전압으로 정의하고 측정하여 $V_b = 1,080$ V의 우수한 특성을 얻게 되었으며 항복전계강도(breakdown field)로 환산 시 0.54 MV/cm에 해당한다.

4. 결론

본 연구에서는 Fe로 도핑된 반절연 산화갈륨 기판에 Si가 도핑되어 MBE로 성장된 β -Ga $_2$ O $_3$ 웨이퍼상에

MOSFET 소자를 제작하고 특성을 평가하였다. circular type의 형태를 가지는 해당 소자는 핀치오프 전압(V_p) -5.9 V, 온저항 237.5 m $\Omega \cdot$ cm 2 , 온/오프 전류비 2.7×10^9 , $V_{gs} = +3$ V에서의 최대 드레인 전류밀도 18 mA/mm, 항복전압(V_b) 1,080 V의 우수한 특성을 보여주었는데 이는 누설전류를 낮춰주는 반절연 기판과 유전율이 큰 Al $_2$ O $_3$ 게이트 산화막의 사용에 힘입은 바 크다. 본 연구를 통하여 제작된 소자가 보여준 이러한 특성들은 산화갈륨이 가지고 있는 잠재성을 잘 드러내고 있으며 향후 고전력, 고출력을 요하는 다양한 분야에 적용이 가능할 것으로 예상된다.

ORCID

Kyu Jun Cho

<https://orcid.org/0000-0003-2520-9321>

Jaе Kyoung Mun

<https://orcid.org/0000-0002-1849-2117>

감사의 글

본 연구는 산업통상자원부 소재부품개발사업(전략적 핵심소재기술개발사업, 과제번호: 10080736)의 지원에 의하여 수행된 결과임을 밝혀 둡니다.

REFERENCES

- [1] K. Shimamura, E. G. Vllora, K. Domen, K. Yui, K. Aoki, and N. Ichinose, *Jpn. J. Appl. Phys.*, **44**, L7 (2005). [DOI: <https://doi.org/10.1143/jjap.44.17>]
- [2] M. Higashiwaki, K. Sasaki, A. Kuramata, T. Masui, and S. Yamakoshi, *Appl. Phys. Lett.*, **100**, 013504 (2012). [DOI: <https://doi.org/10.1063/1.3674287>]
- [3] M. Higashiwaki, A. Kuramata, H. Murakami, and Y. Kumagai, *J. Phys. D: Appl. Phys.*, **50**, 333002 (2017). [DOI: <https://doi.org/10.1088/1361-6463/aa7aff>]
- [4] J. K. Mun, K. Cho, W. Chang, H. Lee, S. Bae, J. Kim, and H. Sung, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **32**, 201 (2019). [DOI: <https://doi.org/10.4313/JKEM.2019.32.3.201>]
- [5] J. K. Mun, K. J. Cho, J. W. Do, H. S. Lee, S. B. Bae, and W. J. Chang, *Proc. Journal of the Korean Institute of Electrical and Electronic Material Engineers Annual Summer Conference 2018* (CDM THE BIG, Goseong-Gun, Korea, 2018) p. 35.
- [6] J. K. Mun, K. J. Cho, W. J. Chang, and H. Jung, *Proc. Journal of the Korean Institute of Electrical and Electronic Material Engineers Annual Summer Conference 2019* (CDM THE BIG, Heongsung-Gun, Korea, 2019) p. 31.

- [7] B. J. Baliga, *IEEE Electron Device Lett.*, **10**, 455 (1989). [DOI: <https://doi.org/10.1109/55.43098>]
- [8] M. Baldini, Z. Galazka, and G. Wagner, *Mater. Sci. Semicond. Process.*, **78**, 132 (2018). [DOI: <https://doi.org/10.1016/j.mssp.2017.10.040>]
- [9] A. Y. Polyakov, N. B. Smirnov, I. V. Schemerov, A. V. Chernykh, E. B. Yakimov, A. I. Kochkova, A. N. Tereshchenko, and S. J. Pearton, *ECS. J. Solid State Sci. Technol.*, **8**, Q3091 (2019). [DOI: <https://doi.org/10.1149/2.0171907jss>]
- [10] A. Y. Polyakov, N. B. Smirnov, I. V. Shchemerov, S. J. Pearton, F. Ren, A. V. Chernykh, and A. I. Kochkova, *Appl. Phys. Lett.*, **113**, 142102 (2018). [DOI: <https://doi.org/10.1063/1.5051986>]
- [11] H. Yu, M. Schaekers, T. Schram, N. Collaert, K. D. Meyer, N. Horiguchi, A. Thean, and K. Barla, *IEEE Electron Device Lett.*, **35**, 957 (2014). [DOI: <https://doi.org/10.1109/led.2014.2340821>]
- [12] K. J. Cho, H. Jung, W. J. Chang, and J. K. Mun, *Proc. Journal of the Korean Institute of Electrical and Electronic Material Engineers Annual Summer Conference 2019* (KIEEME, Heongsung-Gun, Korea, 2019) p. 37.
- [13] S. Jakschik, U. Schroeder, T. Hecht, M. Gutsche, H. Seidl, and J. W. Bartha, *Thin Solid Films*, **425**, 216 (2013). [DOI: [https://doi.org/10.1016/s0040-6090\(02\)01262-2](https://doi.org/10.1016/s0040-6090(02)01262-2)]
- [14] J. E. Hogan, S. W. Kaun, E. Ahmadi, Y. Oshima, and J. S. Speck, *Semicond. Sci. Technol.*, **31**, 065006 (2016). [DOI: <https://doi.org/10.1088/0268-1242/31/6/065006>]
- [15] L. Zhang, A. Verma, H. G. Xing, and D. Jena, *Jpn. J. Appl. Phys.*, **56**, 030304 (2017). [DOI: <https://doi.org/10.7567/jjap.56.030304>]
- [16] J. Yang, S. Ahn, F. Ren, S. Pearton, R. Khanna, K. Bevin, D. Geerapuram, and A. Kuramata, *J. Vac. Sci. Technol., B*, **35**, 031205 (2017). [DOI: <https://doi.org/10.1116/1.4982714>]
- [17] H. Jung, K. J. Cho, W. J. Chang, and J. K. Mun, *Proc. Journal of the Korean Institute of Electrical and Electronic Material Engineers Annual Summer Conference 2019* (KIEEME, Heongsung-Gun, Korea, 2019) p. 61.