

## 벌집구조의 나노채널을 이용한 다중 Fin-Gate GaN 기반 HEMTs의 제조 공정

김정진<sup>1,2</sup>, 임종원<sup>1</sup>, 강동민<sup>1</sup>, 배성범<sup>1</sup>, 차호영<sup>2</sup>, 양전욱<sup>3</sup>, 이형석<sup>1</sup> 

<sup>1</sup> 한국전자통신연구원

<sup>2</sup> 홍익대학교 메타물질전자소자연구센터

<sup>3</sup> 전북대학교 반도체화학공학부

### Fabrication of Multi-Fin-Gate GaN HEMTs Using Honeycomb Shaped Nano-Channel

Jeong Jin Kim<sup>1,2</sup>, Jong Won Lim<sup>1</sup>, Dong Min Kang<sup>1</sup>, Sung Bum Bae<sup>1</sup>,  
 Ho Young Cha<sup>2</sup>, Jeon Wook Yang<sup>3</sup>, and Hyeong Seok Lee<sup>1</sup>

<sup>1</sup> Electronics and Telecommunications Research Institute, Daejeon 34129, Korea

<sup>2</sup> Metamaterial Electronic Device Research Center, Hongik University, Seoul 04066, Korea

<sup>3</sup> School of Semiconductor and Chemical Engineering, Chonbuk National University, Jeonju 54896, Korea

(Received October 1, 2019; Revised November 13, 2019; Accepted November 28, 2019)

**Abstract:** In this study, a patterning method using self-aligned nanostructures was introduced to fabricate GaN-based fin-gate HEMTs with normally-off operation, as opposed to high-cost, low-productivity e-beam lithography. The honeycomb-shaped fin-gate channel width is approximately 40~50 nm, which is manufactured with a fine width using a proposed method to obtain sufficient fringing field effect. As a result, the threshold voltage of the fabricated device is 0.6 V, and the maximum normalized drain current and transconductance of  $G_m$  are 136.4 mA/mm and 99.4 mS/mm, respectively. The fabricated devices exhibit a smaller sub-threshold swing and higher  $G_m$  peak compared to conventional planar devices, due to the fin structure of the honeycomb channel.

**Keywords:** GaN, HEMTs, Fin FET, Fin-gate, Normally-off, High resolution patterning

### 1. 서론

AlGaIn/GaN 기반의 전력 반도체 소자는 높은 전자 밀도와 높은 전하이동도를 갖는 이차원 전자가스층을 활용하여 대전력 고주파 소자 어플리케이션으로 많은 연구가 수행되었다 [1-9]. 이러한 이차원 전자가스층은 훌륭한 전기적 특성을 가지고 있지만 반면 이러한 고

농도의 전자가스층을 이용한 HEMT 소자는 게이트에 바이어스를 인가하지 않았을 때 소자가 off되지 못하고 음의 전압을 인가해야 소자가 off되는 normally-on 동작 특성을 가진다 [1-8]. Normally-on 소자를 이용해 회로를 구성할 경우 추가적인 바이어싱 회로가 요구되며 normally-off 소자에 비해 전력소모도 많이 발생하는 문제점을 가지고 있다. 또한 GaN 기반 전자소자가 대체하고자 하는 기존의 Si 기반 전력전자 소자는 normally-off로 동작하므로 이에 맞게 설계된 회로 및 모듈에 적용시키기 위해 GaN 기반 전력 반도체 소자를 normally-off 동작특성을 갖도록 제작하는 많은 연구가 수행되었다. GaN 기반 전자소자를 normally-

✉ Hyung Seok Lee; [Hyungseok@etri.re.kr](mailto:Hyungseok@etri.re.kr)

Copyright ©2020 KIEEME. All rights reserved.  
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

off로 동작시키기 위한 방법으로 p-type 에피층을 이용한 gate injection FETs (HEMTs) 소자 [1,2], 게이트 하부에 대한 CF<sub>4</sub> 플라즈마 전처리 방식 [3], 리세스 게이트 식각 방식 [4,5], 좁은 채널폭을 이용한 fin-gate FETs (HEMTs) [6-9] 등이 연구되었다. 이 중 fin-gate HEMTs는 채널폭이 좁아짐에 따라 측면 게이트 전극의 전기장에 의해 게이트의 controllability가 향상되는 fringing-field 효과에 의해 낮은 sub-threshold swing (SS)를 가져 스위칭 소자 응용에 강점을 가지고 있다 [6-8]. 일반적으로 fringing-field 효과를 얻기 위해 100 nm 이하의 미세한 채널폭이 요구되는 fin-gate HEMTs를 제작하기 위해서는 이빔리소그래피와 같은 설비 비용이 비싸고 공정시간이 오래 걸려 생산성이 낮은 고성능 패터닝 설비가 필요하다. 또한 fin-gate HEMTs는 채널폭을 좁게 함으로써 normally-off 특성 및 스위칭 특성이 향상되지만 소자의 출력이 크게 제한되는 단점을 가지고 있다. 이러한 공정상, 구조상의 문제점을 개선하기 위하여 본 연구에서는 폴리스티레인으로 된 나노 구체를 물의 표면장력을 이용하여 육방밀집 형태로 자가 정렬하여 소자에 전사시켜 패터닝 함으로써 40~60 nm의 선폭을 갖는 벌집모양으로 연결된 fin-gate 채널을 갖는 HEMTs를 제작하였다. 제안된 공정방식과 구조는 고비용의 이빔리소그래피 패터닝 설비를 이용하지 않고도 미세선폭을 가지며 고밀도로 밀집된 fin-gate 채널을 형성할 수 있다는 장점을 갖는다.

## 2. 실험 방법

소자 제작에 사용된 기판은 실리콘 기판위에 도핑되지 않은 GaN 2 μm, 그 위에 도핑되지 않은 Al<sub>0.25</sub>Ga<sub>0.75</sub>N을 20 nm, 마지막으로 GaN 캡층 2 nm를 MOCVD (metal organic chemical vapor deposition)로 성장한 기판을 이용하였다. 제작된 기판의 전자 이동도 및 채널 면저항은 각각 1,400 cm<sup>2</sup>/V·s와 496 Ω/□로 측정되었다. 각 소자 간 전기적 절연을 위하여 액티브 영역을 포토리소그래피 방식으로 패터닝 하고 BCl<sub>3</sub>/Cl<sub>2</sub> 혼합 가스를 이용한 ICP 식각 장비를 이용하여 식각하였다. 벌집 모양의 fin-gate 채널을 만들기 위한 공정 방식은 바이오센서를 위한 nanopillars의 제조방식을 도입해 수정하여 적용하였다 [10]. 먼저 200 nm 직경을 갖는 폴리스티레인(PS) 나노구체가 포함된 현탁액을 에탄올과 1:1 비율로 섞은 후 비탈면을 이용해 계면활성제가 뿌려진 물에 흘려내어 표면장력에 의해 단일

원자층의 육방밀집 형태로 자가정렬되도록 하였고, 웨이퍼를 단일자층의 나노구체층 아래에 위치시킨 후 용액 drain을 통해 수면을 낮추는 방식으로 나노구체층을 기판의 표면에 전사하였다. 전사된 PS 나노 구체들은 산소 가스를 이용한 RIE 식각 장비를 이용해 식각함으로써 그 크기를 줄여 각 나노구체들 사이에 간격이 생기도록 하였다. 이 간격은 곧 나노 fin-gate 채널의 폭을 의미하며 이 폭은 RIE 공정조건을 변화함으로써 용이하게 조절된다 [10]. 리사이즈 된 나노 구조체 위로 식각 마스크로 사용하기 위한 Ti/Ni 금속층을 이빔증착기를 이용하여 증착하였다. 그 후 나노구조체를 N-methy-2-pyrrolidone (NMP) 용액을 이용하여 제거하여 벌집 모양의 금속 식각 마스크층이 남도록 하였다. 제작된 금속 식각 마스크 사진과 이를 이용하여 제작된 소자 및 채널의 모식도를 그림 1에 도시하였다. 이 식각 마스크 위에 photo-lithography 방식으로 게이트영역 바깥 부분을 감광막으로 보호한 후 Cl 가스를 이용한 ICP 플라즈마 식각 방식으로 약 50 nm 깊이로 리세스 식각하여 게이트 영역에 벌집 형태의 채널을 형성하였다. 식각 후 아세톤을 이용해 감광막을 제거한 후 남은 식각 마스크는 Ni etchant (DI water 100 ml + HNO<sub>3</sub> 50 ml + CH<sub>3</sub>COOH 50 ml + H<sub>2</sub>SO<sub>4</sub> 20 ml)와 1:6 비율의 BOE를 이용하여 제거하였다. 오믹 접촉을 위해 Ti/Al/Ni/Au 금속층을 이빔증착기를 이용해 증착하였으며 900°C 온도로 30초간 열처리하여 소스와 드레인 오믹 전극을 형성하였다. 마지막으로 Ni/Au 금속층을 이빔증착기를 이용해 증착하여 게이트 전극을 형성하여 벌집 구조의 채널을 갖는 소자(honeycomb shaped gate HEMT, HC-HEMT)를 제작하였다. 그림 2는 공정 순서에 따른 벌집 구조의 채널 형성 모식도이다. 비교를 위한 평면형 소자 (conventional planar HEMT, CP-HEMT)는 벌집구조를 만들기 위한 나노 패터닝 및 리세스 식각 공정을 제외한 전 공정을 동일하게 실시하였다.

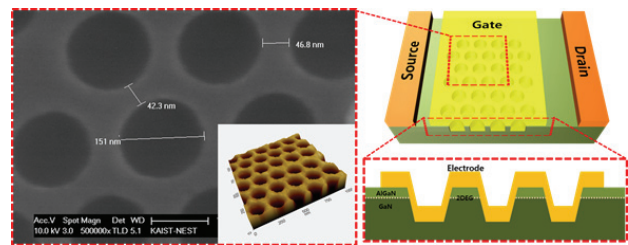
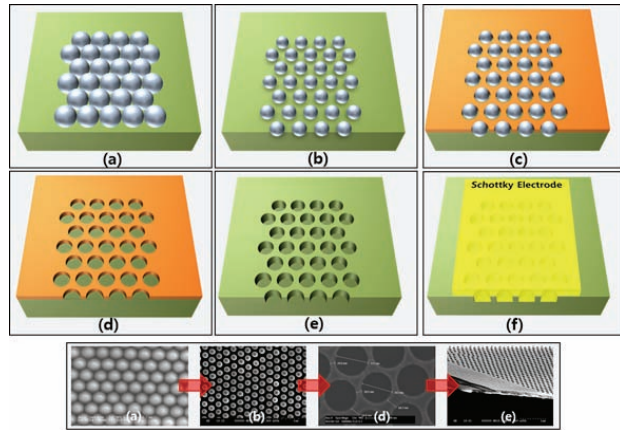


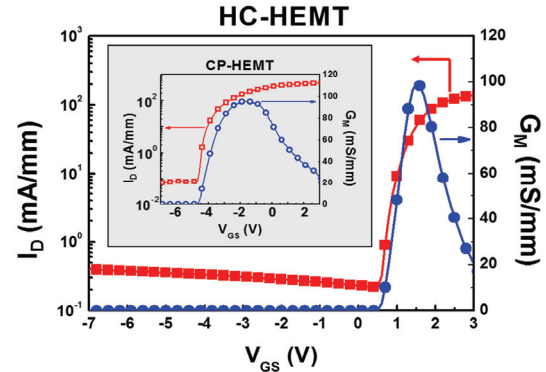
Fig. 1. A honeycomb-shaped metallic etch mask and a schematic view of a gate electrode fabricated therefrom.



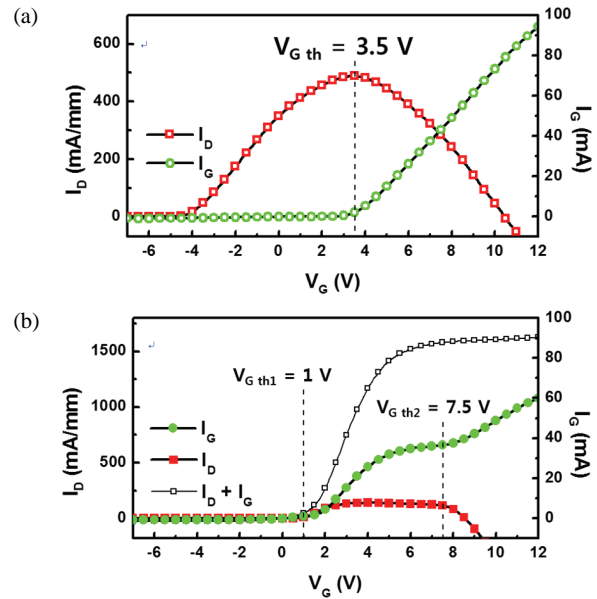
**Fig. 2.** Process flow of gate fabrication with honeycomb channel. (a) Closed packed polystyrene nano-beads with 200 nm diameter transferred on substrate, (b) Nano-beads shrunk by plasma dry etching, (c) metallic etch mask deposition on substrate and nano-beads, (d) strip of nano-beads using NMP treatment, (e) strip of etch mask by chemical wet etching after recess etch, and (f) Ni/Au gate electrode metal deposition.

### 3. 결과 및 고찰

그림 3은 제작된 소자들의 I-V 특성 곡선을 나타낸 그래프이다. 측정된 소자의 게이트 길이  $L_G = 2 \mu\text{m}$ , 게이트-소스 간 거리  $L_{SG} = 2 \mu\text{m}$ , 게이트-드레인 간 거리  $L_{SD} = 10 \mu\text{m}$ 이며, 드레인 전압의 크기  $V_D = 7 \text{ V}$ 이다. HC-HEMT의 문턱전압은 0 V 이상인 약 0.6 V로, CP-HEMT에 비해 약 5 V만큼 양의 방향으로 이동하였다. 이러한 문턱전압의 이동은 채널폭이 수십 나노미터 스케일로 좁아짐에 따라 채널의 모양이 물고기의 지느러미와 같은 형상의 fin-gate 채널이 되고 AlGaIn 에피층의 스트레스 완화에 따른 압전분극의 저하 및 fringing-field 효과에 의해 2DEG의 전도대가 페르미준위 위로 상승하여 나타나는 현상이다 [7]. HC-HEMT의 SS는 241 mV/dec이며 최대트랜스컨덕턴스( $G_{m \text{ peak}}$ )는 99.4 mS/mm로 CP-HEMT의 358 mV/dec의 SS 및  $G_{m \text{ peak}}$  94.3 mS/mm에 비해 향상된 특성을 보였다. 채널의 길이는 HC-HEMT에서 전류 흐름방향에서 채널의 폭(50 nm)과 식각되어 절연된 빈 공간의 길이(150 nm)를 고려하여 게이트 width의 1/4로 계산을 하였으며, 드레인 전류 밀도는 146 mA/mm로 CP-HEMT의 전류밀도인 488 mA/mm보다 낮아졌다. 게이트 전압 -7 V일 때 누설전류는 CP-HEMT가 0.07 mA/mm인 반면 HC-HEMT는 0.4 mA/mm로 다소 증가하였으나, 게이트와 채널의 side-contact에 의한



**Fig. 3.** Drain current and transconductance characteristics of the HC-HEMT and the CV-HEMT (inset).



**Fig. 4.** Drain current and gate current characteristics of (a) the CV-HEMT and (b) the HC-HEMT, which follows threshold voltage of gate current turn-on.

누설전류가 심하게 발생하지 않았음을 보여준다.

HC-HEMT의 낮은 전류밀도는 게이트 누설전류의 이른 도통으로 인한 것으로 확인되었다. 그림 4는 두 소자의 게이트 인가전압에 대한 드레인 전류밀도 및 게이트 누설전류를 도시한 그래프이다. CP-HEMT는 -4 V의 게이트 바이어스에서 소자가 턴온되어 드레인 전류가 증가하다가 약 3.5 V에서 게이트 전극의 쇼트키 다이오드가 턴온되어 게이트 누설전류가 증가하면서 채널의 전자밀도를 감소시켜 드레인 전류가 감소됨

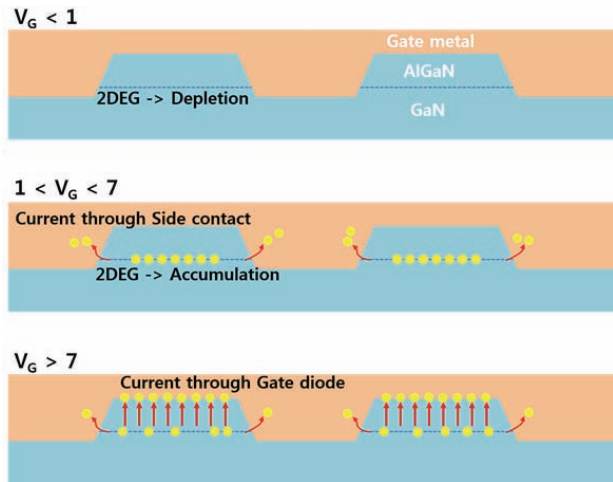


Fig. 5. Schematic of the current flow in the fin gate for each gate voltage region.

을 보여준다. 반면 HC-HEMT의 게이트 누설전류는 게이트 전압 약 1 V와 약 7.5 V에서 두 번 턴온되는 현상을 보여준다. 첫 번째의 게이트 전류의 증가는 드레인전류가 턴온되는 시점과 거의 일치하여 드레인전류를 감소시키는 주요 원인으로 분석된다. 그림 5는 게이트 바이어스에 따른 HC-HEMT의 채널 전자 거동의 모식도이다. 첫 번째로 게이트 다이오드가 턴온되어 게이트 전류가 흐르기 시작하는 지점( $V_{G\ th1}$ )인 1 V 이하에서 2DEG는 공핍되어 전자가 존재하지 않아 소자가 off된 상태이다. 그림 4에서 보이듯이  $V_{G\ th1}$ 과 드레인 전류의 문턱전압이 비슷한데, 게이트 전압 약 1 V에서 2DEG가 accumulation 되면서 채널 전류가 발생하기 시작하고 2DEG에 모인 전자들이 측면 게이트 금속과의 접촉을 통해 게이트 전극으로 빠져나가 게이트 전류 역시 발생하기 시작한다. 이때 게이트 전류는 측면 접촉을 통해서만 흐르므로 채널 가운데의 2DEG는 accumulation 상태를 유지하여 드레인 전류가 크게 감소하지는 않고 거의 일정한 포화상태를 유지한다. 게이트 바이어스가 7 V 이상이 되어 AlGaN층과 게이트 전극의 쇼트키 접촉이 도통되면서 두 번째 게이트 다이오드 턴온( $V_{G\ th2}$ )이 발생하면 채널의 전자가 AlGaN 에피층을 통해 게이트로 빠져나가면서 채널 전체의 전자가 감소하며 드레인전류 또한 지속적으로 감소하게 된다.

Fin-gate 채널의 측면을 통한 이른 게이트 다이오드 도통 현상에 의한 드레인 전류 저하 문제를 개선하기 위해서 게이트 절연막을 도입하여 MOS 게이트 구조를 제작하는 것을 고려할 수 있다. 그림 4에서 드레인전

류와 게이트 전류를 합친 가상의 전류 곡선을 도시하였는데  $V_{G\ th2}$  전후로 전류 곡선의 변화가 관찰되지 않았다. 이는 드레인 전류와 게이트 전류의 합이 하나의 파라미터, 즉 2DEG층의 전자가 accumulation 된 양에 의존함을 시사한다. 게이트 절연막을 도입하여 게이트 전류를 억제하여 채널에 accumulation 된 전자들이 모두 출력전류 성분이 되면 게이트 바이어스가 문턱전압보다 2 V 높을 때 계산된 전류밀도는 549.5 mA/mm로 CP-HEMT에 비해 높은 전류밀도를 얻을 것으로 예측되며 SS 및 GM 특성 또한 더욱 향상될 것으로 기대된다.

#### 4. 결론

본 연구에서는 normally-off 동작 특성을 갖는 GaN 기반 fin-gate HEMTs를 제조하기 위하여 기존의 고비용 저생산성의 이비리소그래피와 같은 방식을 사용하지 않고 자가정렬된 나노구조체를 이용한 패터닝 방식을 도입하였다. 제안된 방식으로 제작된 벌집 형태로 이어진 fin-gate 채널의 폭은 약 40~50 nm로 fringing field 효과를 충분히 얻을 수 있도록 미세폭으로 제조되었으며 그 결과 문턱전압 0.6 V인 normally-off 동작 특성을 보였고 일반적인 평면형 소자에 비해 개선된 sub-threshold swing 및 트랜스컨덕턴스 특성을 얻었다. 그러나 제안된 구조의 소자는 평면형 소자에 비해 낮은 전류 밀도를 보였는데 이는 fin-gate 채널의 측면에서 AlGaN/GaN 계면가 게이트 금속이 접촉하여 낮은 바이어스에서 게이트 누설전류가 발생하기 때문으로 분석된다. 이를 개선하기 위하여 게이트 절연막을 통해 게이트 전류를 차단하는 공정이 요구되며 게이트 전류를 차단하였을 때 평면형 소자보다 더 큰 드레인 전류밀도를 가질 것으로 예측되며, sub-threshold swing 및 트랜스컨덕턴스 특성 또한 더욱 향상될 것으로 기대된다.

#### ORCID

Hyung-Seok Lee

<https://orcid.org/0000-0002-9976-1293>

#### 감사의 글

본 연구는 국가과학기술연구회(NST) 글로벌 공동연

구 기획사업(전력용 GaN-on-Diamond FET 전자소자 기술개발)의 지원을 받아 수행한 연구 과제입니다.

## REFERENCES

- [1] F. Lee, L. Y. Su, C. H. Wang, Y. R. Wu, and J. Huang, *IEEE Electron Device Lett.*, **36**, 232 (2015). [DOI: <https://doi.org/10.1109/led.2015.2395454>]
- [2] K. S. Kim, *Jpn. J. Appl. Phys.*, **56**, 091002 (2017). [DOI: <https://doi.org/10.7567/jjap.56.091002>]
- [3] D. Song, J. Liu, Z. Cheng, W.C.W. Tang, K. M. Lau, and K. J. Chen, *IEEE Electron Device Lett.*, **28**, 189 (2007). [DOI: <https://doi.org/10.1109/led.2007.891281>]
- [4] P. Fiorenza, G. Greco, E. Schilirò, F. Iucolano, R. L. Nigro, and F. Roccaforte, *Jpn. J. Appl. Phys.*, **57**, 050307 (2018). [DOI: <https://doi.org/10.7567/jjap.57.050307>]
- [5] S. Nakazawa, N. Shiozaki, N. Negoro, N. Tsurumi, Y. Anda, M. Ishida, and T. Ueda, *Jpn. J. Appl. Phys.*, **56**, 091003 (2017). [DOI: <https://doi.org/10.7567/jjap.56.091003>]
- [6] Y. W. Jo, D. H. Son, C. H. Won, K. S. Im, J. H. Seo, I. M. Kang, and J. H. Lee, *IEEE Electron Device Lett.*, **36**, 1008 (2015). [DOI: <https://doi.org/10.1109/led.2015.2466096>]
- [7] K. S. Im, H. S. Kang, J. H. Lee, S. J. Chang, S. Cristoloveanu, M. Bawedin, and J. H. Lee, *Solid-State Electron.*, **97**, 66 (2014). [DOI: <https://doi.org/10.1016/j.sse.2014.04.033>]
- [8] G. Hu, H. Qiang, S. Hu, R. Liu, L. Zheng, and X. Zhou, *Jpn. J. Appl. Phys.*, **56**, 021002 (2017). [DOI: <https://doi.org/10.7567/jjap.56.021002>]
- [9] J. H. Lim, J. J. Kim, K. H. Shim, and J. W. Yang, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **17**, 71 (2013). [DOI: <https://doi.org/10.7471/ikeee.2013.17.1.071>]
- [10] G. S. Kim, D. J. Kim, J. H. Hyung, M. K. Lee, and S. K. Lee, *Anal. Chem.*, **86**, 5330 (2014). [DOI: <https://doi.org/10.1021/ac5001916>]