

## 고전압 $\beta$ -산화갈륨( $\beta$ -Ga<sub>2</sub>O<sub>3</sub>) 전력 MOSFETs

문재경<sup>1</sup> , 조규준<sup>1</sup>, 장우진<sup>1</sup>, 이형석<sup>1</sup>, 배성범<sup>1</sup>, 김정진<sup>1</sup>, 성호근<sup>2</sup>

<sup>1</sup> 한국전자통신연구원 RF/전력부품연구그룹

<sup>2</sup> 한국나노기술원 CE지원실

### High Voltage $\beta$ -Ga<sub>2</sub>O<sub>3</sub> Power Metal-Oxide-Semiconductor Field-Effect Transistors

Jae-Kyoung Mun<sup>1</sup>, Kyujun Cho<sup>1</sup>, Woojin Chang<sup>1</sup>, Hyungseok Lee<sup>1</sup>, Sungbum Bae<sup>1</sup>, Jeongjin Kim<sup>1</sup>, and Hokun Sung<sup>2</sup>

<sup>1</sup> RF/Power Components Research Group, Electronics and Telecommunications Research Institute, Daejeon 34129, Korea

<sup>2</sup> Customer Engineering Lab, Korea Advanced Nano Fab Center, Suwon 16229, Korea

(Received March 13, 2019; Revised April 3, 2019; Accepted April 5, 2019)

**Abstract:** This report constitutes the first demonstration in Korea of single-crystal lateral gallium oxide (Ga<sub>2</sub>O<sub>3</sub>) as a metal-oxide-semiconductor field-effect-transistor (MOSFET), with a breakdown voltage in excess of 480 V. A Si-doped channel layer was grown on a Fe-doped semi-insulating  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> (010) substrate by molecular beam epitaxy. The single-crystal substrate was grown by the edge-defined film-fed growth method and wafered to a size of 10×15 mm<sup>2</sup>. Although we fabricated several types of power devices using the same process, we only report the characterization of a finger-type MOSFET with a gate length ( $L_g$ ) of 2  $\mu$ m and a gate-drain spacing ( $L_{gd}$ ) of 5  $\mu$ m. The MOSFET showed a favorable drain current modulation according to the gate voltage swing. A complete drain current pinch-off feature was also obtained for  $V_{gs} < -6$  V, and the three-terminal off-state breakdown voltage was over 482 V in a  $L_{gd} = 5$   $\mu$ m device measured in Fluorinert ambient at  $V_{gs} = -10$  V. A low drain leakage current of 4.7 nA at the off-state led to a high on/off drain current ratio of approximately  $5.3 \times 10^5$ . These device characteristics indicate the promising potential of Ga<sub>2</sub>O<sub>3</sub>-based electrical devices for next-generation high-power device applications, such as electrical autonomous vehicles, railroads, photovoltaics, renewable energy, and industry.

**Keywords:** Gallium oxide, Field effect transistor (FET), On-resistance, Breakdown voltage, On-off current ratio

## 1. 서론

넓은 밴드갭(ultra-wide band gap, UWB,  $E_g = 4.8 \sim 4.9$  eV)을 가지는 산화갈륨( $\beta$ -Ga<sub>2</sub>O<sub>3</sub>) 반도체는 높은 항복 전계( $E_{br} = 6 \sim 8$  MV/cm) [1]와 우수한 전자운송 특성, 그리고 고품질의 대면적 기판 성장 [2]이 가능하며 기존 질화갈륨(GaN)이나 탄화규소(SiC) 대비 성능뿐

만 아니라 소재의 제조공정이 용이하다는 장점이 있다.

이러한 특성은 산화갈륨 소재가 고전력 스위칭 소자 [3]나 RF 전력소자 [4], 단파장 광소자 [5] 등 다양한 응용 분야에서 경쟁력을 가질 수 있도록 해준다.

또한 뛰어난 전기적·물리적 특성으로 인해 일본을 중심으로 미국, 유럽, 중국 등 많은 국가에서 차세대 전력 반도체 플랫폼으로 각광을 받고 있어 활발한 연구가 진행 중인 소재이다.

표 1에 산화갈륨 반도체의 주요 물성을 실리콘 및 주요 와이드 밴드갭 반도체의 물성과 비교하여 나타내었다 [1,6]. 특히 주파수와 전압의 최대화 성능 지표인 Johnson FoM (figure of merit)과 전도 손실의 최소

✉ Jae-Kyoung Mun; [jkmun@etri.re.kr](mailto:jkmun@etri.re.kr)

**Table 1.** Material properties for major semiconductors.

Parameters	Si	4H-SiC	GaN	$\beta$ -Ga <sub>2</sub> O <sub>3</sub>	Diamond
Band gap $E_g$ (eV)	1.1	3.3	3.4	4.8~4.9	5.5
Electron mobility $\mu$ (cm <sup>2</sup> /Vs)	1,400	1,000	1,200	300 (est.)	2,000
Breakdown electric field $E_{br}$ (MV/cm)	0.3	2.5	3.3	6~8 (est.)	10
Relative dielectric constant $\epsilon$	11.8	9.7	9.0	10	5.5
Johnson's FOM	1	12.6	16.6	40	33.4
Baliga's FOM	1	340	870	3,444	24,664

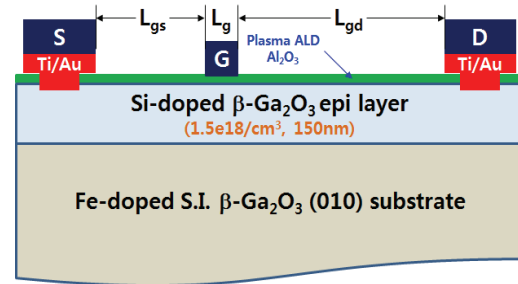
화 성능 지표인 Baliga FoM은 산화갈륨 반도체 소자가 고전압 고주파 응용과 고전력 스위칭 응용 측면에서 실리콘 대비 상대적 얼마나 유리한지를 말해 준다. 예를 들면 산화갈륨 반도체의 Baliga FoM은 실리콘(Si) 대비 3,400배, 탄화규소(SiC) 대비 10배, 질화갈륨(GaN) 대비 4배 이상의 우수한 성능을 보이고 있어 차세대 고전력 스위칭 반도체 소자 제작에 매우 유리한 것으로 여겨진다.

본 연구에서는 국내 최초로 개발된 500 V급 산화갈륨 전력 MOSFETs (metal-oxide-semiconductor field-effect transistors)의 전기적 특성을 보고하였다. 차세대 전력 스위칭 소자 적용을 고려하여 ETRI에서는 독자적으로 에피 및 소자구조를 설계하였으며, 산화갈륨 반도체용으로 개발된 공정을 이용하여 소자를 제작하였다. 전류-전압 곡선(I-V), specific 온-저항( $R_{ds,on}$ ), 항복전압( $V_{BD}$ ), 온-오프 전류비( $I_{on}/I_{off}$ ) 등 전력 스위칭 소자의 주요 특성을 평가하였다.

## 2. 실험 방법

### 2.1 에피 및 소자구조 설계

본 연구에서는 고전압 전력 스위칭 소자에서 요구되는 낮은 누설전류(leakage current,  $I_{leak}$ , A), 높은 항복전압(breakdown voltage,  $V_{BD}$ , V) 및 높은 온-오프 전류비( $I_{on}/I_{off}$  ratio) 특성을 위하여 Fe가 도핑된 반절연 산화갈륨 기판(semi-insulating  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> substrate)을 사용하였다 [7,8]. 채널층은 반절연 기판 상에 MBE (molecular beam epitaxy) 방법으로 실리콘(Si) 이온을 도핑하여 성장하였다. 도핑농도 및 채널층 두께는 핀치-오프 전압(pinch-off voltage,  $V_p$ )과 온-저항( $R_{on}$ ,  $\Omega \cdot \text{cm}^2$ ) 값에 적합하도록 단일 채널의 에피 구조를 설계하였다.

**Fig. 1.** Cross-sectional  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> MOSFET structure with MBE-grown epitaxial layers.

설계된 에피 구조는 일본 Novel Crystal사에서 주문 성장하여 소자 제작에 사용하였다. 에피 성장에 사용된 반절연 기판은 EFG 방법(edge-defined, film fed growth method)으로 성장하였으며, 크기는 10 mm × 15 mm의 조각이다.

제작된 고전력 스위칭 소자는 플러스 게이트 전압인가 시 게이트 누설전류 증가와 파괴를 방지하기 위하여 금속-절연체-반도체 전계효과 트랜지스터(metal insulator semiconductor field effect transistor, MISFET) 구조로 설계하였다. 게이트 유전체막은 플라즈마 원자층 증착법(plasma-enhanced atomic layer deposition, PEALD)으로 성장된 유전상수가 큰 산화알루미늄(Al<sub>2</sub>O<sub>3</sub>)을 사용하였다. 소오스-게이트 간격( $L_{gs}$ )과 게이트-드레인 간격( $L_{gd}$ )은 접촉노광장치(contact aligner)의 정렬 오차와 소자의 항복전압 크기를 고려하여 결정하였다.

그림 1은 본 연구에서 산화갈륨 전력소자 제작에 사용된 에피와 소자의 단면구조를 나타낸다. 일반적으로 수평형 트랜지스터(lateral-type FET)의 경우 게이트와 드레인 전극 사이에 필드가 집중되며, 이 값이 반도체의 항복강도 이상으로 증가하면 소자의 항복(breakdown)이 일어난다.

질화갈륨(GaN) 전계효과 트랜지스터에서와 마찬가지로 산화갈륨 전력소자에서도 필드 플레이트(field plate) 기술을 사용하여 전계를 공간적으로 재분포를 시켜 주면 최대 항복 전계(maximum breakdown field)가 감소되어 결국 소자의 항복전압을 증가시킬 수 있다 [9,10]. 그러나 본 연구에서는 콘택 얼라이너(contact aligner)를 이용한 수동 리소 공정의 재현성과 소자 제작의 간소화를 위하여 필드 플레이트 기술은 채택하지 않았다.

### 2.2 소자 제조 공정

산화갈륨 소자 제조를 위하여 가장 먼저 수행하는

공정은 소자 격리(device isolation)이다. 산화갈륨은 사파이어( $Al_2O_3$ )와 마찬가지로 화학적으로 안정하여 습식 식각(wet etching) 방법으로 패터닝이 매우 어렵다. 따라서  $SF_6/Ar$  [11],  $BCl_3/Ar$  [12,13],  $Cl_2/Ar$  [14] 등 다양한 건식식각(dry etching) 방법을 이용하여 소자의 패터닝 공정들을 수행하는 것이 효과적이다. 이 경우 식각용 마스크 패턴 물질은 건식식각의 목적(식각 깊이, 각도, 공정의 편의성 등)에 따라  $SiN_x$ ,  $SiO_2$ , photoresist 등 다양하게 사용이 가능하지만 식각 선택비(selectivity)에 대한 최적화가 필요하다.

본 연구에서는 식각속도가 빠른  $BCl_3$  가스와 Ar보다 식각면의 손상이 적은  $N_2$ 를 기반으로 하는 유도결합 플라즈마(inductively coupled plasma, ICP) 장비를 사용하여 메사식각 방법으로 소자의 채널 영역을 격리하였다. 식각 가스는  $BCl_3$ 에  $N_2$ 를 12.5% 혼합한 후 챔버 압력을 5 mTorr로 고정하였다. RF 바이어스 파워는 플라즈마 입자 손상을 줄이기 위하여 ICP 코일 대비 10% 수준으로 낮게 조절하였다. 메사 식각 경계면은 채널층을 덮고 지나가는 메탈 전극 라인의 단락을 방지하고 후속 포토리소그래피(Photolithography) 공정을 안정성을 위하여 경사각(etch angle)이 약 150도가 되도록 공정하였다.

트랜지스터의 소오스와 드레인 전극을 위한 오믹 접촉은 전자빔증착기(e-beam evaporator)를 사용하여 Ti/Au (= 25/300 nm) 메탈층을 증착한 후 질소( $N_2$ ) 분위기와 475°C 온도에서 1분간 열처리하여 형성하였다. 오믹 접촉 저항 특성의 평가는 테스트 패턴을 이용하였으며, 본 연구에서는 패턴 형성 공정이 간단하여 반도체 단위공정에서 주로 사용하는 원형 전송선방법(circular transmission line method, C-TLM)을 이용하였다 [15,16].

고전력 스위칭 소자에서 중요한 공정 중 하나인 게이트 유전체는 원자층 증착법으로 두께 20 nm의 산화알루미늄( $Al_2O_3$ ) 박막을 증착하였으며, 이어서 샘플의 표면 불순물을 제거하고 소자의 스위칭 동작 과정에서 이력(hysteresis) 특성 악화를 방지하기 위하여 염산(HCl) 희석 용액에 40초 동안 세정 후 곧바로 진공 증착 장비에 장입하여 오믹메탈과 동일한 두께로 Ti/Au 게이트 메탈층을 증착하였다.

그 후 소자 표면을 보호하기 위하여 플라즈마-증가 화학기상증착법(plasma-enhanced chemical vapor deposition, PECVD)으로 300 nm 두께의 이산화규소( $SiO_2$ ) 절연막을 증착하였다.  $CF_4$  기반 건식식각법으로 유전체 비어홀을 형성한 후 전기 저항 감소와 측정 시

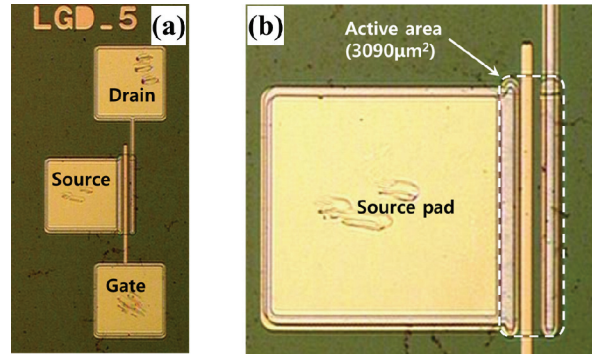


Fig. 2. (a) Plan-view optical micrograph and (b) magnified device active area of  $\beta$ - $Ga_2O_3$  MOSFET.

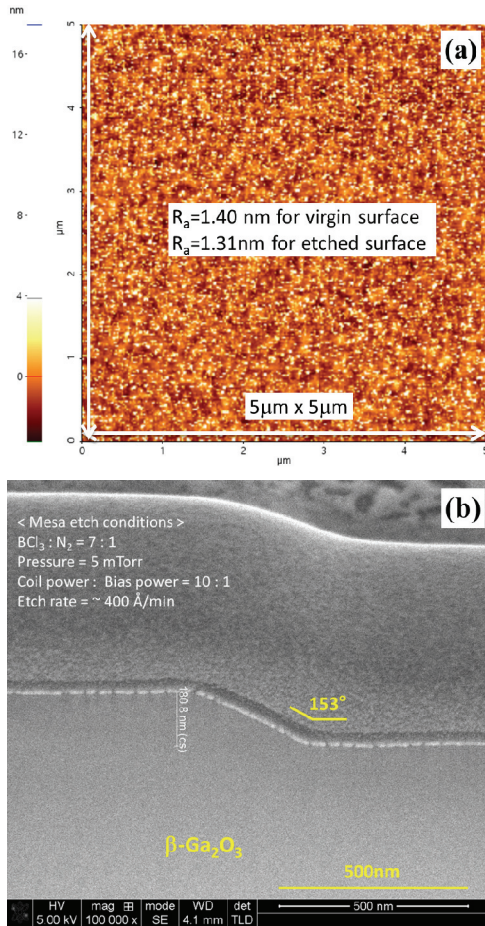
패드 프로빙을 용이하게 하기 위하여 Ti/Au 2차 금속을 진공 증착하였다. 최종적으로 질화규소( $SiN_x$ ) 패시베이션(passivation)을 통하여 수분이나 먼지 흡착 등 외부환경 영향을 최소화하고 측정 등 기타 소자 조작 과정에서 생길 수 있는 스크래치 등을 방지함으로써 소자의 신뢰성 향상을 꾀하였다.

그림 2는 본 연구에서 개발된 finger-type의 수평 구조 산화갈륨 전력 전계효과 트랜지스터의 광학사진을 보여준다. 그림 2(b)는 메사 식각으로 격리된 소자의 활성 면적(active area)을 확대하여 보여준다. 여기서 계산된 유효 면적은 향후 트랜지스터의 specific 온-저항( $R_{ds,on,sp}$ ) 계산에 사용되었다.

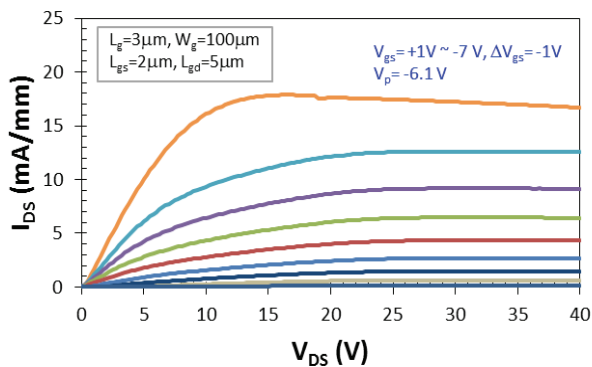
### 3. 결과 및 고찰

그림 3은 소자의 채널층 분리를 위하여 수행된 메사(mesa) 식각 공정에 대한 표면 및 단면 특성의 분석 결과를 나타낸다. 건식식각 후 감광막 마스크 패턴을 제거하고 AFM (atomic force microscope) 분석법을 이용하여 표면 조도(surface roughness)를 분석하였으며, FIB (focused ion beam)를 이용한 단면 SEM (scanning electron microscope) 사진으로부터 식각 각도(etching angle)를 분석하였다. 식각 후 표면 거칠기는 약 1.31 nm로, 식각 전 1.40 nm와 매우 유사한 값을 보여 저손상 건식식각임을 알 수 있었다. 최적화된 식각 조건에서 식각 속도(etch rate)는 약 400 Å/min 정도였으며, 후속으로 진행되는 금속전극 연결 공정에 중요한 파라미터인 식각 경사 각도는 153도로 측정되었다.

그림 4는 제작된 산화갈륨 트랜지스터( $\beta$ - $Ga_2O_3$  FET)

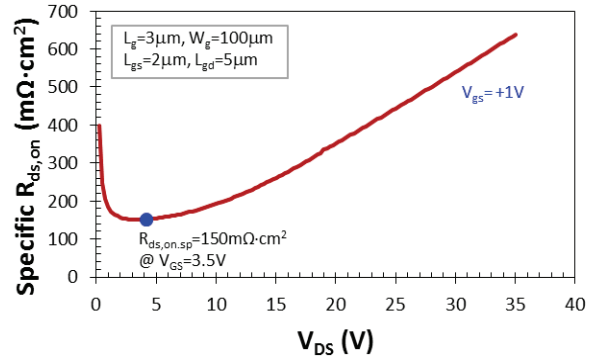


**Fig. 3.** Analysis data for MESA etching process; (a) surface roughness by AFM, (b) etching angle by cross-sectional FIB SEM photograph.

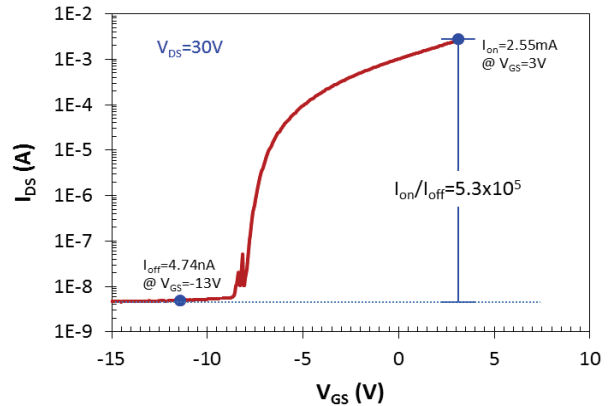


**Fig. 4.** DC  $I_{DS}$ - $V_{DS}$  characteristics of  $\beta$ - $Ga_2O_3$  MOSFET with MBE-grown Si-doped channel.

에 대한  $I_{DS}$ - $V_{DS}$  특성을 나타낸다. 이때 소자의 설계 변수는 게이트 길이( $L_g$ ) 3  $\mu m$ , 게이트 폭( $W_g$ ) 100  $\mu m$ , 소오스-게이트 거리( $L_{gs}$ ) 2  $\mu m$ , 게이트-드레인 거리



**Fig. 5.** DC specific  $R_{ds,on}$  characteristics of  $\beta$ - $Ga_2O_3$  MOSFET.

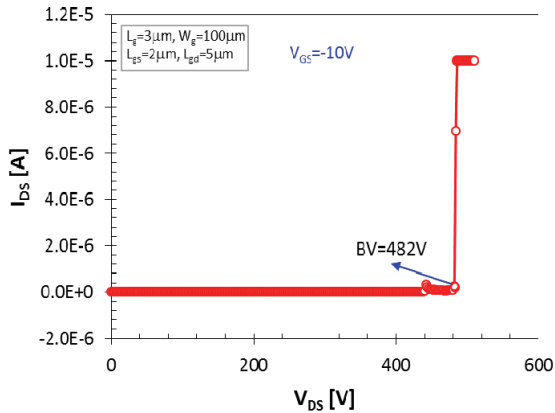


**Fig. 6.** DC transfer characteristics of  $\beta$ - $Ga_2O_3$  MOSFET with Si-doped MBE-grown channel layer.

( $L_{gd}$ ) 5  $\mu m$ 가 사용되었으며, 1-finger로 구현되었다. 소자의 측정 조건은 게이트에  $V_{gs} = -7 \sim +1$  V (1 V step) 와 드레인에  $V_{DS} = 0 \sim 40$  V를 인가하였다. 드레인 전류밀도  $I_{ds}$  (mA/mm)는 약 17.6 mA/mm ( $V_{gs} = +1.0$  V,  $V_{DS} = 20$  V), 핀치-오프 전압( $V_p$ )은 -6.1 V 정도였다.

전력 스위칭 소자의 온-저항( $R_{ds,on}$ )은 온-상태에서 전력 손실에 비례하므로 낮을수록 고효율 전력 변환이 가능하다. 그림 5는 제작된 소자의 온-저항 특성을 나타낸다.  $R_{ds,on}$ 은 전압대 전류의 비이므로, 그림 4의 전류-전압 곡선에서  $V_{GS} = +1$  V,  $V_{DS} = 3.5$  V에서 약 0.72 mA의 전류값으로부터  $R_{ds,on}$ 은 4.86 k $\Omega$ 의 계산 결과를 얻을 수 있다. 측정된 소자의 경우 액티브 면적은 그림 2(b)에 표시된 바와 같이  $3.09 \times 10^{-5}$   $cm^2$ 으로 계산되었다. 따라서 specific  $R_{ds,on}$  (=  $R_{ds,on} \times \text{active area}$ ) 값은 150  $m\Omega \cdot cm^2$ 로 산출되었으며, 그 결과를 그림 5에 나타내었다.

그림 6은 제작된 트랜지스터에 대한 전달특성(transfer characteristic)을 나타낸다. 측정 조건은 먼저 드레인에



**Fig. 7.** DC breakdown voltage characteristics of  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> MOSFET measured at room temperature.

$V_{DS} = 30$  V를 인가하고 게이트에  $V_{gs} = -15 \sim +3$  V (50 mV step) 전압을 인가하였다. 이 경우 핀치-오프 상태의 오프-전류( $I_{off}$ )는  $V_{GS} = -13$  V에서 4.74 nA로 측정되었으며, 채널-온 상태의 온-전류( $I_{on}$ )는  $V_{GS} = 3$  V에서 2.55 mA로 측정되어 온/오프 전류비( $I_{on}/I_{off}$  ratio)는  $5.3 \times 10^5$  정도의 우수한 특성을 나타내었다. 이는 Fe가 도핑된 반절연 기판의 사용에 따른 누설전류의 감소에 기인한 것으로 생각된다. 특히 게이트 전압 3 V에서 최대 전류밀도( $I_{ds,max}$ )는 25.5 mA/mm 정도로 평가되었다.

그림 7은 제작된 트랜지스터의 항복전압 특성 (breakdown voltage characteristic)을 나타낸다.

측정 조건은 소자의 게이트에 핀치-오프 전압 이하인  $V_{gs} = -10$  V를 인가하고  $V_{DS} = 0 \sim 1,100$  V를 2 V step으로 증가시키면서 전류가 갑자기 급격히 흘러 소자가 완전 파괴(burn-out)될 때의 드레인 전압으로 항복전압을 정의하였다. 비파괴(nondestructive) 항복전압의 크기를 평가가 필요할 경우 계측기의 드레인 전류 기준 (compliance)을 줄여주면 된다. 그림에서 보는 바와 같이 게이트-드레인 거리( $L_{gd} = 5 \mu\text{m}$ )에서 482 V의 우수한 항복전압 특성을 얻었다. 이 값은 현재까지 국내 산화갈륨 전력소자의 항복전압 연구 결과 중에서 최고 수준에 해당한다. 뿐만 아니라 개발된 소자의 항복전계강도(breakdown field,  $E_{br}$ , V/cm)는 0.96 MV/cm 정도로 평가되었다. 이 값은 질화갈륨(GaN) 수평형 전력소자의 0.6 MV/cm [17]보다 약 1.6배 정도 높은 값으로, 산화갈륨의 밴드갭( $E_g = 4.8$  eV)이 질화갈륨( $E_g = 4.3$  eV)보다 더 넓기 때문이다. 향후 기존 전력반도체보다 우수한 성능의 고전압 전력 스위칭 소자 개발을 위한 플랫폼으로 발전할 가능성이 높을 것으로 판단된다 [18].

## 4. 결론

본 연구에서는 Fe-도핑된 반절연 단결정 산화갈륨( $\beta$ -Ga<sub>2</sub>O<sub>3</sub>) 기판상에 분자선 에피성장법(MBE)으로 성장된 에피 채널 구조를 갖는 500 V급의 수평형 전계효과 트랜지스터를 국내 최초로 개발하였다. 전력 트랜지스터는 핀치-오프 전압( $V_p$ ) -6.1 V, 온-저항( $R_{on,sp}$ ) 150 m $\Omega \cdot \text{cm}^2$ , 항복전압( $V_{BD}$ ) 482 V, 항복전계강도( $E_{br}$ ) 0.96 MV/cm, 온/오프 전류비( $I_{on}/I_{off}$ )  $5.3 \times 10^5$ , 게이트 전압 3 V에서 최대 전류밀도( $I_{ds,max}$ ) 25.5 mA/mm 특성을 보였다. 이 경우 필드 플레이트 기술을 채택하지 않았음에도 불구하고 원자층 증착법(ALD)에 의한 고유전율의 산화알루미늄 게이트 유전체 박막 사용과 최적화된 저손상 메사 식각 공정의 적용으로 우수한 항복전압 특성을 얻었다. 이러한 소자 공정 기술은 향후 전기자동차, 산업기기, 철도, 신재생 에너지 분야 등 다양한 산업분야에서 적용 가능한 산화갈륨 고전력 스위칭 소자 기술의 발전에 핵심이 될 것으로 예상된다.

## ORCID

Jaе Kyoung Mun

<https://orcid.org/0000-0002-1849-2117>

## 감사의 글

본 연구는 산업통상자원부 소재부품개발사업(전략적핵심소재기술개발사업, 과제번호: 10080736)의 지원에 의하여 수행된 결과임을 밝혀 둡니다.

## REFERENCES

- [1] M. Higashiwaki, K. Sasaki, A. Kuramata, T. Masui, and S. Yamakoshi, *Appl. Phys. Lett.*, **100**, 013504 (2012). [DOI: <https://doi.org/10.1063/1.3674287>]
- [2] A. Kuramata, K. Koshi, S. Watanabe, Y. Yamaoka, T. Masui, and S. Yamakoshi, *Jpn. J. Appl. Phys.*, **55**, 1202A2 (2016). [DOI: <https://doi.org/10.7567/jjap.55.1202A2>]
- [3] M. Higashiwaki, A. Kuramata, H. Murakami, and Y. Kumagai, *J. Phys. D: Appl. Phys.*, **50**, 333002 (2017). [DOI: <https://doi.org/10.1088/1361-6463/aa7aff>]
- [4] G. Jessen, K. Chabak, A. Green, N. Moser, J. McCandless, K. Leedy, A. Crespo, and S. Tetlak, *Proc. 2017 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)* (IEEE, Miami, USA, 2017) p. 1.

- [5] T. Oshima, T. Okuno, and S. Fujita, *Jpn. J. Appl. Phys.*, **46**, 7217 (2007). [DOI: <https://doi.org/10.1143/jjap.46.7217>]
- [6] B. Bayraktaroglu, *Assessment of Ga<sub>2</sub>O<sub>3</sub> Technology* [DOI: <https://www.dtic.mil/dtic/tr/fulltext/u2/1038137.pdf>]
- [7] A. Y. Polyakov, N. B. Smirnov, I. V. Schemerov, A. V. Chernykh, E. B. Yakimov, A. I. Kochkova, A. N. Tereshchenko, and S. J. Pearton, *ECS J. Solid State Sci. Technol.*, **8**, Q3091 (2018). [DOI: <https://doi.org/10.1149/2.0171907jss>]
- [8] A. Y. Polyakov, N. B. Smirnov, I. V. Schemerov, S. J. Pearton, F. Ren, A. V. Chernykh, and A. I. Kochkova, *Appl. Phys. Lett.*, **113**, 142102 (2018). [DOI: <https://doi.org/10.1063/1.5051986>]
- [9] S. Karmalkar and U. K. Mishra, *IEEE Trans. Electron Devices*, **48**, 1515 (2001). [DOI: <https://doi.org/10.1109/16.936500>]
- [10] K. Zeng, A. Vaidya, and U. Singiseti, *IEEE Electron Device Lett.*, **39**, 1385 (2018). [DOI: <https://doi.org/10.1109/LED.2018.2859049>]
- [11] H. Liang, Y. Chen, X. Xia, C. Zhang, R. Shen, Y. Liu, Y. Luo, and G. Du, *Mater. Sci. Semicond. Process.*, **39**, 582 (2015). [DOI: <https://doi.org/10.1016/j.mssp.2015.05.065>]
- [12] A. P. Shah and A. Bhattacharya, *J. Vac. Sci. Technol., A*, **35**, 041301 (2017). [DOI: <https://doi.org/10.1116/1.4983078>]
- [13] L. Zhang, A. Verma, H. (G.) Xing, and D. Jena, *Jpn. J. Appl. Phys.*, **56**, 030304 (2017). [DOI: <https://doi.org/10.7567/jjap.56.030304>]
- [14] J. Yang, S. Ahn, F. Ren, S. Pearton, R. Khanna, K. Bevin, D. Geerpuram, and A. Kuramata, *J. Vac. Sci. Technol., B*, **35**, 031205 (2017). [DOI: <https://doi.org/10.1116/1.4982714>]
- [15] J. K. Mun, K. J. Choi, J. W. Do, H. S. Lee, S. B. Bae, and W. J. Chang, *Proc. Journal of the Korean Institute of Electrical and Electronic Material Engineers Annual Summer Conference 2018* (CDM THE BIG, Goseong-Gun, Korea, 2018) p. 35.
- [16] H. Yu, M. Schaekers, T. Schram, N. Collaert, K. D. Meyer, N. Horiguchi, A. Thean, and K. Barla, *IEEE Electron Device Lett.*, **35**, 957 (2014). [DOI: <https://doi.org/10.1109/LED.2014.2340821>]
- [17] J. T. Asubar, J. Ng, H. Tokuda, and M. Kuzuhara, *Compd. Semicond. Mag.*, **22**, 26 (2016). [DOI: <https://data.angel.digital/pdf/CSOct16.compressed.pdf>]
- [18] J. H. Ji and J. H. Koh, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **30**, 3 (2017). [DOI: <http://kiss.kstudy.com/thesis/thesis-view.asp?key=3517150>]