

접합 및 무접합 이중게이트 MOSFET에 대한 문턱전압 이동 및 드레인 유도 장벽 감소 분석

정학기 

군산대학교 전자공학과

Analysis of Threshold Voltage Roll-Off and Drain Induced Barrier Lowering in Junction-Based and Junctionless Double Gate MOSFET

Hak Kee Jung

Department of Electronic Engineering, Kunsan National University, Gunsan 54150, Korea

(Received October 31, 2018; Revised November 29, 2018; Accepted December 3, 2018)

Abstract: An analytical threshold voltage model is proposed to analyze the threshold voltage roll-off and drain-induced barrier lowering (DIBL) for a junction-based double-gate (JBDG) MOSFET and a junction-less double-gate (JLDG) MOSFET. We used the series-type potential distribution function derived from the Poisson equation, and observed that it is sufficient to use $n = 1$ due to the drastic decrease in eigenvalues when increasing the n of the series-type potential function. The threshold voltage derived from this threshold voltage model was in good agreement with the result of TCAD simulation. The threshold voltage roll-off of the JBDG MOSFET was about 57% better than that of the JLDG MOSFET for a channel length of 25 nm, channel thickness of 10 nm, and oxide thickness of 2 nm. The DIBL of the JBDG MOSFET was about 12% better than that of the JLDG MOSFET, at a gate metal work-function of 5 eV. It was also found that decreasing the work-function of the gate metal significantly reduces the DIBL.

Keywords: Junction-based, Junctionless, Threshold voltage, DIBL, Threshold voltage roll-off

1. 서론

기존의 접합형 이중게이트(junction based double gate, JBDG) MOSFET의 경우, 크기가 나노 단위까지 감소하면서 채널과 소스/드레인 간의 급격한 도핑농도의 변화를 공정으로 구현하기 어렵게 되었다. 이와 같은 문제점을 보완하기 위하여 개발된 무접합 이중게이트(junctionless double gate, JLDG) MOSFET는 채널과 소스/드레인을 동일한 도핑형태 및 도핑농도로 구현

함으로써 공정이 용이하다는 장점이 있다. 이때 접합형 이중게이트 MOSFET와 비교하여 문턱전압 이하 특성이 개선된다는 연구와 악화된다는 연구 [1,2]가 발표되고 있다. 이에 본 논문에서는 동일한 구조를 갖는 접합형 이중게이트 MOSFET와 무접합 이중게이트 MOSFET의 경우 문턱전압 이하 특성 중, 문턱전압 이동현상(threshold voltage roll-off) 및 드레인유도장벽저하(drain induce barrier height, DIBL)를 비교하여 두 구조의 장단점을 분석하고자 한다. 이를 위하여 Qian 등이 사용한 포아송 방정식의 해법 [3]을 사용하였다. Qian 등의 방법은 스케일 길이의 부정확성에 대한 문제점을 지닌 포물선 근사 포텐셜(parabolic potential) 방법 [4] 및 비균일 산화막의 해석에 대한 부정확성을 지닌 등각함수(conformal mapping) 방법 [5]을 보완하는 방법으로

✉ Hak Kee Jung; hkjung@kunsan.ac.kr

Copyright ©2019 KIEEME. All rights reserved.
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

서 접합형 이중게이트 MOSFET 및 무접합 이중게이트 MOSFET뿐만 아니라 도핑되지 않은 채널을 가진 이중 게이트 MOSFET의 경우도 해석할 수 있다는 장점을 갖는다. 그러나 Qian 등의 논문에서는 구체적으로 문턱전압을 유도하지 않았으므로 본 논문에서는 Qian 등의 포텐셜 모델을 이용하여 해석학적 문턱전압 이동 및 DIBL을 유도하였다. 전도 중심이 채널 도핑농도에 따라 변화하는 JBDG MOSFET와 달리 JLDG MOSFET는 대부분의 반송자가 중심축으로 전달된다. 이때 전도 중심에서 최하 포텐셜이 0이 될 때, 게이트 전압을 문턱전압으로 정의하는 ϕ_{min} 방법 [6,7]을 사용할 것이다.

2. 실험 방법

2.1 DGMOSFET의 해석학적 문턱전압 모델

그림 1에 본 논문에서 사용한 이중게이트 MOSFET의 개략도를 도시하였다. 소스와 드레인은 n^+ 로 고농도 도핑하였으며 채널은 N 으로 도핑하였다. 이때 채널이 p 형으로 도핑되면 JBDG MOSFET이며 n 형으로 도핑되면 JLDG MOSFET가 된다. 특히 $N=0$ 이면 진성 반도체를 나타낸다. 게이트는 일함수가 ϕ_m 인 금속을 사용하였으며 ϵ_{ox} 는 산화막의 유전율, L_g 는 게이트 길이, t_{si} 는 채널 두께, t_{ox} 는 산화막 두께를 표시한다. Qian 등에서 사용한 경계조건 및 풀이방법을 이용하여 구한 전위 분포는 다음 식 (1)과 같은 급수형태로 표현할 수 있다 [3].

여기서 ϵ_{si} 는 실리콘의 유전율, E_g 는 실리콘의 에너지 밴드 갭, V_{ds} 는 드레인 전압, V_g 는 게이트 전압, $\Delta\phi$ 는 게이트 금속과 채널 간 일함수 차, ϕ_0 는 $x=y=0$ 에서 중심전위이며 λ_n 은 다음 식 (2)와 같은 고유방정식을 만족하는 고유값이다.

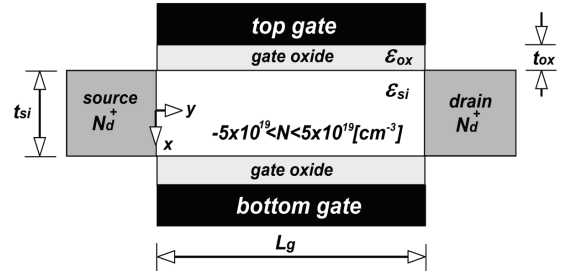


Fig. 1. Schematic cross sectional diagram of double gate (DG) MOSFET.

$$\epsilon_{si} \tan(\pi t_{ox} / \lambda_n) = \epsilon_{ox} \tan(n\pi / 2 - \pi t_{si} / 2\lambda_n) \quad (2)$$

대칭형 이중게이트 MOSFET의 경우, n 이 홀수인 경우만 0이 아니며 $\lambda_n / \lambda_1 \approx (1/n)$ 으로 주어지는 것을 이미 발표한 논문에서 알 수 있다 [8]. 본 논문에서는 $-5 \times 10^{19} / \text{cm}^3 < N < 5 \times 10^{19} / \text{cm}^3$ 의 범위에 대하여 계산하였다. 즉, 식 (1)에서 $-5 \times 10^{19} / \text{cm}^3 < N < 0$ 이면 채널이 p 형으로 도핑된 경우로써 JBDG MOSFET이며 $0 < N < 5 \times 10^{19} / \text{cm}^3$ 이면 채널이 n 형으로 도핑된 경우로써 JLDG MOSFET이다.

그림 2에 주어진 조건에서 구한 고유값 λ_n 의 n 에 대한 변화를 나타내었다. 고유값 λ_n 은 n 이 증가함에 따라 급격히 감소하므로 식 (1)의 우변의 마지막 항에 대한 분모 값인 $\sinh(\pi L_g / \lambda_3)$, $\sinh(\pi L_g / \lambda_5)$, $\sinh(\pi L_g / \lambda_7) \dots$ 등은 그림 2의 내부 그림에서 알 수 있듯이 n 에 따라 급격히 증가하므로 결국 전위분포에 미치는 영향이 거의 무시할 수 있을 정도가 된다. 그러므로 식 (1)에서 $n=1$ 의 경우만 사용하여 전위분포를 표현하였다. 일반적으로 $L_g > 1.5\lambda_1$ 인 경우 이와 같은 근사는 타당한 것으로 발표되고 있다 [3,9]. 그림 2의 $L_g = 25 \text{ nm}$ 의 경우, $\lambda_1 = 15.38 \text{ nm}$ 정도로 조건을 만족하고 있다는 것을 알 수 있다. 그러므로 본 논문에서는 식 (1)에서

$$\phi(x, y) = -\frac{qNx^2}{2\epsilon_{si}} V_g - \frac{qN}{2\epsilon_{si}} x^2 - \Delta\phi + \frac{qNt_{si}^2}{8\epsilon_{si}} \left(1 + \frac{4\epsilon_{si}t_{ox}}{\epsilon_{ox}t_{si}} \right) + \sum_{n=1}^{\infty} \frac{b_n \sinh[\pi(L_g - y)/\lambda_n] + c_1 \sinh(\pi y/\lambda_n)}{\sinh(\pi L_g/\lambda_n)} \cos(\pi x/\lambda_n) \quad (1)$$

$$b_n = \frac{\left[2\lambda_n^2 \tan(\pi t_{ox}/\lambda_n) \sin(\pi t_{si}/2\lambda_n) (E_g/2q - \phi_0) / t_{ox} \pi^2 + \lambda_n^2 q N t_{si} \cos(\pi t_{si}/2\lambda_n) \{ 1 - 2\lambda_n \tan(\pi t_{si}/2\lambda_n) / \pi t_{si} + t_{si} \tan(\pi t_{ox}/\lambda_n) \tan(\pi t_{si}/2\lambda_n) / 4t_{ox} \} \right]}{t_{si}/2 + t_{ox} \sin(\pi t_{si}/\lambda_n) / \sin(2\pi t_{ox}/\lambda_n)}$$

$$c_n = \frac{\left[2\lambda_n^2 \tan(\pi t_{ox}/\lambda_n) \sin(\pi t_{si}/2\lambda_n) (E_g/2q + V_{ds} - \phi_0) / t_{ox} \pi^2 + \lambda_n^2 q N t_{si} \cos(\pi t_{si}/2\lambda_n) \{ 1 - 2\lambda_n \tan(\pi t_{si}/2\lambda_n) / \pi t_{si} + t_{si} \tan(\pi t_{ox}/\lambda_n) \tan(\pi t_{si}/2\lambda_n) / 4t_{ox} \} \right]}{t_{si}/2 + t_{ox} \sin(\pi t_{si}/\lambda_n) / \sin(2\pi t_{ox}/\lambda_n)}$$

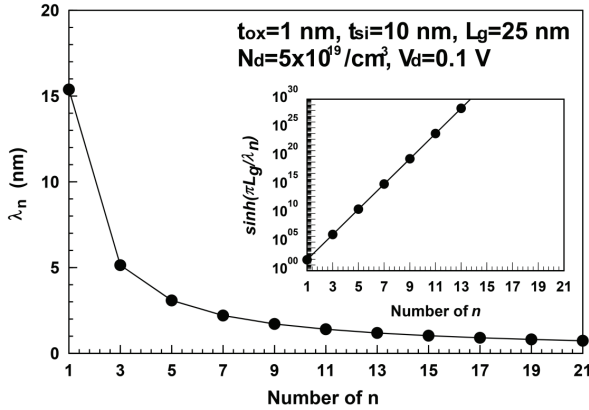


Fig. 2. Eigenvalue λ_n under given conditions. We show the value of $\sinh(\pi L_g / \lambda_n)$, denominator of potential distribution function.

$n=1$ 인 경우를 이용하여 문턱전압의 해석학적 모델을 유도하였다. ϕ_{\min} 방법을 이용하기 위하여 식 (1)에서 전도 중심에서 $\phi(x,y)$ 의 최소값을 구한다. 즉, $\partial\phi(x,y)/\partial y=0$ 을 만족하는 $y=y_{\min}$ 값을 구하여 식 (1)에 대입하면 ϕ_{\min} 값을 구할 수 있다. 먼저 $n=1$ 인 경우를 식 (1)에 대입한 후, y 에 대하여 미분하고 0으로 놓았을 경우, 해당 식을 만족하는 y 값을 y_{\min} 으로 정한다. 이와 같이 구한 y_{\min} 값은 다음 식 (3)과 같다.

$$y_{\min} = \left(\frac{\lambda_1}{\pi} \right) \cosh^{-1} \left(\frac{b_1^2}{\sqrt{b_1^2 - [b_1 \coth(\pi L_g / \lambda_1) - c_1 \text{csch}(\pi L_g / \lambda_1)]^2}} \right) \quad (3)$$

식 (3)에서 구한 y_{\min} 값을 식 (1)에 대입하면 최소전위 값을 식 (4)와 같이 구할 수 있다.

$$\begin{aligned} \phi_{\min}(x) &= A + B \sinh[\pi(L_g - y_{\min})/\lambda_1] + C \sinh(\pi y_{\min}/\lambda_1) \quad (4) \\ A &= -\frac{qN_x^2}{2\epsilon_{si}} + V_g - \Delta\phi + \frac{qN_{si}^2}{8\epsilon_{si}} \left(1 + \frac{4\epsilon_{si}t_{ox}}{\epsilon_{ox}t_{si}} \right) \\ B &= \frac{b_1}{\sinh(\pi L_g / \lambda_1)} \cos(\pi x / \lambda_1) \\ C &= \frac{c_1}{\sinh(\pi L_g / \lambda_1)} \cos(\pi x / \lambda_1). \end{aligned}$$

이때 식 (4)에서 JLDG MOSFET의 경우, 대부분의 전자는 중심축을 따라 전송되므로 $x=0$ 이다. 그러나 JBDG MOSFET의 경우는 전도 중심을 구하기 위하여 다음과 같은 식을 사용하였다 [9].

$$x_{eff} = \lambda_1 \cos^{-1} \left(\frac{\int_{x=0}^{x=t_{si}/2} \cos(x/\lambda_1) e^{q\phi_{\min}/kT} dx}{\int_{x=0}^{x=t_{si}/2} e^{q\phi_{\min}/kT} dx} \right) \quad (5)$$

이 x_{eff} 값을 식 (4)에 대입하면 ϕ_{\min} 을 구할 수 있으며 이때 $\phi_{\min}=0$ 을 만족하는 V_g 를 문턱전압 V_{th} 로 놓으면 다음과 같이 문턱전압 V_{th} 의 해석학적 모델식을 구할 수 있다.

$$\begin{aligned} V_{th} &= \frac{qN_x^2}{2\epsilon_{si}} + \Delta\phi - \frac{qN_{si}^2}{8\epsilon_{si}} \left(1 + \frac{4\epsilon_{si}t_{ox}}{\epsilon_{ox}t_{si}} \right) - \quad (6) \\ &\quad \frac{\left[\frac{b_1 \sinh[\pi(L_g - y_{\min})/\lambda_1] + c_1 \sinh(\pi y_{\min}/\lambda_1)}{\sinh(\pi L_g / \lambda_1)} \right] \cos(\pi x_{eff}/\lambda_1)}{\sinh(\pi L_g / \lambda_1)} \end{aligned}$$

전술한 바와 같이 JLDG MOSFET의 경우, $x_{eff}=0$ 을 사용하였다.

2.2 DGMOSFET의 문턱전압 이동 및 DIBL

문턱전압 이동현상(threshold voltage roll-off)을 구할 때 식 (6)의 우변 둘째 항과 셋째 항은 채널 길이에 따라 변화하지 않으므로 생략할 수 있다. 또한 DIBL을 구할 때도 마찬가지로 해당 두 개항은 드레인 전압에 무관하므로 생략할 수 있다. 그러나 y_{\min} 값은 식 (2)에서 알 수 있듯이 드레인 전압(c_1 의 변수) 및 채널 길이에 따라 변화하는 것을 알 수 있다. 그러므로 식 (6)의 우변 마지막 항은 문턱전압 이동 및 DIBL을 해석하는 데 매우 중요한 역할을 한다. 본 논문에서는 식 (6)을 이용하여 JBDG 및 JLDG MOSFET의 문턱전압 이동 및 DIBL 현상을 비교 고찰하고자 한다. 이때 DIBL은 다음과 같은 식 (7)로 표현할 수 있다.

$$DIBL = \frac{V_{th}(V_{ds}=0.1) - V_{th}(V_{ds}=1.0)}{0.9} \quad (7)$$

3. 결과 및 고찰

3.1 DGMOSFET의 문턱전압 이동

본 논문에서 제시한 식 (6)의 문턱전압 모델의 타당성을 입증하기 위하여 그림 3에 TCAD 시뮬레이션

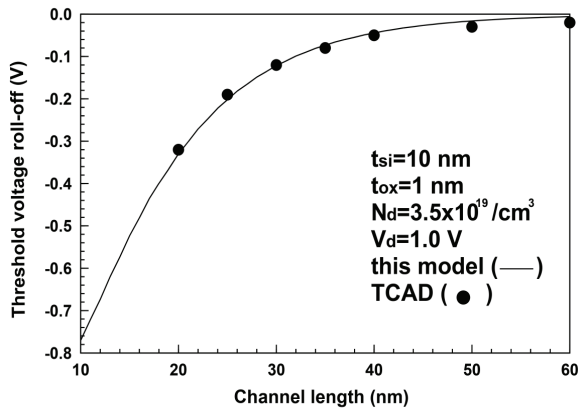


Fig. 3. Comparison of threshold voltage roll-offs for this model and TCAD simulation [3] under given conditions. The line and dots denote results of this model and TCAD, respectively.

값 [3]과 비교하였다. 그림 3에서 알 수 있듯이 TCAD 시뮬레이션 결과와 잘 일치하는 것을 알 수 있다. 그러므로 본 논문에서는 식 (6)을 이용하여 문턱전압 이동 및 DIBL 현상을 $-5 \times 10^{19} / \text{cm}^3 < N < 5 \times 10^{19} / \text{cm}^3$ 의 범위에서 고찰하였다.

먼저 그림 4에 주어진 조건에 따라 문턱전압 이동에 대한 계산 결과를 도시하였다. 식 (1)에서 N 이 음수이면 채널이 p형으로 도핑된 경우이며 양수이면 n형으로 도핑된 경우이다. 그러므로 $N_a = 5 \times 10^{19} / \text{cm}^3$ 로 채널이 도핑된 경우 n^+ 소스/드레인과 pn 접합을 이루므로 JBDG MOSFET를 구성하며 채널이 $N_d = 5 \times 10^{19} / \text{cm}^3$ 로 도핑된 경우 JLDG MOSFET가 형성됨을 알 수 있다. 그림 4에서 알 수 있듯이 JBDG MOSFET의 경우 문턱전압 이동이 감소하는 것을 관찰할 수 있다. 진성 반도체를 채널로 사용한 경우, JBDG MOSFET보다 문턱전압 이동 특성이 저하되나 JLDG MOSFET보다는 향상됨을 관찰할 수 있다. 이와 같은 결과는 이미 발표한 논문 [3]의 결과와 잘 일치하는 것을 알 수 있다. 드레인 전압이 0.1 V에서 1.0 V로 증가하였을 경우 문턱전압 이동현상을 그림 4(b)에 도시하였다. 그림 4(b)에서 알 수 있듯이 DIBL 현상에 의하여 문턱전압 이동 현상이 심화되는 것을 관찰할 수 있다.

이러한 문턱전압 이동현상을 채널도핑에 따라 분석하기 위하여 채널 두께를 파라미터로 하여 구한 문턱전압 이동을 그림 5(a)에 도시하였다. 그림 5(a)에서 알 수 있듯이 JBDG MOSFET의 경우 JLDG MOSFET보다 문턱전압 이동이 감소하는 것을 관찰할 수 있다.

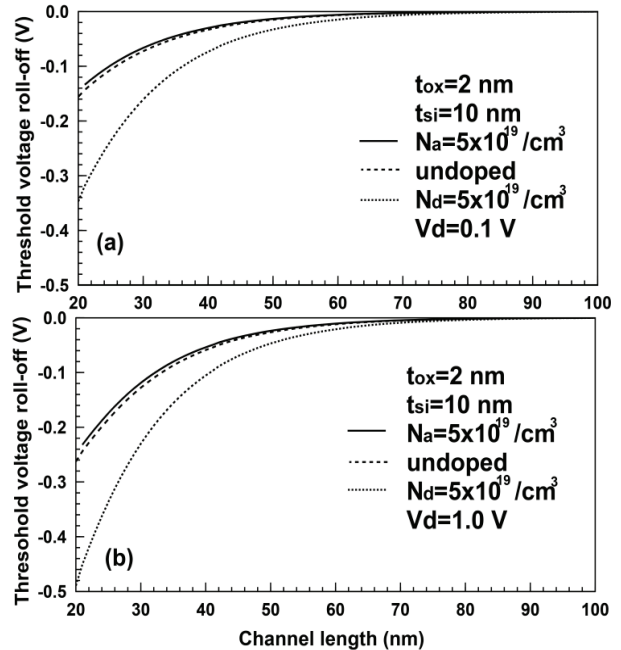


Fig. 4. Comparison of threshold voltage roll-offs for JBDG MOSFET ($N_a = 5 \times 10^{19} / \text{cm}^3$), undoped channel DG MOSFET, and JLDG MOSFET ($N_d = 5 \times 10^{19} / \text{cm}^3$) at (a) $V_{ds} = 0.1 \text{ V}$ and (b) $V_{ds} = 1.0 \text{ V}$.

채널의 도핑농도가 0인 경우를 변곡으로 도핑농도에 따라 문턱전압 이동이 변화하며 채널 두께가 증가할수록 단채널 효과가 증가하고 이로 인하여 문턱전압 이동이 증가하는 것을 알 수 있다. 특히 JLDG MOSFET의 경우 채널 두께에 대한 문턱전압 이동의 변화가 JBDG MOSFET보다 크게 나타나고 있었다. 이는 JLDG MOSFET의 경우 대부분의 전하 이동이 실리콘 벌크 내에서 이루어지므로 두께에 대하여 JBDG MOSFET보다 더욱 민감하기 때문이다 [7]. 또한 시뮬레이션한 도핑농도 범위 중 도핑농도가 낮은 범위에 있을 경우, 문턱전압 이동이 급격히 변화하고 있다는 것을 관찰하였으며 실제로 이 범위에서는 도핑농도가 급격히 변화하고 있다는 것을 알 수 있다.

산화막 두께 변화를 파라미터로 구한 도핑농도 변화에 대한 문턱전압 이동을 그림 5(b)에 도시하였다. 그림에서 알 수 있듯이 산화막 두께가 증가할수록 문턱전압 이동이 크게 나타나고 있었다. 이는 산화막 두께가 증가하면 단채널 효과도 증가하기 때문이다 [10]. JBDG MOSFET 영역보다 JLDG MOSFET 영역이 산화막 두께에 따라 문턱전압 이동의 변화가 더욱 심하다는 것을 관측할 수 있다.

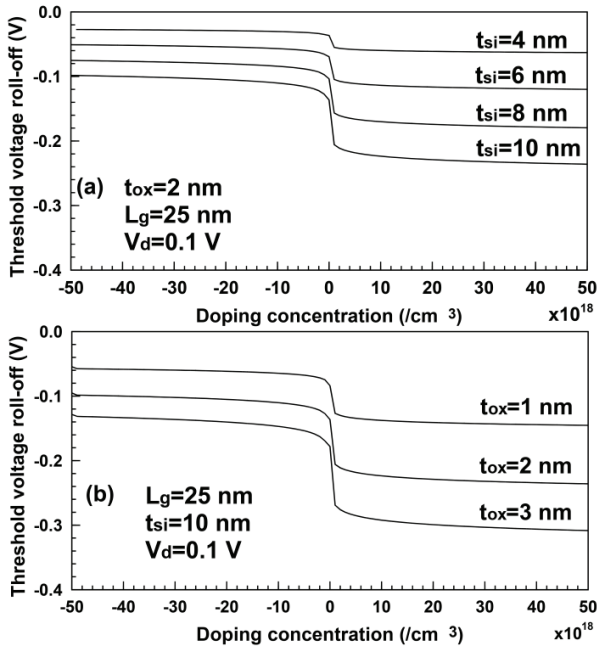


Fig. 5. Threshold voltage roll-offs for doping concentration (a) with channel thickness as a parameter and (b) with oxide thickness as a parameter under given conditions.

3.2 DGMOSFET의 DIBL

DIBL은 드레인 전압이 소스 측 에너지밴드에 영향을 미칠 정도로 채널 길이가 짧을 때 발생하는 단채널 효과로써 드레인 전압 변화에 대한 문턱전압의 변화로 나타낸다. 그러므로 전술한 바와 같이 식 (6)에서 드레인 전압과 무관한 우변의 두 번째 및 세 번째 항은 무시할 수 있어 첫 번째 항과 마지막 항만을 이용하여 DIBL을 구할 수 있다. 그림 6에 채널 길이 25 nm에서 채널 두께 및 산화막 두께 변화를 파라미터로 하여 도핑농도 변화에 따른 DIBL을 도시하였다. 그림 6에서 알 수 있듯이 JBDG MOSFET의 경우 JLDG MOSFET보다 작은 DIBL 값을 보이고 있다. 문턱전압 이동현상과 마찬가지로 채널이 $N=0$ 인 진성반도체인 경우를 변곡으로 DIBL 값이 변화하는 것을 관찰할 수 있다. 채널 두께가 증가한다는 것은 결국 상대적으로 채널 길이가 감소하고 있다는 것을 의미하므로 채널 두께가 증가하면 단채널 효과에 의하여 DIBL이 증가한다. 또한 산화막 두께가 감소하면 DIBL이 크게 감소하고 있다는 것을 알 수 있다. 그림 6에서 알 수 있듯이 채널 두께 변화보다는 산화막 두께 변화에 따라 DIBL이 크게 변화하고 있었다. 그러므로 DIBL 감소를 위하여 산

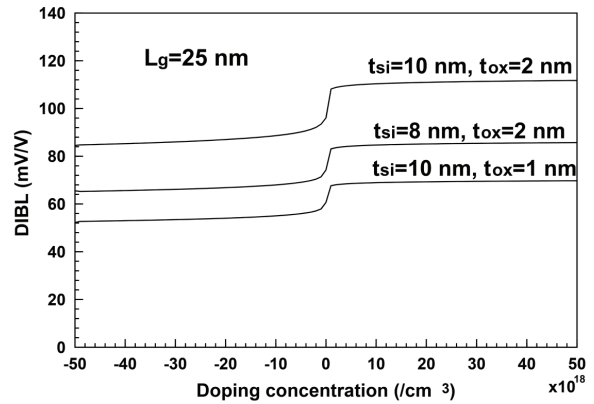


Fig. 6. DIBLs for doping concentration under given conditions at channel length of 25 nm with silicon and oxide thickness as parameters.

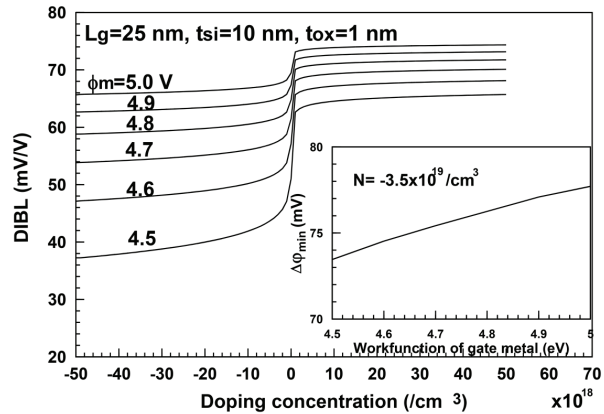


Fig. 7. DIBLs for doping concentration under given conditions at channel length of 25 nm with gate workfunction as a parameter.

화막 두께를 얇게 제작하여야 한다.

DIBL을 감소시키는 방법을 찾기 위하여 본 논문에서는 게이트 금속의 일함수 변화에 따른 DIBL을 그림 7에 도시하였다. 일함수가 증가할수록 DIBL은 증가하였으며 특히 JBDG MOSFET에서 큰 차이를 나타내고 있었다.

일함수가 감소할수록 JBDG와 JLDG MOSFET의 DIBL은 큰 차이를 보이면서 변화하는 것을 그림 7에서 관찰할 수 있다. 게이트 금속의 일함수가 증가하면 드레인 전압이 0.1 V일 때와 1.0 V일 때 최소전위 값의 차 $\Delta\phi_{min}$ 가 증가하고 있다는 것을 그림 7의 내부 그림에서 알 수 있다. $\Delta\phi_{min}$ 가 증가하면 드레인 전압 변화에 따라 문턱전압의 변화가 증가할 것이므로 결국

DIBL이 증가한다는 것을 알 수 있다. 특히 일함수가 작아지면 JBDG MOSFET의 경우 도핑농도가 증가할수록 DIBL은 감소하는 것을 알 수 있다. 그러나 JLDG MOSFET의 경우는 일함수가 도핑농도 변화에 따른 DIBL의 변화에 큰 영향을 미치고 있지 않았다. 또한 JBDG MOSFET 영역에서는 일함수에 따라 DIBL의 변화폭이 크다는 것을 알 수 있다. 즉, JLDG 구조보다는 JBDG 구조를 이용하여 MOSFET를 제작할 경우, 게이트 금속의 일함수 조정으로 인한 DIBL 감소 효과를 크게 얻을 수 있다는 것을 알 수 있다.

4. 결론

본 논문에서는 JBDG와 JLDG MOSFET의 경우 포아송방정식으로부터 구한 전위분포를 이용하여 해석학적 문턱전압 모델을 구하고 이를 이용하여 문턱전압 이동 및 DIBL 현상을 두 구조에 대하여 비교·고찰하였다. 문턱전압은 중심전위의 최소값이 0이 될 때 게이트 전압으로 정의하였다. 본 논문에서는 고유방정식을 사용하여 스케링 길이를 구하였으며 n 이 커질수록 스케링 길이 감소에 따라 전위 값에 미치는 영향이 미미하므로 $n=1$ 인 경우만을 이용하였다. 본 논문에서 제시한 문턱전압 모델을 TCAD 시뮬레이션 값과 비교하여 잘 일치하는 것을 관찰하였다. 채널 길이 25 nm, 채널 두께 10 nm 그리고 산화막 두께 2 nm의 조건에서 JBDG MOSFET의 경우 문턱전압 이동이 JLDG MOSFET보다 약 57%까지 감소하는 것을 관찰할 수 있다. 진성반도체를 채널로 사용한 경우, 주어진 조건에서 JBDG MOSFET보다 문턱전압 이동 특성이 저하되나 JLDG MOSFET보다는 향상됨을 알 수 있었다. 채널 두께가 증가할수록 단채널 효과로 인하여 문턱전압 이동도 증가하였으며 특히 JBDG MOSFET의 경우 JLDG MOSFET보다 채널 두께에 덜 영향을 받고 있었으며 산화막 두께가 증가할수록 JBDG MOSFET보다 JLDG MOSFET이 산화막 두께에 따라 문턱전압 이동의 변화가 더욱 심하다는 것을 관측할 수 있었다. 또한 JBDG MOSFET의 경우 JLDG MOSFET보다 약 12% (일함수

5 V의 경우) 작은 DIBL 값을 보이고 있으며 게이트 금속의 일함수에 따라 DIBL 값이 크게 변화하고 있다는 것을 알 수 있었다. 이상의 결과에서 알 수 있듯이 공정상 접합 형성이 난해할지라도 JBDG MOSFET가 JLDG MOSFET보다 우수한 단채널 효과를 보이고 있다는 것을 알 수 있었다.

ORCID

Hak Kee Jung

<https://orcid.org/0000-0002-2828-2957>

REFERENCES

- [1] E. Raully, B. Iñiguez, and D. Flandre, *Electrochem. Solid-State Lett.*, **4**, G28 (2001). [DOI: <https://doi.org/10.1149/1.1347225>]
- [2] H. Lu, W. Y. Lu, and Y. Taur, *Semicond. Sci. Technol.*, **23**, 015006 (2008). [DOI: <https://doi.org/10.1088/0268-1242/23/1/015006>]
- [3] Q. Xie, Z. Wang, and Y. Taur, *IEEE Trans. Electron Devices*, **64**, 3511 (2017). [DOI: <https://doi.org/10.1109/TED.2017.2716969>]
- [4] A. Gnudi, S. Reggiani, E. Gnani, and G. Baccarani, *IEEE Trans. Electron Device.*, **60**, 1342 (2013). [DOI: <https://doi.org/10.1109/TED.2013.2247765>]
- [5] T. Holtij, M. Graef, F. M. Hain, A. Kloes, and B. Iñiguez, *IEEE Trans. Electron Device.*, **61**, 288 (2014). [DOI: <https://doi.org/10.1109/TED.2013.2281615>]
- [6] G. Hu, P. Xiang, Z. Ding, R. Liu, L. Wang, and T. A. Tang, *IEEE Trans. Electron Device.*, **61**, 688 (2014). [DOI: <https://doi.org/10.1109/TED.2013.2297378>]
- [7] C. Jiang, R. Liang, J. Wang, and J. Xu, *AIP Adv.*, **5**, 057122 (2015). [DOI: <https://doi.org/10.1063/1.4921086>]
- [8] X. Liang and Y. Taur, *IEEE Trans. Electron Device.*, **51**, 1385 (2004). [DOI: <https://doi.org/10.1109/TED.2004.832707>]
- [9] Q. Chen, B. Agrawal, and J. D. Meindl, *IEEE Trans. Electron Device.*, **49**, 1086 (2002). [DOI: <https://doi.org/10.1109/TED.2002.1003757>]
- [10] X. Jin, X. Liu, M. Wu, R. Chuai, J. H. Lee, and J. H. Lee, *J. Phys. D: Appl. Phys.*, **45**, 375102 (2012). [DOI: <https://doi.org/10.1088/0022-3727/45/37/375102>]