

# 오프 상태 스트레스에 의한 에이징된 P형 Poly-Si TFT에서의 GIDL 전류의 특성

신동기, 장경수, Nguyen Thi Cam Phu, 박희준, 김정수, 박종현, 이준신<sup>a</sup>

성균관대학교 정보통신대학

The GIDL Current Characteristics of P-Type Poly-Si TFT Aged by Off-State Stress

Donggi Shin, Kyungsoo Jang, Nguyen Thi Cam Phu, Heejun Park, Jeongsoo Kim, Joonghyun Park, and Junsin Yi<sup>a</sup>  
 College of Information and Communication Engineering, Sungkyunkwan University, Suwon 16419, Korea

(Received April 17, 2018; Revised May 30, 2018; Accepted June 27, 2018)

**Abstract:** The effects of off-state bias stress on the characteristics of p-type poly-Si TFT were investigated. To reduce the gate-induced drain leakage (GIDL) current, the off-state bias stress was changed by varying  $V_{gs}$  and  $V_{ds}$ . After application of the off-state bias stress, the  $V_{gs}$  causing GIDL current was dramatically increased from 1 to 10 V, and thus, the  $V_{gs}$  margin to turn off the TFT was improved. The on-current and subthreshold swing in the aged TFT was maintained. We performed a technology computer-aided design (TCAD) simulation to describe the aged characteristics. The aged-transfer characteristics were well described by the local charge trapping. The activation energy of the GIDL current was measured for the pristine and aged characteristics. The reduced GIDL current was mainly a thermionic field-emission current.

**Keywords:** GIDL current, Off state stress, Charge trapping, Defect creation, Poly-Si TFT

## 1. 서론

일반적으로 다결정 폴리 실리콘(poly-Si) 박막 트랜지스터(TFT)는 다양한 이점 때문에 액티브 매트릭스 디스플레이 장치에 널리 응용되고 있다 [1]. Poly-Si TFT의 높은 전계 효과 이동도는 게이트 드라이버 및 방출 드라이버와 같은 주변 회로에 유용하다. 또한 poly-Si TFT의 안정성은 전기 및 광학적인 응력하에서 매우 높기 때문에 액티브 매트릭스 유기 디스플레이(AMOLED) 및 액티브 매트릭스 액정 디스플레이(AMLCD)의 디자인

에서 매우 보편적인 디바이스이다 [2]. 그러나 poly-Si TFT는 poly-Si grain boundary의 결함 상태에 기인하는 높은 누설 전류에 의해 제한을 받는다. 최근, AMOLED의 화소 TFT에 단채널 TFT의 사용이 요구되는 가운데, 디스플레이 패널의 해상도가 초고밀도까지 증가하여, poly-Si TFT의 누설 전류에 대한 연구가 진행되고 있다 [3]. 특히, 게이트 드레인 누설(GIDL) 전류는 드레인-소스 간 높은 전압( $>5$  V)에서 발생되기 때문에 poly-Si TFT에서 누설 전류를 줄이기 위한 많은 연구가 진행되고 있다 [4]. Poly-Si TFT는 LDD (light doped drain) 및 오프셋 구조와 같은 다양한 구조가 제안되었다. 이러한 구조는 poly-Si 채널에서 드레인 엣지 근처의 전기장을 방출하여 누설 전류가 성공적으로 감소하게 된다. 또한, 열처리 및 플라즈마 처리와 같은 일부 공정이 제안되었지만, 이러한 공정들

a. Corresponding author; [junsin@skku.edu](mailto:junsin@skku.edu)

위해 추가적인 공정, 시간과 비용이 요구된다. 따라서 이 요소들은 디스플레이 장치의 제조에 완전히 적용되지 못한다. 더 나아가, 이들 방법의 대부분은 전계 효과 이동도(field-effect mobility) 또는 subthreshold swing (SS)과 같은 TFT 특성을 저하시킬 수 있다. 그렇기 때문에 누설 전류를 줄이기 위해 p형 poly-Si TFT에 off-state stress가 소개된다 [5,6]. P형 poly-Si TFT의 off-state stress는  $V_{gs}$ 가 양이고  $V_{ds}$ 가 음수라는 것을 의미한다.  $V_{gs}$ 는 5 V에서 15 V까지 변화시켰으며,  $V_{ds}$ 는 60초 동안 -3에서 -40 V로 변환시켰다. Off-state stress 후 최소 누설 전류는 변경되지 않지만 GIDL 전류를 발생시키는  $V_{gs}$ 는 상당히 증가한다. GIDL 전류는  $V_{gs}$ 와  $V_{ds}$ 에 따라 감소하며, 250°C에서 어닐링한 후에는 증가하지 않는다. 또한, 전계 효과 이동도 및 SS는 열화되지 않는다. GIDL 전류의 감소에도 불구하고, poly-Si TFT에서의 GIDL 전류의 특성은 아직 제대로 보고된 바 없다. 이 연구의 목적은 off-state stress로 인한 p형 poly-Si TFT의 특성 변화를 보고하는 것이다. 본 연구에서는 p형 poly-Si TFT를 제작하고 poly-Si TFT의 특성에 대한 연구를 TCAD (computer-aided design) 시뮬레이션을 통해 수행된다. 에이징된 GIDL 전류는 TCAD 시뮬레이션에 의해 기술되며, 누설 전류의 원인을 조사하기 위해 poly-Si TFT의 에이징된 GIDL 전류가 제시된다.

## 2. 실험 방법

300 nm 두께의 버퍼 산화물층과 50 nm 두께의 비정질 실리콘(a-Si) 막이 유리 기판 상에 순차적으로 증착한다. A-Si 막은 질소 가스( $N_2$ ) 분위기에서 400°C에서 10분간 탈수소처리 한 후 308 nm의 파장에서 크세논 클로라이드(XeCl) 레이저를 사용하여 결정화시킨다. 레이저의 에너지 밀도는 300~500 mJ/cm<sup>2</sup>로 최적화되었으며 poly-Si 막의 결정립 크기는 300 nm이다. 두께 130 nm의 산화물을 게이트 절연체로 증착한 다음 poly-Si 막 위에 게이트 금속을 증착하였다. 소스/드레인 도핑 이온사워는 게이트 패턴상에서 진행하였다. 소스와 드레인은 400°C에서  $N_2$  분위기에서 약 2시간 동안 어닐링하였다. 이어서, 중간층을 증착한 다음, 중간층 상에 소스-드레인 금속을 증착하였다. 전기적 특성은 어두운 실내 조건에서 Agilent 4156C 반도체 파라미터 분석기를 사용하여 측정 후 소자 특성을 확인하였다.

## 3. 결과 및 고찰

제조된 poly-Si TFT는 GIDL 전류를 억제하기 위해 파라미터 분석기를 이용하여 에이징시킨다. 여기에 사용된 바이어스 스트레스의 세부 사항은 다음과 같다.  $V_{gs}$ 의 오프 상태 바이어스 조건은 10~20 V이며,  $V_{ds}$ 는 -15~-5 V이다. Stress 시간은 10초로 고정시켰다. 오프 상태 스트레스가 상당히 높기 때문에 스트레스 시간은 중요하지 않다. 그림 1은 poly-Si TFT의 처음과 에이징된 특성을 나타낸다. 그림 1(a)는 온 상태 전류와 SS 특성을 보여 주는 반면, 그림 1(b)는 poly-Si grain boundary의 결함 상태에 기인 한 최소 누설 전류는 변하지 않았다. 그리고  $V_{gs}=10$  V와  $V_{ds}=-5$  V의 경우를 제외하고는 GIDL 전류가 감소함을 보여준다.

에이징된 소자 특성은  $V_{gd}$ 와 상관관계가 있음이 분명하다.  $V_{gd}$ 의 스트레스 전압이 15 V 이상으로 증가하면 온 전류 및 SS 특성이 약간 증가한다. 또한,  $V_{gd}$ 가 증가하면, GIDL 전류를 발생시키는  $V_{gs}$ 도 증가한다. 그러나 poly-Si TFT의 소스와 드레인이 바뀌면 GIDL 전류는 감소하지 않는다. 따라서 박막 트랜지스터의 채널 특성이 바이어스 응력에 비대칭적으로 변화함을 알 수 있다. TCAD 시뮬레이션은 에이징 현상을 더 분석하기 위해 사용되었다. 우선, poly-Si TFT의 기초 특성은 상태 밀도(DOS) 기능을 사용하여 보정되었다. 이전의 온 전류 및 SS 특성은 이중 지수 분포형 DOS로 잘 보정되었고 누설 특성을 설명하기 위해 대역 대 터널링 모델이 사용되었다. Hurkx 모델은 누설 특성을

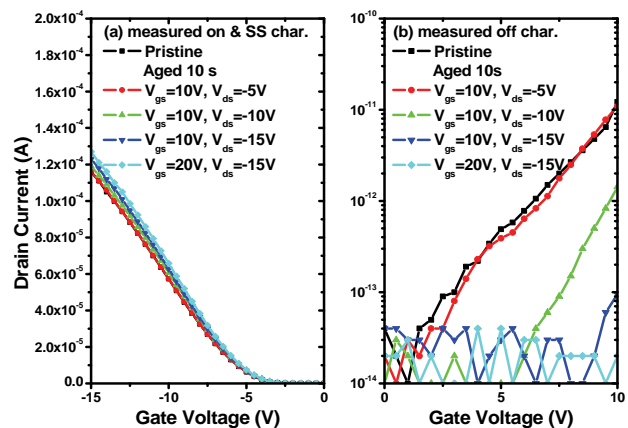
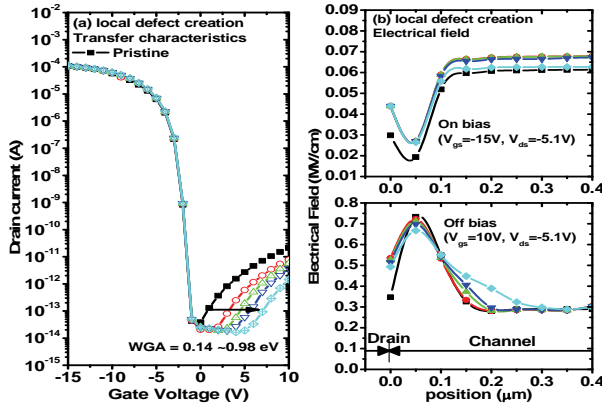
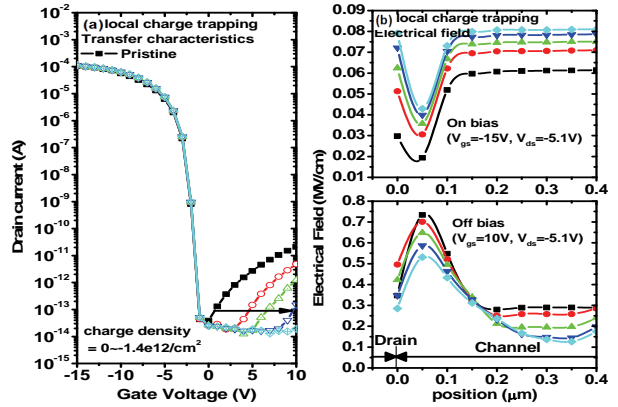


Fig. 1. The measured pre- and aged-transfer characteristics. (a) On and subthreshold characteristics and (b) off characteristics aged by various  $V_{gs}$  and  $V_{ds}$ . The transfer characteristics were measured at  $V_{ds}=-5.1$  V. The channel width and length are 3  $\mu$ m and 4  $\mu$ m, respectively.



**Fig. 2.** The simulated TFT characteristics obtained from the TCAD simulation. (a) The transfer characteristics of the local defect-creation and (b) the electrical fields at the on and off biases using the defect-creation.

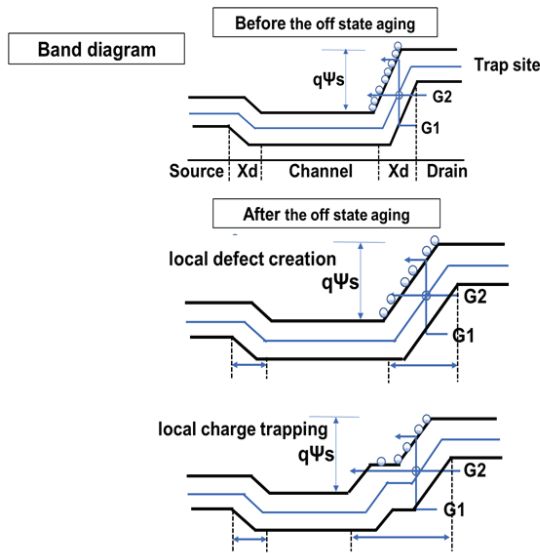


**Fig. 3.** The simulated TFT characteristics obtained from the TCAD simulation. (a) The transfer characteristics from the use of the local charge-trapping and (b) the electrical field at the on and off biases from the use of the charge-trapping.

설명하기 위해 사용된다 [7]. 전하 트래핑이나 결함 생성 이론을 갖기 위해서는 TCAD 시뮬레이션을 통한 에이징 현상에 대한 설명이 필요하다. 전기적 스트레스에 관한 TFT 특성은 이전 문헌에서 보고된 바 있다 [8]. 문턱 전압은 게이트 절연체의 전하 트래핑에 의해 평행하게 시프트될 수 있지만, SS는 거의 변하지 않는다. 한편, 결함 생성에 의한 문턱 전압과 SS가 모두 변경된다. 본 연구의 특성 변화는 임계 전압이나 SS에 관한 것이 아니라 오히려 누설 특성이 변경되어 이전 이론의 에이징 현상에 대한 설명을 수정할 수 있다. 오프 상태 바이어스하에서, 1 MV/cm보다 큰 전기장이 드레인 근처의 채널에 집중되어 이 영역의 물리적 특성이 변경될 수 있다. 소스와 드레인이 바뀌면 비대칭 특성이 드러난다. 따라서 드레인 근처에 있는 채널의 일부가 변경된다. 변경된 채널은 0.4에서 0.2  $\mu\text{m}$ 로 변경되어 다른 특성을 나타낸다. 변경된 채널의 길이가 증가함에 따라 온-전류 및 문턱 전압은 선형적으로 변한다. 측정된 특성을 고려하여 0.4  $\mu\text{m}$  채널을 선택하였다. Poly-Si층의 에이징 현상은 전하 트래핑 또는 결함 상태에 의해 설명된다. 그 이유로는 첫 번째 에이징 현상을 통해 poly-Si층에 결함 상태가 생성되기 때문이다. 결함 에너지가 0.3 eV이기 때문에 poly-Si 결정립의 Si와 수소(H) 결합이 전기적 바이어스하에서 파괴되는 것이 이미 관찰된 바 있다 [8,9]. 파괴된 본딩은 n형 poly-Si TFT의 온 전류를 감소시킬 수 있는 억셉터 상태를 생성할 수 있지만, p형 poly-Si TFT의 누설 전류를 차단할 수 있다 [10]. 페르미 레벨( $E_F$ )은 p형 poly-Si TFT의 가전자대( $E_V$ ) 근처에 위치하기 때문에, 온 상태 바이어스에서 억셉터 상태는 중립상태로

존재한다. 전계는 드레인 근처의 채널에 집중된다. 그림 2(a)와 (b)는 국부적인 결함 생성에 의해 모델링된 시뮬레이션 결과를 보여 준다. 억셉터 상태의 폭은 0.14, 0.28, 0.36과 0.98 eV (최대)로 증가함에 따라, 최대 전기장은 오프 상태에서 0.73에서 0.66 MV/cm로 감소된다. 그 결과 GIDL 전류는 줄어든다. 이러한 사실은 추가적인 억셉터와 같은 상태에 의한 전자 전도의 차단에 기인한다. 온 바이어스에서 최대 전기장은 0.051에서 0.055 MV/cm로 증가된다. 그러나 결함 생성은  $V_{gs}=20$  V와  $V_{ds}=-15$  V의 조건을 설명할 수 없으며, 트랜스 컨덕턴스는 국부 결함에 의해 변하지 않는다. 이 연구는 국부적 결함 생성이 실험을 완전하게 기술할 수 없다는 것을 보여준다.

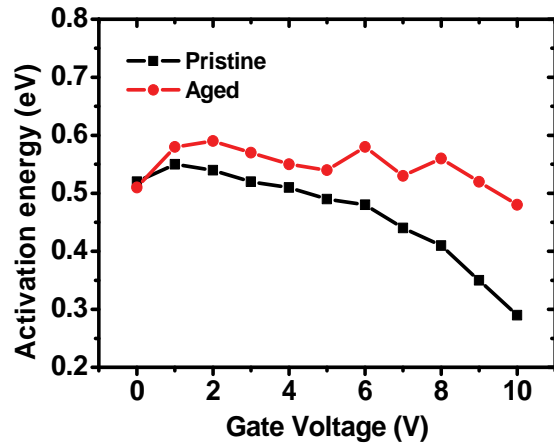
두 번째 고려 사항은 게이트 절연체의 전하 트래핑이다. 집중된 전기장은 전하에 높은 에너지양을 제공하고 연체에 포획된 전하는 국지적으로 전기장을 변형시켜 누설 전류를 감소시킨다. 이 변화는 측면에 치우친 바이어스에 발생된 충돌 이온화에 의해 발생된다. 측면 방향 전계는 드레인 영역의 채널 가장자리에 집중되어 전자-홀을 생성한다. 전자 트랩 활성화 에너지가 홀 트랩 활성화 에너지보다 적기 때문에 생성된 전자는 홀보다 더 쉽게 트랩된다 [11,12]. 높은 에너지의 전자는 활성층과 게이트 산화물 사이의 포텐셜 장벽을 극복하고, 게이트 산화물에서 포획되게 된다. 트래핑된 전자는 국부적으로 전기장을 증가시켜, 홀이 활성층과 게이트 산화물 사이의 계면에 축적되게 한다. 드레인 근처의 전기장은 LDD와 같이 포획된 전자에 의해 가려진다. 그림 3(a)와 (b)는 전하 트래핑에 의한 모델링



**Fig. 4.** The band diagram and the band-to-band generation of the polycrystalline (poly)-silicon (Si) thin-film transistor (TFT) at the off state of  $V_{gs}=10$  V and  $V_{ds}=-5.1$  V.

된 시뮬레이션 결과를 보여준다. 음전하 농도를 0에서  $-1.4e12/cm^2$ 로 변화시켰다. 오프 상태에서는 전기장이 0.73에서 0.53 MV/cm로 감소되어 GIDL 전류를 상당히 감소시킨다. 국부 전하 트래핑은 다양한  $V_{gd}$  스트레스 상태에서 잘 설명된다. 오프 상태 스트레스 후, 최대 트랜스컨덕턴스( $g_{m,max}$ )는 약간 증가하였으며 이는 트래핑된 전자에 의한 유효 채널 길이의 감소를 설명한다. 게이트 산화막에 포획된 전자는 채널에 정공의 축적을 허용한다. 트랩된 홀은 바이어스 없이 존재하기 때문에 유효채널 길이는 온 상태에서 감소된다 [13]. 따라서 국부 전하 트래핑은 전류 특성 및 전류 특성 모두를 기술할 수 있다.

그림 4는  $V_{gs}=10$  V와  $V_{ds}=-5.1$  V의 오프 상태에서의 시뮬레이션에 기초한 밴드 다이어그램과 밴드 대 밴드 생성의 개략도를 나타낸다. 오프 상태 스트레스하에서, 역p-n 접합 형성으로 인해 채널과 드레인 영역 사이에 큰 밴드 밴딩이 발생하게 되고, 이 영역에서 폴리 실리콘 결정립의 결함을 통한 큰 누설 전류가 발생하게 된다. TFT에 양의 게이트 바이어스를 가하면 채널 영역의 에너지 밴드가 아래쪽으로 휘게 된다. 그 다음, 가전자대의 전자는 트랩 사이트를 통해 전도대로 터널링된다. 오프 상태 스트레스는 밴드의 굴곡을 완화시킬 수 있어서, 밴드 사이의 터널링이 억제될 수 있다. 그림 4에 G1은 열적으로 생성된 누설 전류를 나타



**Fig. 5.** The activation energy of the leakage current for pristine poly-Si TFT and aged by the stress of the  $V_{gd}=35$  V.

내고 있으며, G2는 열이온의 전계 방출 누설 전류를 나타낸다 [14]. 국부적인 결함 생성과 전하 트래핑에 의한 밴드 밴딩이 감소되었지만, 그 차이는 남아 있게 된다. 국부적 결함 생성에서, 전기장 및 밴드 밴딩은 약간 완화되어 G2를 통한 밴드 사이의 터널링을 감소시킨다. 국부적인 전하 포획은 채널에서 밴드의 곡선이 완화되고, LDD 모양 같은 밴드의 곡선이 변화된다. G2를 통한 누설 전류는 상당히 감소한다. 그림 3(b)와 같이, 전기장이 감소함에 따라 밴드 밴딩에 따른 밴드 사이의 발생이 감소한다.

그림 5는 정규화된 드레인 전류로부터 유도된 누설 전류의 활성화 에너지를 보여준다. Poly-Si TFT는 35 V의  $V_{gd}$  스트레스 전압( $V_{gs}=20$  V,  $V_{ds}=-15$  V)에서 에이징된 TFT와 기본 TFT에 대해 25~65°C 범위의 온도에서 측정하였다. 이러한 특성으로 인해 활성화 에너지는 -5.1 V의  $V_{ds}$ 값에  $\log I_{ds}=-E_a/kT$ 의 아레니우스 도표에서 얻어진다. 원상태와 에이징 상태는 다른 경향을 나타낸다.  $V_{gs}$ 가 증가함에 따라 원래의 poly-Si TFT의 활성화 에너지는 선형적으로 감소한다. 그리고 활성화 에너지는  $V_{gs}$ 가 6 V를 넘으면 선형으로 감소한다. 낮은  $V_{gs}$ 에서 누설 전류는 열 발생 전류가 된다. 그리고 열 전기장 전계 방출 누설 전류는 6 V 이상의  $V_{gs}$ 에서 지배적인 특성을 보인다. 그러나 poly-Si TFT의 활성화 에너지는 원래의 poly-Si TFT보다 크고, 활성화 에너지의  $V_{gs}$  의존성은 감소한다. 따라서 트랩된 전하에 의해 열 전기장의 전계방출 누설 전류가 크게 감소한다. 그리고 이러한 사실은 그림 3의 국부 전하 트래핑에 의해 증명된다.

#### 4. 결론

오프 상태의 스트레스를 인가하여 p형 poly-Si TFT의 GIDL 전류를 감소시켰다. GIDL 전류는 감소하고 에이징된 누설 전류는  $V_{gd}$  스트레스와 밀접한 관련이 있다. 여기서 국부적으로 모델링된 시뮬레이션을 이용하여 poly-Si TFT의 특성 변화를 조사하였다. 또한, 밴드 밴딩으로 국부적인 결함 생성과 전하 트래핑에 의한 밴드 밴딩이 감소된 차이에 대해서 논의되었다. 결론적으로 오프 상태의 스트레스는 트랩된 전하에 의해 발생된 전기장 완화로 열 전자전계 방출에 의한 누설 전류를 감소시킨다.

#### 감사의 글

본 연구(No.20173010012940)는 산업통상자원부(MOTIE)와 한국에너지기술평가원(KETEP)의 지원을 받아 수행한 연구 과제입니다.

#### REFERENCES

- [1] T. Serikawa, S. Shirai, A. Okamoto, and S. Suyama, *IEEE Trans. Electron Devices*, **36**, 1929 (1989). [DOI: <https://doi.org/10.1109/16.34272>]
- [2] J. J. Lih, C. F. Sung, C. H. Li, T. H. Hsiao, and H. H. Lee, *J. Soc. Inf. Disp.*, **12**, 367 (2004). [DOI: <https://doi.org/10.1889/1.1847734>]
- [3] G. Kawachi, S. Tsuboi, T. Okada, M. Mitani, and M. Matsumura, *J. Appl. Phys.*, **100**, 114507 (2006). [DOI: <https://doi.org/10.1063/1.2392717>]
- [4] A. A. Orouji and M. J. Kumar, *IEEE Trans. Device Mater. Reliab.*, **6**, 315 (2006). [DOI: <https://doi.org/10.1109/TDMR.2006.876608>]
- [5] S. H. Han, I. S. Kang, N. K. Song, M. S. Kim, J. S. Lee, and S. K. Joo, *IEEE Trans. Electron Devices*, **54**, 2546 (2007). [DOI: <https://doi.org/10.1109/TED.2007.901880>]
- [6] D. Zhang, M. Wang, H. Wang, Y. Wu, H. Zhou, and J. He, *Proc. 2015 IEEE 22nd International Symposium on the Physical and Failure Analysis of Integrated Circuits* (IEEE, Hsinchu, Taiwan, 2015) p. 407.
- [7] G.A.M. Hurkx, D.B.M. Klaassen, and M.P.G. Knuvers, *IEEE Trans. Electron Devices*, **39**, 331 (1992). [DOI: <https://doi.org/10.1109/16.121690>]
- [8] M. J. Powell, C. van Berkel, and J. R. Hughes, *Appl. Phys. Lett.*, **54**, 1323 (1989). [DOI: <https://doi.org/10.1063/1.100704>]
- [9] C. Hu, S. C. Tam, F. C. Hsu, P. K. Ko, T. Y. Chan, and K. W. Terrill, *IEEE J. Solid-State Circuits*, **20**, 295 (1985). [DOI: <https://doi.org/10.1109/JSSC.1985.1052306>]
- [10] A. Schwerin, W. Hansch, and W. Weber, *IEEE Trans. Electron Devices*, **34**, 2493 (1987). [DOI: <https://doi.org/10.1109/T-ED.1987.23340>]
- [11] K. M. Han and C. T. Sah, *IEEE Trans. Electron Devices*, **45**, 1624 (1998). [DOI: <https://doi.org/10.1109/16.701500>]
- [12] K. C. Moon, J. H. Lee, and M. K. Han, *IEEE Trans. Electron Devices*, **52**, 512 (2005). [DOI: <https://doi.org/10.1109/TED.2005.844740>]
- [13] Y. H. Tai, S. C. Huang, and P. T. Chen, *IEEE Trans. Device Mater. Reliab.*, **10**, 62 (2010). [DOI: <https://doi.org/10.1109/TDMR.2009.2033466>]
- [14] C. H. Kim, K. S. Sohn, and J. Jang, *J. Appl. Phys.*, **81**, 8084 (1997). [DOI: <https://doi.org/10.1063/1.365416>]