

1 um 미만의 나노트렌치 게이트 구조를 갖는 1,200 V 고효율 트렌치 게이트 필드스톱 IGBT 설계에 관한 연구

강이구^a

극동대학교 에너지IT공학과

Design of 1,200 V Class High Efficiency Trench Gate Field Stop IGBT with Nano Trench Gate Structure

Ey Goo Kang^a

Department of Energy IT Engineering, Far East University, Eumseong 27601, Korea

(Received January 30, 2018; Revised March 3, 2018; Accepted March 8, 2018)

Abstract: This paper details the design of a 1,200 V class trench gate field stop IGBT (insulated gate bipolar transistor) with a nano gate structure smaller than 1 um. Decreasing the size is important for lowering the cost and increasing the efficiency of power devices because they are high-voltage switching devices, unlike memory devices. Therefore, in this paper, we used a 2-D device and process simulations to maintain a gate width of less than 1 um, and carried out experiments to determine design and process parameters to optimize the core electrical characteristics, such as breakdown voltage and on-state voltage drop. As a result of these experiments, we obtained a wafer resistivity of $45 \Omega \cdot \text{cm}$, a drift layer depth of more than 180 um, an N⁺ buffer resistivity of 0.08, and an N⁺ buffer thickness of 0.5 um, which are important for maintaining 1,200 V class IGBTs. Specially, it is more important to optimize the resistivity of the wafer than the depth of the drift layer to maintain a high breakdown voltage for these devices.

Keywords: Nano gate structure, Power devices, Breakdown voltage, On-state voltage drop

1. 서 론

파워 소자(power device)는, 전력장치용의 반도체 소자이다. 전력의 변환이나 제어용으로 최적화되어 있어서, 전력 전자공학의 핵심 소자이며 고전압화·고전류화·고주파수화된 것이 특징이다 [1,2]. 전력 IGBT 소자가 가장 많이 이용되는 분야는 전기자동차, 신재생 에너지 인버터산업 분야 등이며, 600~1,700 V 이하의

전력 IGBT 소자가 사용되고 있다 [3,4]. 최근에는 고효율 및 저비용을 실현하기 위해 나노 길이의 게이트 구조를 갖는 IGBT에 대한 연구가 활발히 움직이고 있다. 특히, 태양전지 등과 같은 신재생에너지가 가정뿐만 아니라 산업 전반에 적용되고 있어, 나노융합형 1,200 V 급의 전력반도체의 필요성이 대두되고 있다 [5,6]. 게이트사이즈가 나노급인 1 um 이하로 줄어들면, 웨이퍼 장당 칩의 개수가 늘어나기 때문에 효율성 측면에서 큰 발전을 이루게 될 것이다.

본 논문에서는 이러한 1,200 V급 고효율 트렌치 게이트 IGBT 소자의 구조에 대해서 소자의 공정 및 설계 파라미터를 도출함과 동시에 2-D 소자 및 공정시뮬레이터인 TCAD를 이용하여 해당 소자의 전기적인

a. Corresponding author; keg@kdu.ac.kr

특성을 분석하였다.

2. 실험 방법

그림 1은 실험을 하기 위한 1,200 V급 고효율 트렌치 게이트 필드스톱 IGBT 소자의 단위 셀 구조를 나타내고 있으며, 그림 2에서는 공정파라미터를 도출하기 위해 수행한 공정시뮬레이션 완료 후 소자의 단면도를 보여주고 있다.

표 1은 고효율 1,200 V IGBT를 설계하고 공정 시뮬레이션을 하기 위한 공정 및 설계 파라미터를 보여주고 있다. 이러한 값은 선진사 제품 및 기존의 자료를 분석한 기준으로 설정한 값이며, 표 1에 나와 있는 변수를 기준으로 하여 각 변수의 변화에 따른 IGBT의 핵심적인 전기적 특성인 항복전압(BV)과 온 상태 전압(Vce, sat)의 변화 추이를 고찰하였다. 또한 필드 스톱층인 버퍼층의 농도를 $2 \times 10^{17} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 변화시키

Table 1. The process and design parameters for 2-D simulation.

Classification	Unit	Value
Pitch	um	2.0
Depth	um	130
Resistivity	Ω -cm	40
Buffer depth	um	0.8
Concentration of buffer layer	/cm ³	More than 2×10^{17}
P-base dose	/cm ²	3.5×10^{13}
Trench depth	um	Less than 7
Trench gate width	um	Less than 1.0
N+ width	um	Less than 0.7
Drift depth	um	Less than 100

고, 버퍼층의 두께는 0.4~0.6 um로 변화시키면서 전기적인 특성을 분석하였다. 또한 버퍼층을 형성시키기 위해서 후면 공정 중에 먼저 도핑을 통해 버퍼층을 형성시킨 다음, 컬렉터 층을 형성하는 공정시뮬레이션을 수행하였으며, 버퍼층의 두께는 이온 주입공정의 에너지에 변화를 주어 두께를 변화시켰다.

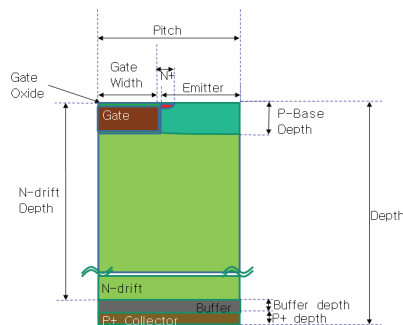


Fig. 1. The structure of 1,200 V class trench gate field stop IGBT unit cell.

3. 결과 및 고찰

3.1 트렌치 깊이에 따른 항복전압과 온 상태 전압 강하 특성

트렌치 게이트 구조에 있어서 트렌치 깊이의 변화에 따른 전기적 특성 변화는 그림 3에 나타낸 바와 같이

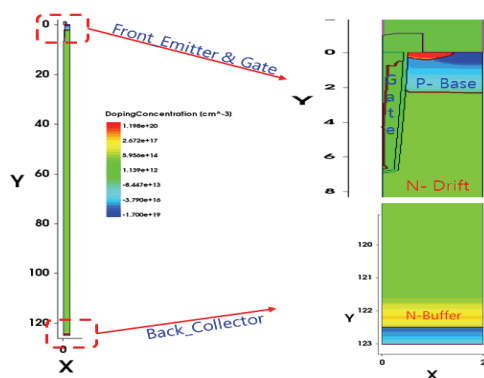


Fig. 2. The cross section of 1,200 V class high efficiency IGBT after process simulation.

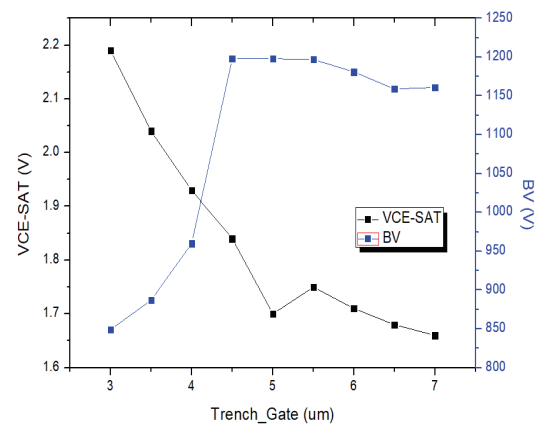


Fig. 3. The breakdown voltage and on state voltage drop characteristics of 1,200 class IGBT according to depth of trench.

트렌치 깊이가 깊어질수록 온 상태 전압강하특성($V_{ce, sat}$)은 감소하며, 항복전압은 증가하다가 5 μm 부터 증가하지 않는 경향을 보이고 있다. 이것은 트렌치 깊이가 깊을수록 전계가 모두 트렌치 산화막에 집중되어 전력반도체의 주요 항복요인인 펀치스루 항복이 늦게 일어나서 항복전압은 증가하다가 펀치스루 항복이 일어나면 더 이상 항복전압이 증가하지 않기 때문이다. 트렌치 공정은 깊이가 증가할수록 공정의 난이도가 증가하므로 1,200 V급의 경우 마진을 고려하여 5~7 μm 수준의 트렌치 깊이가 적절할 것으로 추정된다. 상용화된 제품의 분석 결과에서도 6 μm 수준의 트렌치 깊이를 보여주고 있다.

3.2 웨이퍼 비저항에 따른 항복전압 특성

그림 4는 다른 설계 및 공정변수는 고정하고 웨이퍼의 비저항을 변화시키면서 항복전압의 특성을 나타낸 것이다. 동일한 구조에 대하여 웨이퍼 비저항이 증가함에 따라서 항복전압이 증가하는 특성을 나타낸다. 1,200 V급 소자에 적용하기 위해서는 웨이퍼 및 공정 산포를 고려할 때, 10% 마진을 설정하면 웨이퍼의 비저항은 50 $\Omega \cdot \text{cm}$ 이상을 유지해야 된다. IGBT 소자의 경우 콜렉터 p-영역으로부터 정공 주입으로 인하여 전도도 변조 특성을 보이고 있으므로 비저항이 증가하여도 포화 전압의 특성 변화는 무시할 만한 수준이지만, 비저항이 증가할 경우 역전압 인가 시 공핍층의 확장폭이 증가하여 스위칭 시 오실레이션이 증가하는 경향을 보이고 있으므로 IGBT 응용 영역에 따른 웨이퍼 설계가 필요할 것으로 판단된다.

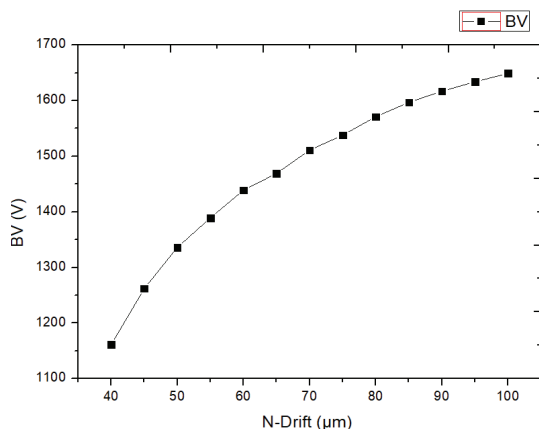


Fig. 4. The breakdown voltage characteristics according to resistivity of wafer.

3.3 드리프트층의 깊이에 따른 항복전압과 온 상태 전압강하 특성

그림 5는 스위칭 시 오실레이션을 최소화하는 응용 영역에 대응하기 위하여 비저항이 낮은 40 $\Omega \cdot \text{cm}$ 조건으로 다른 공정 및 설계변수는 고정시키고, 1,200 V급 소자의 적용 가능성을 검토하기 위하여 IGBT 소자의 드리프트 두께 변화에 따른 전기적 특성 변화를 고찰하였다. 드리프트층의 두께 증가에 따른 항복전압의 증가는 미미하며, 도통손실인 $V_{ce, sat}$ 은 급격히 증가하는 특성을 보이고 있으며, 1,200 V급의 IGBT 확보를 위해서는 드리프트층의 두께보다는 웨이퍼의 비저항을 최적화하는 것이 올바른 설계 방향으로 추정된다.

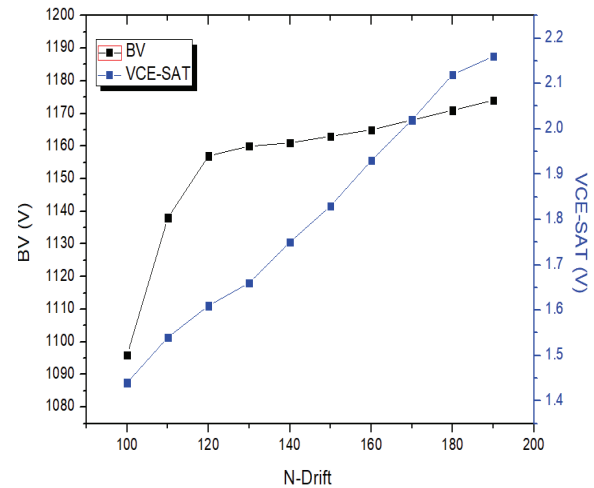


Fig. 5. The breakdown voltage and on state voltage drop characteristics of 1,200 class IGBT according to depth of drift layer.

3.4 N+ 버퍼층의 농도와 깊이에 따른 항복전압과 온 상태 전압강하 특성

N buffer의 농도와 두께를 조절하면서 설계를 진행하였다. N buffer의 농도가 높거나 두께가 너무 두꺼울 때, 항복전압은 증가하지만 온 상태 전압강하가 급격히 증가하는 특성을 보인다. 이 경우는 P+ collector에서 나오는 홀의 주입효율이 매우 작아지고 전도도 변조 효과가 감소하게 되면서 온 상태 전압강하가 매우 커지게 된다. 또한 버퍼층의 농도가 높거나 두께가 두꺼우면 펀치스루 항복이 늦게 일어나기 때문에 항복전압이 증가하게 된다. 온 상태 전압 강하를 줄이면서

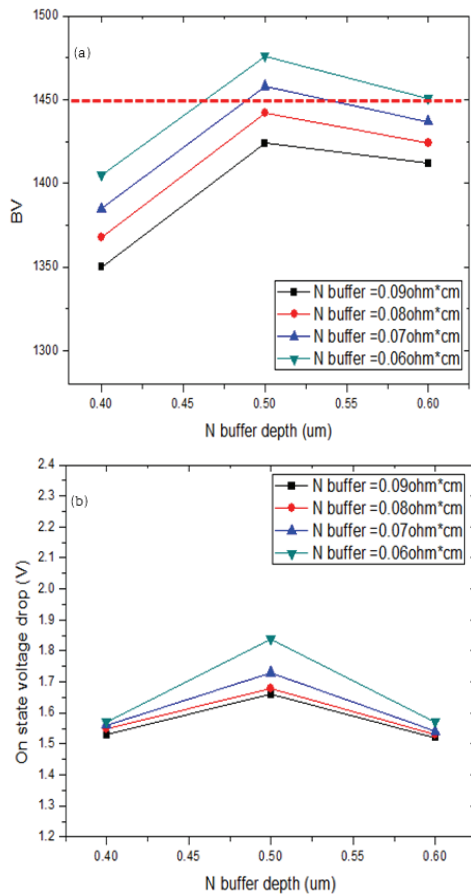


Fig. 6. The breakdown voltage and on state voltage drop characteristics of 1,200 class IGBT according to depth and resistivity of N+buffer (a) breakdown voltage and (b) on-state voltage drop.

항복전압도 증가시키기 위해서 N buffer의 농도와 두께의 최적점을 찾기 위한 시뮬레이션을 진행하였고, 그 결과를 그림 6(a), (b)에 나타내었다. N buffer의 농도 및 두께에 대한 시뮬레이션 결과에서 볼 수 있듯이 N 버퍼층의 두께 0.5 μm 에서 온 상태 전압강하 측면에서는 다소 높은 값을 가지지만 설계 목표치 항복 전압을 만족하는 값을 찾았다. 여기서 1,450 V 전압을 기준으로 한 것은 1,200 V의 항복전압 마진을 20%를 고려하여 판단한 것이다.

4. 결론

본 논문에서는 1 μm 미만의 나노급 게이트 구조를 가지면서 1,200 V의 항복전압을 나타내는 트렌치 게이

트 필드 스톱 IGBT를 설계하였다. 전력반도체 소자는 대용량 스위칭 소자이기 때문에 웨이퍼당 순수 소자의 수가 메모리 소자와는 달리 적기 때문에 비용 및 효율을 위해서 사이즈의 소형화를 위해 게이트의 너비를 줄이기 위한 노력을 해 왔으며, 따라서 본 논문에서는 게이트의 너비를 줄이고 소자 및 공정 시뮬레이터를 이용함과 동시에 핵심 전기적 특성인 항복전압과 온 상태 전압강하를 최적화하기 위해 설계 및 공정파라미터를 변화시키면서 시뮬레이션을 수행하였다. 실험 결과, 게이트의 너비를 1 μm 미만을 유지하면서 웨이퍼의 비저항은 45 $\Omega \cdot \text{cm}$, 드리프트의 깊이는 100 μm 이상, 버퍼층의 비저항과 깊이는 각각 0.08 $\Omega \cdot \text{cm}$ 와 0.5 μm 를 얻을 수 있었다. 특히 소자의 항복전압을 유지하기 위해서는 드리프트층의 깊이보다는 웨이퍼의 비저항을 최적화하는 것이 필요할 것으로 판단된다.

감사의 글

본 논문은 한국에너지기술평가원(KETEP)의 에너지인력양성사업(20174010201290)과 중소기업벤처부 산학연 협력 도약기술개발사업(CH507556)에 의해 지원되었음.

REFERENCES

- [1] E. G. Kang, D. S. Oh, D. W. Kim, D. J. Kim, and M. Y. Sung, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **15**, 758 (2002). [DOI: <https://doi.org/10.4313/JKEM.2002.15.9.758>]
- [2] J. I. Lee, S. M. Yang, Y. S. Bae, and M. Y. Sung, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **23**, 190 (2010). [DOI: <https://doi.org/10.4313/JKEM.2010.23.3.190>]
- [3] T. Laska, M. Munzer, F. Pfirsch, C. Schaeffer, and T. Schmidt, *Proc. 12th International Symposium on Power Semiconductor Devices & ICs. Proceedings (Cat. No.00CH 37094)* (IEEE, Toulouse, France, 2000) p. 355.
- [4] B. S. Ahn, H. S. Chung, E. S. Jung, S. J. Kim, and E. G. Kang, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **25**, 187 (2012). [DOI: <https://doi.org/10.4313/JKEM.2012.25.3.187>]
- [5] J. S. Lee, E. G. Kang, and M. Y. Sung, *Microelectron. J.*, **39**, 57 (2008). [DOI: <https://doi.org/10.1016/j.mejo.2007.10.023>]
- [6] Y. S. Hong, E. S. Jung, and E. G. Kang, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **25**, 276 (2012). [DOI: <https://doi.org/10.4313/JKEM.2012.25.4.276>]