

수 원자층 두께의 MoS₂ 채널을 가진 전계효과 트랜지스터의 게이트 전압 스트레스에 의한 I-V 특성 변화

이형규^{1,a}, 이기성²

¹ 충북대학교 전자정보대학 전자공학부

² 나노종합기술원

The Change of I-V Characteristics by Gate Voltage Stress on Few Atomic Layered MoS₂ Field Effect Transistors

Hyung Gyo Lee^{1,a} and Gisung Lee²

¹ School of Electrical Engineering, Chungbuk National University, Cheongju 28644, Korea

² National Nanofab Center, Daejeon 34141, Korea

(Received November 22, 2017; Revised December 13, 2017; Accepted January 5, 2018)

Abstract: Atomically thin MoS₂ single crystals have a two-dimensional structure and exhibit semiconductor properties, and have therefore recently been utilized in electronic devices and circuits. In this study, we have fabricated a field effect transistor (FET), using a CVD-grown, 3 nm-thin, MoS₂ single-crystal as a transistor channel after transfer onto a SiO₂/Si substrate. The MoS₂ FETs displayed n-channel characteristics with an electron mobility of 0.05 cm²/V-sec, and a current on/off ratio of $I_{ON}/I_{OFF} \approx 5 \times 10^4$. Application of bottom-gate voltage stresses, however, increased the interface charges on MoS₂/SiO₂, incurred the threshold voltage change, and degraded the device performance in further measurements. Exposure of the channel to UV radiation further degraded the device properties.

Keywords: MoS₂, FET, Few atomic layer channel, Gate voltage stress

1. 서 론

Si를 사용한 반도체 소자가 점차 축소되면서 그 한계에 도달하였다는 우려로 인해 나노 구조를 사용하여 반도체 소자 및 회로를 구성하려는 시도가 등장하였다. 그 결과, 탄소가 2차원 튜브 구조를 가진 탄소나노 튜브, 또는 2차원 평판(sheet) 구조로 배열된 결정인 그래핀(graphene)을 사용하여 Si 회로를 대체하는 연구들이 최근 10년간 활발하였다. 그래핀은 이동도가 높

고 투명하여 반도체 소자의 전극, 광센서 등으로 다양하게 사용되지만 밴드갭이 없는 물질이기에 밴드 간 천이에 의한 발광소자로는 사용되지 못하였다 [1]. 그래핀과 유사한 2차원 평판 구조를 가진 전이금속-디칼코게나이드(transition metal di-chalcogenide, TMDC) 물질은 밴드갭을 가진 반도체 물질이다. 대표적인 TMDC 물질로는 MoS₂, MoSe₂, MoTe₂, WS₂, WSe₂ 등이 있으며 그중 가장 연구가 많이 된 물질은 MoS₂ 화합물이다. 연구 초기 단계에서는 단결정으로부터 물리적으로 분리한 조각을 사용하여 기초적인 연구가 진행되었으나 CVD 방법이 개발됨으로 그 연구가 최근 5년 사이에 활발해지고 있으며, 스퍼터링에 의해서도 웨이퍼 규모의 대면적에 소자 제작이 가능하다 [2,3]. 본 연구에서는 CVD 방법에 의해 성장된 MoS₂ 단결정을 이용한 트랜지스터

a. Corresponding author; hglee@cbnu.ac.kr

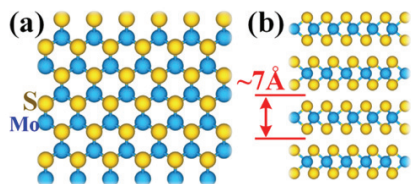


Fig. 1. Schematic drawing of MoS₂ crystal. (a) Top view and (b) side view and monolayer thickness.

를 구현하고 그 특성을 연구하고자 한다.

MoS₂ 단결정의 원자 구조는 그림 1과 같이 S-Mo-S가 서로 반데발스(van-der-Waals) 힘에 의해 결합되어 있고 그 위에는 다시 Mo-S가 서로 수직으로 결합하고 있다. 그림 1(a)는 상부에서 관찰한 결정 구조의 개략도이며, (b)는 측면에서 관찰한 결정의 개략도이다. 단일 층 MoS₂는 밴드갭이 1.9 eV이지만 층의 수가 증가함에 따라 밴드갭은 점차 감소하여 3~4층의 경우 약 1.45 eV의 값을 보인다 [4].

2. 실험 방법

실험에 사용한 MoS₂ 시료는 화학증기증착법(CVD)에 의해 성장된 MoS₂ 단결정을 n⁺-Si 기판에 성장된 산화막에 건식 전달된 시료이다. 튜브형 전기로에서 250~300°C의 S₂ 분말을 증발시켜 Ar/H₂ 혼합가스를 사용하여 800~900°C의 고온에 위치한 MoO₃ 분말에 S₂를 반응시키면 사파이어 기판위에 단결정 MoS₂ 원자층이 성장되었다. 성장된 MoS₂ 위에 PMMA 스피코팅한 후, 사파이어 기판과 MoS₂ 사이를 에칭하고 분리하면 MoS₂ 원자층은 PMMA에 전달된다. 그 후, FET를 제작하려는 고농도로 도핑된 Si 기판(저항률 0.01 Ω-cm)에 열산화막(SiO₂) 100 nm를 성장된 기판에 PMMA에 부착된 MoS₂ 원자층을 전사 후 잔류 PMMA를 제거하였다 [5].

100 nm 두께의 SiO₂ 기판에 전달된 MoS₂를 현미경으로 관찰한 결과를 그림 2에 나타내었다. MoS₂ 결정은 삼각형 모양으로 한 변의 크기가 최대 약 200 μm 정도이며 표면에 이산적으로 분포되어 있었다. MoS₂의 두께는 원자힘현미경(atomic force microscope, AFM)으로 관찰한 결과, 그림 3과 같이 약 3 nm로서 4 원자층으로 구성된 다층 결정임을 알 수 있었다. MoS₂ 원자층 표면의 불순물을 제거한 후 소오스-드레인 금속을 증착하여 FET를 제작하였다.

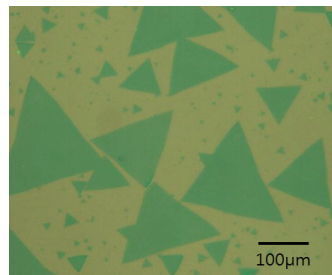


Fig. 2. Optical microscopic observation of MoS₂ crystals on SiO₂.

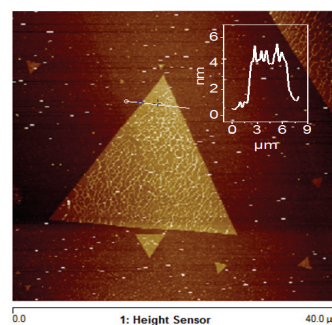


Fig. 3. Thickness measurement by AFM.

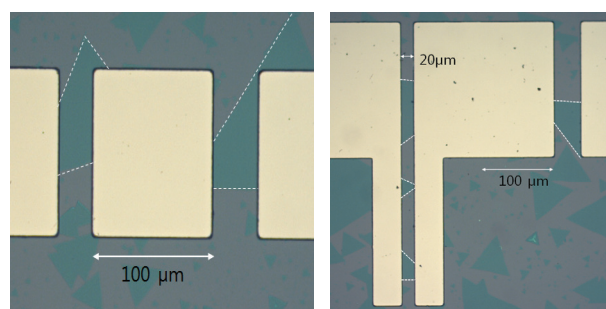


Fig. 4. Single crystals located between Mo contacts. Dashed lines are guides to identify MoS₂ crystal.

소오스-드레인 전극 형성은 음형 감광제를 도포하고 150 nm 두께의 몰리브덴(Mo)을 스퍼터링하고 감광제를 리프트오프(lift-off)하는 방식으로 제작되었다. 접촉 금속으로 Mo 금속은 MoS₂를 구성하는 원소이며 또한 금속의 이론적 계산으로 0.1 eV의 낮은 쇼트키 장벽과 ~2 kΩ-cm의 낮은 접촉저항, 높은 ON 전류를 보인다고 보고되어 있다 [6]. 따라서 본 연구에서는 Mo 금속을 소오스-드레인 금속으로 사용하였다. 소오스-드레인 금속이 증착된 시료를 현미경으로 관찰한 사진은 그림 4와 같다. 사진의 밝은 부분은 Mo 금속이고 그 사이에

삼각형 모양의 MoS₂ 결정들이 접촉되어 있음을 알 수 있고, 접촉하고 있는 채널의 왼쪽(W_L), 오른쪽(W_R)의 폭이 다른 점이 독특하다.

소자의 전류-전압 특성은 실온의 공기 중에서 탐침 장비(MS-Tech MST-8000C)와 반도체 소자 분석기(Agilent Technologies B1500A)를 사용하여 측정하였다. n⁺-Si 기판에 전압을 인가하여 게이트로 사용하였다.

3. 결과 및 고찰

게이트 전압 V_G = 0 ~ 40 V에 대한 드레인 전압을 변화시키면서 측정한 드레인 전류의 I_{DS}-V_{DS} 결과는 그림 5에 도시하였듯이 n-채널 FET의 전형적인 특성을 보이고 있었다. 사용된 시료는 L=18 μm, W_L=28 μm, W_R=40 μm이었다. 인가된 게이트 전압의 모든 범위에서, V_{DS} < 3 V 범위에서 I_{DS}는 V_{DS}의 변화에 따라 선형적으로 변화됨으로 보아 Mo를 사용한 금속 접합은 낮은 쇼트키 접합을 이루고 있음을 확인할 수 있다. 쇼트키 접합 장벽이 크면 I_{DS}는 V_{DS}의 변화에 따라 비선형적으로 변화됨이 소오스-드레인 금속으로 Ti/Au를 사용한 경우에 종종 관찰되기도 한다. 그림 5의 시료에 대해 선형영역에서 도출한 문턱전압은 V_{th} = 6.3 V이었다.

게이트 전압을 변화시키며 측정한 전달 특성은 그림 6과 같다. I_{DS}는 V_D = 1.0 V 또는 10 V에서 각각 측정된 ON 전류와 OFF 전류의 비는 I_{ON}/I_{OFF} ≈ 5 × 10⁴으로 거의 동일하였다.

채널 전자의 이동도 μ는 C_{ox} (단위면적당 게이트 정전용량), W/L (채널 폭과 길이의 비), V_G (게이트 전압), 그리고 V_{DS} (드레인-소오스의 전압 차이)들과 μ = $\frac{1}{C_{ox}} \frac{L}{W} \left(\frac{dI_{DS}}{dV_G} \right) \frac{1}{V_{DS}}$ 의 관계를 가지므로, W 값을 W = (W_L + W_R)/2, V_G = V_{th}일 때 그림 6의 그래프로부터 μ 값을 추출하면, μ ≈ 0.05 cm²/V-sec의 값을 얻을 수 있었다. 이러한 측정값은 타 문헌에서 보고되는 μ = 10 ~ 20 cm²/V-sec에 비해 2-차수 정도 작은 값이었다 [6]. 또한 문턱전압 이하에서의 기울기(sub-threshold slope, S.S)는 V_D = 0.1, 10 V 모두 S.S ≈ 5 V/dec의 값을 보이고 있었다. 이러한 열악한 특성은 계면전하가 높다는 것을 의미하고 있으며 이로 인해 채널 전자의 이동도가 낮아진 것으로 판단된다.

계면전하는 MoS₂-FET의 특성에 어떤 영향을 미치는지를 측정하기 위해 I_{DS}-V_G의 특성을 V_G = -10 V → +40 V (forward)로 변화시키면서 측정한 후, 다시 역방향(reverse)으로 전압을 인가하여 V_G = +40 V → -10 V로 변화시키면서 I_{DS}를 측정하였다. 본 연구에 사용된 Agilent 1500A 장비는 -10 → +40 → -10 V로 한 번에 전압을 변화시킬 수 없기에 +40 V에서 소프트웨어 상에서 측정 변수를 변화시키기 위해 약 10초의 시간이 소요되었다. 측정은 forward → reverse → forward로 진행되었고 이들 데이터를 그림 7에 정리하였다.

그림 7에서 '1st forward', '2nd forward'는 1번째, 2번째 측정을 의미한다. Forward 측정 후, V_G = 40 V로부터 reverse 측정을 시작하면 I_{DS}는 I_{DS} ≈ 20 nA에서 7~8 nA로 감소하며 V_G가 감소함에 따라 점차 감

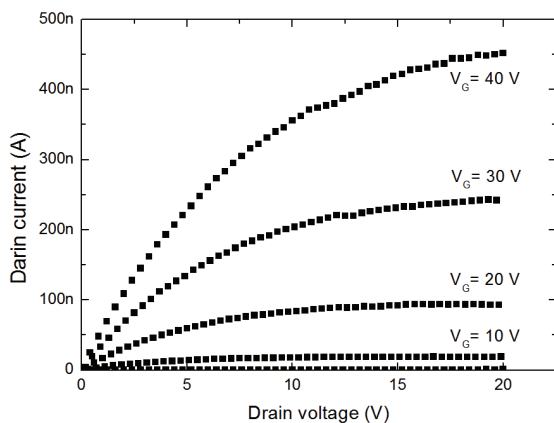


Fig. 5. I_{DS}-V_{DS} curves at different V_G.

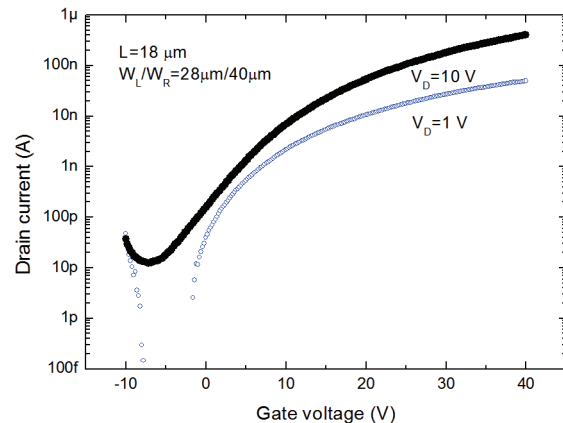


Fig. 6. Transfer characteristics of a FET.

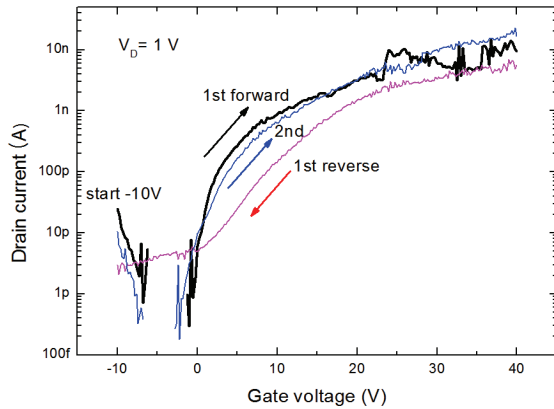


Fig. 7. Change of $I_{DS}-V_G$ curves by gate voltage sweep.

소하여, $V_G = -10$ V에서 $I_{DS} \approx 3$ pA를 보이며 초기 forward 측정 때에 보이던 누설전류의 산란은 보이지 않았다. Reverse 측정 결과는 forward 측정에 비교할 때, 전반적이 $I_{DS}-V_G$ 커브가 우측으로 이동된 결과를 보인다. 이로부터 문턱전압이 $\Delta V_{th} = +0.7$ V 증가한 것임을 알 수 있고, 이는 양의 게이트 전압에 의해 음의 전하를 가진 계면전하가 발생하였음을 시사하고 있다. 이러한 게이트 전압 스트레스는 또한 $I_{DS}-V_G$ 의 기울기도 변화시켜 forward에 비해 reverse의 경우는 전류의 전압에 대한 기울기인 $\frac{dI_{DS}}{dV_G}$ 가 작아졌음을 알 수 있다. Reverse 전압 $V_G = -10$ V에 의해 I_{DS} 가 1번째 sweep에 비해 변화가 있는지 확인하기 위해 2번째 forward sweep을 한 결과, I_{DS} 는 1번째에 비해 그다지 큰 변화를 보이지 않았다. 이는 $V_G = -10$ V는 계면전하에 큰 영향을 미치지 않음을 시사한다.

Forward 전압 sweep의 $I_{DS}-V_G$ 커브로부터, 문턱전압 이하에서의 기울기를 추출하면 $S.S \approx 1.9$ V/dec이 값을 얻을 수 있었다. 이러한 열악한 $S.S$ 값은 이론적인 값인 $S.S = 70$ mV/dec에 비해 매우 큰 값으로써 본 실험에 사용된 MoS₂-FET은 계면전하가 높다는 것을 의미하며, 계면전하와의 충돌에 의해 채널 전자의 이동도 또한 저하된 것으로 판단된다. 또한, 전류 포화 영역에서 전자 이동도를 계산하면 이 시료는 $\mu \approx 0.01$ cm²/V-sec를 얻을 수 있었다.

게이트 전압에 의한 스트레스가 MoS₂ FET의 문턱전압을 변화시키는 현상은 최근 여러 연구진들의 연구결과와 유사하다 [7-9]. 스트레스에 의한 V_{th} 변화는 V_G 가 작을수록 적어지고, 한 소자에서 초기에는 그 변

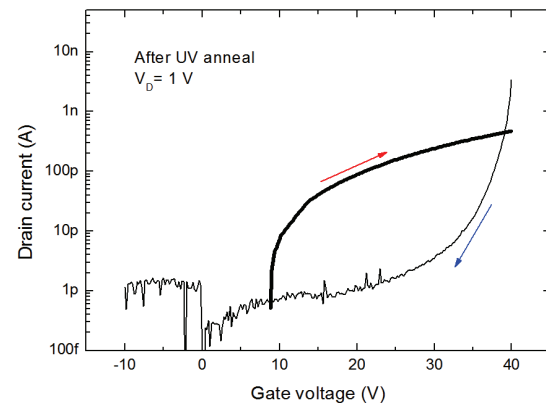


Fig. 8. UV exposure effect on transfer characteristics.

화가 크지만 수십 회 반복 측정하면 더 이상 변화하지 않는다고 보고되고 있다. 전압 스트레스는 MoS₂ 표면에 공기 중의 산소, 수증기 등이 전압에 의해 흡착되도록 하여 계면전하를 형성한다고 알려져 있고, 진공에서 $I-V$ 측정을 진행하면 스트레스가 거의 사라지게 됨으로 이 주장을 뒷받침한다.

게이트 전압에 의해 소자가 열화되기에 이를 회복하는 방법을 강구해 보았다. MoS₂/SiO₂ 기판 계면에 포획된 전하는 UV를 쬐어 주거나 열을 가해 주면 포획된 전하들은 다시 채널로 복귀하게 될 것이다. 본 연구에서는 스트레스를 받은 소자에 UV를 1시간 동안 실온, 공기 중에서 쬐어 주어 스트레스가 소멸되도록 시도하였다. 사용된 UV 광원은 EEPROM의 메모리를 소거하는 데 사용되어 Si EEPROM 소거에는 30분 이상이 소요되는 광세기를 가지고 있다. 소자에 UV를 조사한 후 $I_{DS}-V_G$ 를 측정한 결과를 그림 8에 표현하였다. 그림 8에서 화살표는 게이트 전압 인가의 방향을 의미한다.

UV 전사 전의 특성인 그림 7과 비교하면 forward 방향으로 측정시의 포화전류는 1/10 이하로 줄었고, 문턱전압이 약 10 V 정도 증가하였으며, reverse 방향으로 측정할 때는 양의 게이트 전압에 의한 스트레스가 더욱 커져서 문턱전압 변화가 약 +20 V 정도 되었다. 이 결과는 기대한 바와는 달리, UV 조사는 소자의 열화를 더욱 가속화하였음을 시사하고 있다. 이는 타 연구의 결과를 바탕으로 해석할 때, UV 조사 동안 공기 중의 산소, 수증기 등이 MoS₂의 노출된 표면에 흡착이 가속화되어 더 많은 계면전하를 발생하였기 때문으로 추정된다.

CVD로 성장된 MoS₂ 결정은 그림 2와 같은 삼각형

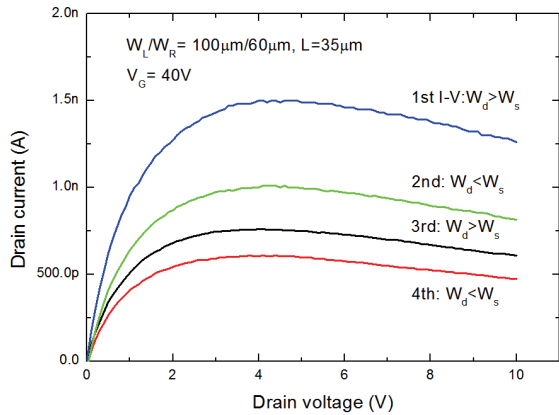


Fig. 9. Effect of S/D exchange of a FET with asymmetric channel width.

이기에 채널을 형성하게 되면, 그림 4와 같이 소오스 또는 드레인에 접촉된 MoS₂의 채널 폭이 서로 차이가 난다. 이러한 독특한 MoS₂ FET 구조가 가져다주는 효과가 있는지 측정해 보았다. 만약 소오스 부근의 채널 폭이 드레인 접합에 비해 작아서, $W_d > W_s$ 의 관계가 될 때, 채널 폭이 작으므로 단위 길이당 채널 저항이 작아서 일정한 I_{DS} 를 유지하기 위해서는 소오스 쪽 채널에 인가된 단위 길이당 드레인 전압 변화가 더욱 크고 그 결과로 소오스 부근의 전계는 드레인 부근에 비해 더 크게 된다. 이 결과로 드레인 컨택턴스의 증가와 드레인 전류 증가를 유발할 것으로 기대된다.

Si MOSFET에서 게이트를 두 개로 분리하여 문턱전압을 서로 다르도록 게이트 산화막의 두께 또는 게이트 전극 물질을 다르게 하여, 분리된 게이트 하부 채널의 문턱전압이 차이가 생기면 두 게이트 접합부의 채널에 추가 전계가 발생되도록 하여, 전달컨덕턴스 g_m , 드레인 컨덕턴스 g_d , 이동도, 출력 저항 r_o 등이 증가하는 이점을 가진다고 보고되어 있다 [10,11].

측정에 사용된 시료는 $W_L/W_R=100 \mu\text{m}/60 \mu\text{m}$, $L=35 \mu\text{m}$ 이고 측정 시에 폭이 $W_d > W_s$ (또는 $W_d < W_s$) 이 되도록 측정 조건을 설정하고, $V_G=10 \sim 40 \text{ V}$ 로 변화시키면서 $I_{DS}-V_{DS}$ 를 총 4회 측정한 후(그림 9에서 '1st, 2nd, ...'로 표현) $V_G=40 \text{ V}$ 일 때의 결과만 정리하여 그림 9에 나타내었다. 결과는 다음 세 가지의 특이사항을 나타내었다. 첫째, 측정을 계속하면 I_{DS} 는 점진적으로 적어졌으며, 둘째, 전류 포화 현상이 나타나지 않고 포화 영역에서 드레인 전압이 증가함에 따라 I_{DS} 는 점진적으로 감소하였고, 셋째, 기대했던 채널 폭

이 다른 소오스-드레인의 효과를 나타내지 않았다. 첫째와 둘째 현상은 소자 제작 후 시간이 경과된 모든 시료에서 동일하게 나타나는 현상이었다. 이는 MoS₂가 비록 건조박스 내에 보관하였어도 공기 중의 수분과 산소에 노출되어 그 표면에 흡착이 진행되어 소자를 열화시켰기 때문으로 사료된다. 더욱이 소자 측정이 계속됨으로써 $V_G=40 \text{ V}$ 에 의한 스트레스는 점차 문턱전압 ΔV_{Th} 를 증가시켜서 포화영역이 시작되는 드레인 전압 (V_{DS-sat})은 첫째 측정에 비해 측정횟수가 증가함에 따라 점차 작은 값으로 이동하여 그 기울기인 $\frac{dI_{DS}}{dV_{DS}}$ 또한 작아졌다. 따라서 기대한 소오스-드레인 폭의 차이에 의한 효과가 나타날지라도 문턱전압 변화가 더 커서 이를 감지할 수 없었다.

MoS₂ FET의 독특한 결정 구조는 서로 다른 선포를 가진 소오스-드레인 소자를 구현하여 그 장점을 표현할 수 있기 위해서는 먼저 소자의 계면전하와 스트레스에 의한 문턱전압 변화가 없어야 한다. 이를 위해서는 시료에 존재하는 계면전하를 없애기 위한 전처리(예를 들어 $100 \sim 200^\circ\text{C}$ 의 진공에서 가열) 후 산소, 수증기 등의 영향이 없는 진공 또는 질소분위기에서 측정을 하거나, 또는 채널을 보호하기 위한 유전체 박막을 저온 증착한 후 소자를 측정하는 방법을 사용해야 할 것이다 [7,12].

4. 결론

CVD 방법에 의해 성장되고 100 nm 두께의 열산화막 위에 전달된 다층으로 구성된 3 nm 두께의 MoS₂ 결정을 채널로 사용한 FET의 전기적 특성을 측정하였다. FET는 Si 기판을 하부 게이트로, Mo 금속을 소오스, 드레인으로 사용하였다. FET의 전류-전압 특성은 전형적인 n-채널 FET의 특성을 보이고 있었지만, 공기에 노출된 MoS₂ 채널로 인해 양의 게이트 전압 스트레스에 의해 음의 계면전하가 증가하여 문턱전압이 변하고 소자 측정이 반복될수록 열화는 더 진행되었다. 열화를 회복시키기 위해 UV를 조사하면 도리어 UV에 의한 불순물의 흡착과 계면전하가 증가하여 소자의 특성은 초기에 비해 문턱전압과 포화전류 특성이 나빠졌다. 측정된 모드 소자들로부터 얻은 전자 이동도는 최대 $0.05 \text{ cm}^2/\text{V}\cdot\text{sec}$ 로 타 연구결과에 비해 낮으며, 문턱전압 이하 기울기는 최고 $S.S=1.9 \text{ V/dec}$ 를 얻어 타 연구 결과와 유사하였다. MoS₂ 결정의 독특한 모양에

기인한 드레인, 소오스 폭이 다른 점의 이점을 소자에 적용하기 위해 폭이 작은 MoS₂ 접합 금속부를 소오스로 사용하여 소자의 특성 향상을 기대하였으나, 반복된 측정에 의한 게이트 전압의 스트레스로 인해 계면전하가 더욱 축적되어 문턱전압이 변화되어 기대된 소자 특성 향상을 얻지 못하였다.

감사의 글

이 논문은 2015년도 충북대학교 학술연구지원사업의 연구비 지원에 의하여 연구되었음.

REFERENCES

- [1] F. Bonaccorso, Z. Sun, T. Hasan, and A. C. Ferrari, *Nat. Photonics*, **4**, 611 (2010). [DOI: <https://doi.org/10.1038/nphoton.2010.186>]
- [2] K. F. Mak, C. Lee, J. Hone, J. Shan, and T. F. Heinz, *Phys. Rev. Lett.*, **105**, 136805 (2010). [DOI: <https://doi.org/10.1103/PhysRevLett.105.136805>]
- [3] D. K. Ban, W. H. Park, B. M. Jong, and J. Kim, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **30**, 417 (2017). [DOI: <https://doi.org/10.4313/JKEM.2017.30.7.417>]
- [4] T. Cao, G. Wang, W. Han, H. Ye, C. Zhu, J. Shi, Q. Niu, P. Tan, E. Wang, B. Liu, and J. Feng, *Nat. Commun.*, **3**, 887 (2012). [DOI: <https://doi.org/10.1038/ncomms1882>]
- [5] J. Li and M. Östling, *Electronics*, **4**, 1033 (2015). [DOI: <https://doi.org/10.3390/electronics4041033>]
- [6] J. Kang, W. Liu, and K. Banerjee, *Appl. Phys. Lett.*, **104**, 093106 (2014). [DOI: <https://doi.org/10.1063/1.4866340>]
- [7] K. Cho, W. Park, J. Park, H. Jeong, J. Jang, T. Y. Kim, W. K. Hong, S. Hong, and T. Lee, *ACS Nano*, **7**, 7751 (2013). [DOI: <https://doi.org/10.1021/nn402348r>]
- [8] Y. Y. Illarionov, G. Rzepa, M. Waltl, T. Knobloch, A. Grill, M. M. Furchi, T. Mueller, and T. Grasser, *2D Mater.*, **3**, 035004 (2016). [DOI: <https://doi.org/10.1088/2053-1583/3/3/035004>]
- [9] Y. Park, H. W. Baac, J. Heo, and G. Yoo, *Appl. Phys. Lett.*, **108**, 083102 (2016). [DOI: <https://doi.org/10.1063/1.4942406>]
- [10] K. J. Baek, Y. S. Kim, and K. Y. Na, *Trans. Electr. Electron. Mater.*, **16**, 254 (2015). [DOI: <https://doi.org/10.4313/TEEM.2015.16.5.254>]
- [11] W. Long, H. Ou, J. M. Kuo, and K. K. Chin, *IEEE Trans. Electron Dev.*, **46**, 865 (1999). [DOI: <https://doi.org/10.1109/16.760391>]
- [12] L. Yu, D. El-Damak, U. Radhakrishna, X. Ling, A. Zubair, Y. Lin, Y. Zhang, M. H. Chuang, Y. H. Lee, D. Antoniadis, J. Kong, A. Chandrakasan, and T. Palacios, *Nano Lett.*, **16**, 6349 (2016). [DOI: <https://doi.org/10.1021/acs.nanolett.6b02739>]