

전자 수송층을 삽입한 용액 공정형 산화물 트랜지스터의 특성 평가

김한상¹, 김성진^{1,2,a}

¹ 충북대학교 전자정보대학

² 충북대학교 컴퓨터정보통신연구소

Characterization of Solution-Processed Oxide Transistor with Embedded Electron Transport Buffer Layer

Han-Sang Kim¹ and Sung-Jin Kim^{1,2,a}

¹ College of Electrical and Computer Engineering, Chungbuk National University, Cheongju 28644, Korea

² Institute for Computer and Information Communication, Chungbuk National University, Cheongju 28644, Korea

(Received March 21, 2017; Revised April 18, 2017; Accepted April 20, 2017)

Abstract: We investigated solution-processed indium-zinc oxide (IZO) thin-film transistors (TFTs) by inserting a 2-(4-biphenyl)-5-(4-tert-butylphenyl)-1,3,4-oxadiazole (PBD) buffer layer. This buffer layer efficiently tuned the energy level between the semiconducting oxide channel and metal electrode by increasing charge extraction, thereby enhancing the overall device performance: the IZO TFT with embedded PBD layer (thickness: 5 nm; width: 2,000 μm ; length: 200 μm) exhibited a field-effect mobility of 1.31 $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$, threshold voltage of 0.12 V, subthreshold swing of 0.87 V decade⁻¹, and on/off current ratio of 9.28×10^5 .

Keywords: Thin films, Sol-gel, Surface, Electrical, Indium-zinc oxide TFTs

1. 서론

차세대 디스플레이 스위칭 소자로 산화물 박막 트랜지스터(oxide thin-film transistor)가 주목을 받게 되었다 [1-4]. 이러한 비정질 산화물 반도체가 기존의 실리콘 반도체에 비해 우수한 광 투과율과 높은 이동도를 가지는 특징으로 인해서 투명 디스플레이의 back plane 소자로 응용이 가능한 것으로 각광 받고 있으며, 특히 빠른 이동도를 요구하는 active matrix organic light emitting diode의 back plane으로 활용할 수 있어서 미래 디스플레이 산업에 꼭 필요하다.

a. Corresponding author; ksj@chungbuk.ac.kr

하지만 지금까지 평판 디스플레이의 백플레인에 들어가는 전자 소자는 sputtering 및 chemical vapor deposition 등의 비용 집약적인 진공 공정에서 제조되고, 이는 대량 생산과 대면적 디바이스 생산에 제한 사항을 가지고 있다. 이러한 이유로 단순하며 저비용, 고성능의 용액 공정형 금속 산화물 박막 전자 소자 제작이 최근 집중적으로 연구되고 있다 [5-13].

일반적으로 산화물 박막을 형성하는 방법은 크게 두 가지로 나눌 수 있다. 진공 장비에 의한 증착과 용액 공정을 이용한 방법이다. 먼저 진공 장비에 의해 형성된 박막은 전기적인 특성이 좋고 낮은 온도에서 제작이 가능하지만, 제작하는 장비의 가격이 비싸고 수율이 좋지 않은 단점을 가지고 있다. 다음으로 용액 공정을 이용한 증착 방법은 spin coating, ink-jet printing 등이 있으며 균일한 박막 형성과 저비용의 공정이 가능하지만, 전하 이동도가 다소 낮고 grain boundary

가 명확하지 않아서 차세대 디스플레이의 백플레인 전자 소자로 쓰이기엔 부족함이 있었다. 특히 전극에서 활성층으로의 빠른 전하 수송 매개체가 보완된다면 더 빠른 전하 이동도를 예상할 수 있다.

따라서 본 연구에서는 이러한 점을 보완하고자 일반적으로 유기 전자 소자에서 전자 수송층으로 널리 알려져 있는 2-(4-t-butylphenyl)-5-(4-biphenyl)-1,3 (PBD) [13,14]를 사용하여 용액 공정을 함으로써 산화물 반도체와 전극 간의 에너지 장벽 및 전기 저항을 낮추어 소자 특성의 개선점을 연구하였다. 산화물 반도체로는 IZO (indium zinc oxide)를 sol-gel 반응을 기반으로 spin-coating으로 제작하였다. 또한 organic evaporator를 이용하여 전자 수송층 역할을 하는 PBD를 IZO 산화물 박막 위에 증착하였다. 전자가 Al로부터 IZO 층으로 이동할 때 높은 에너지 준위 차를 줄이고자 그 사이에 PBD를 증착하여, 전자의 주입 속도를 높이고 정공의 이동 속도를 조절하여 좀 더 효율적으로 채널 형성에 도움을 줄 수 있도록 하였다. 제작한 산화물 반도체를 기반으로 한 트랜지스터 소자의 특성을 평가하기 위해 I-V curve를 측정하였고, 박막의 표면 상태를 확인하기 위해 원자간력 현미경(atomic force microscope, AFM) 이미지를 촬영하였다.

2. 실험 방법

그림 1(a)는 이번 연구에서 제작한 IZO 기반의 산화물 반도체 소자의 구조를 나타낸다. 그림 1(b)의 전자 수송층인 PBD를 삽입한 용액 공정형 산화물 트랜지스터는 MOS (metal oxide semiconductor) 구조로 제작하였다. 기판이자 하부 전극으로써 heavily doped n-type 실리콘 웨이퍼를 사용하였으며, 절연막 형성을 위해 furnace에서 thermal oxidation 방식을 통해 100 nm의 SiO₂를 성장시켰다. 이후 피라냐 세정(piranha cleaning)을 이용하여 표준 세정을 실시하였다.

이후 산화물 반도체 특성을 나타내는 활성층인 IZO 박막을 제작하기 위해 sol-gel 공정을 진행하였다. 용액 공정 기반의 IZO 산화물 반도체를 제작하기 위해 indium nitrate hydrate [In(NO₃)₃·xH₂O], zincacetate-dihydrate[Zn(CH₃COO)₂·2H₂O]를 사용하였으며, 0.1 M의 indium, zinc 용액을 제작하기 위해 용매로써 2-methoxyethanol을 사용하였다. 촉매의 역할을 하는 acetylacetone, NH₃를 indium 용액에 첨가하였고, acetylacetone을 zinc 용액에 첨가하여 2시간 동안

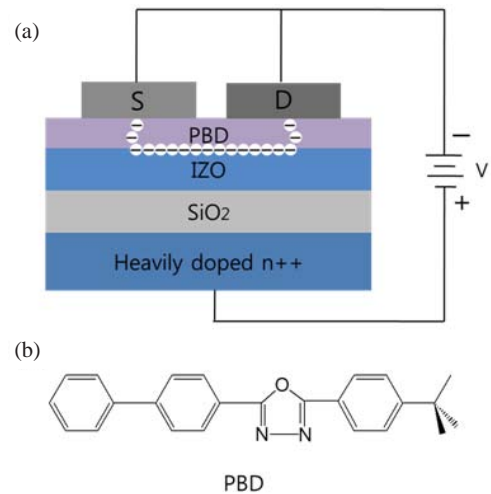


Fig. 1. (a) Schematic cross-sectional view of OFETs/IZO TFTs and (b) chemical structure of the material used in this study.

상온에서 stirring을 충분히 진행하였다. 이후 In, Zn 용액을 7:3의 비율로 혼합하여 1시간 동안 stirring을 진행하였다. 웨이퍼에 반도체 박막을 제작하기 위해 IZO 용액을 30초 동안 1,500 rpm의 속도로 스�핀 코팅 (spin-coating)을 진행하여 IZO 산화물 반도체를 30~40 nm 두께로 코팅하였다. 이후 남아있는 용매를 증발시키기 위해 400°C의 온도에서 2시간 동안 annealing을 실시하여 결정화를 유도하였다.

그 후 IZO 계면의 손상을 최소화하기 위해서 organic evaporator를 이용하여 PBD를 진공 증착 방식으로 5~30 nm의 두께로 올렸고, 금속 증착기(metal evaporator)를 이용하여 Al을 진공 증착하여 100 nm의 source, drain 전극으로 제작하였다. 이후 전자 소자 측정 장비인 Agilent B1500을 사용하여 소자의 전기적 특성을 공기 중에서 측정하였다.

3. 결과 및 고찰

그림 2는 IZO 박막 위에 PBD를 증착한 후 표면의 morphology를 확인할 수 있는 AFM 사진을 보여준다. 5, 15, 30 nm으로 증착된 PBD 중 5 nm 일 때에 표면의 결정립계(grain boundary)가 형성되는 것을 볼 수 있었다 [16]. PBD가 점점 두꺼워짐에 따라 grain size가 커지며 이것은 채널 저항으로 작용하여 소자특성에 나쁜 영향을 미칠 것으로 예상하였다.

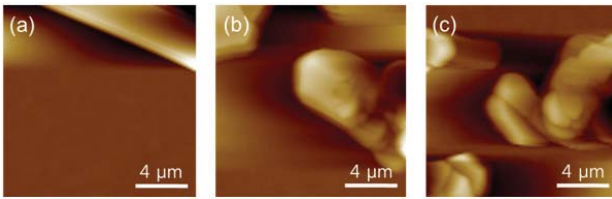


Fig. 2. AFM image of oxide transistor (a) 5 nm thick PBD electron transport layer, (b) 15 nm layer, and (c) 30 nm layer.

본 연구 그룹에서 제작한 PBD 버퍼층이 없으며, SiO₂ 절연막을 포함하고 동일한 공정 조건에서 제작한 IZO 소자의 전하 이동도는 1.0~1.2 cm²/V_s, I_{on}/I_{off} ratio는 ~10⁶로 보고되었다.

그림 3은 PBD를 증착한 산화물 트랜지스터 소자의 transfer, leakage curve를 보여준다. 그림 3(a)는 transfer curve 측면에서 시간 경과에 따른 신뢰성을 측정된 것이고, 전압이 증가됨에 따라 saturation 영역에 도달하는 반도체 소자의 특성을 보인다. Turn on voltage를 비교해보면, 5 nm 증착 시 0.12 V, 15 nm 증착 시 8.93 V이고, 30 nm 일 때는 정확한 값을 보이지 않았다. 또한 On/Off current ratio를 비교해보면, 5 nm 증착 시에 off 상태가 4.38×10⁻¹⁰, on 상태가 4.92×10⁻⁴로 전류점멸비가 9.28×10⁵이며, 15 nm 증착 시 off 상태가 4.92×10⁻¹⁰, on 상태가 2.63×10⁻⁴로 전류점멸비가 7.71×10⁵로 5 nm 증착 시보다 다소 낮았다. 30 nm 증착 시에는 off 상태가 1.42×10⁻⁹, on 상태가 4.81×10⁻⁵로 전류점멸비가 6.20×10⁴로 가장 낮게 나왔다.

또한, 그림 3(b)는 PBD 두께별 leakage current를 확인하고자 gate에 가해지는 전압에 따른 전류를 그래프로 나타낸 것이다. PBD 두께가 5 nm일 때 on/off 상태가 확실히 바뀌는 것을 볼 수 있고, 가해주는 전압이 상승함에 따라 PBD 두께가 5 nm일 때 15 nm, 30 nm에 비하여 leakage 변화율이 크지 않은 것을 확인할 수 있다.

표 1은 PBD의 박막 두께별 산화물 트랜지스터의 주요 4가지 parameter에 대하여 정리한 결과를 나타낸다. 차세대 반도체 소자로서의 사용 가능성을 평가하고자 상온(23°C), 암실(dark room)의 측정 환경 하에서 source와 drain을 하나는 ground, 다른 하나는 25 V로 고정시킨 후, gate에 -10 V에서 30 V의 전압을 지속적으로 인가하여 측정하였다. 그 결과, 5 nm 증착 시에 mobility가 1.31 (cm²/V_s), on/off ratio가

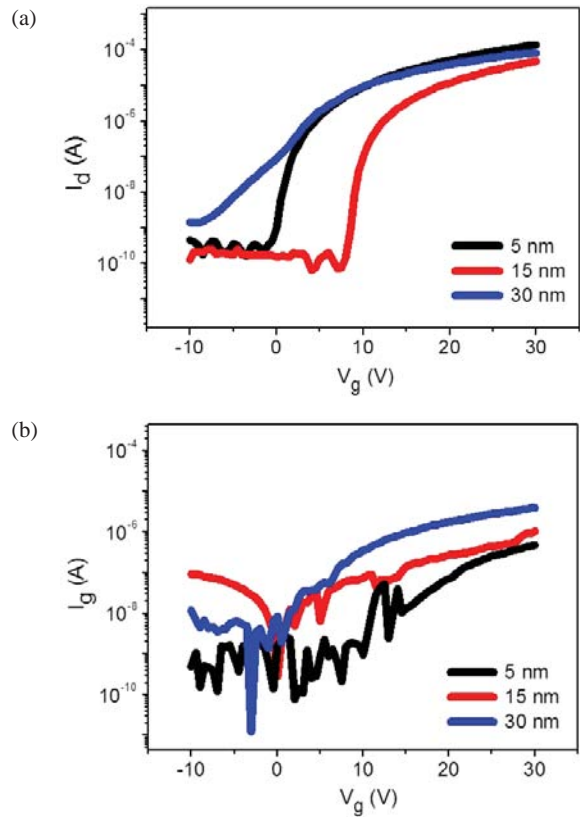


Fig. 3. I-V curves as fabricated devices (a) the current through drain in accordance with the voltage across gate and (b) the current through gate in accordance with the voltage across gate.

9.28×10⁵로 가장 높게 나왔고, V_{th}가 0 V에 가장 가까운 0.12 V, S/S가 0.87로 나오는 것을 확인할 수 있었다.

따라서 표 1에서처럼 다른 두께의 소자들보다 가장 두드러지는 특성이 나오는 것을 통해서 5 nm 두께의 PBD가 증착되었을 때 향상된 반도체 특성을 유지할 것으로 기대된다. 이를 통해 PBD를 삽입함으로써 채널에서의 전하 이동도와 같은 전기적인 소자 특성을 개선하였다는 것을 알 수 있었다. 그러나 PBD 박막의 두께가 두꺼워지고, AFM 결과에서 알 수 있듯이 grain size가 커짐에 따라 박막 자체가 채널 저항으로 작용하여 off current가 정상 동작 범위에 벗어나고 구동 전압이 크게 되면서 전력 소비 관점에서 치명적인 손실을 예상한다.

실제로 30 nm의 두께를 가지는 PBD를 이용한 소자는 전달 특성에서 off current 값이 명확하게 측정되지 않아서 정확한 threshold voltage와 S/S 값은 계산되지 않았다. 따라서 본 연구에서 제안한 전자 수

Table 1. Comparison of the electrical parameters of the IZO TFTs with a different thickness of electron transport buffer layer.

PBD thickness	Mobility (cm^2/V_s)	$I_{\text{on}}/I_{\text{off}}$	V_{th} (V)	S/S (V/decade)
5 nm	1.31	9.2×10^5	0.12	0.87
15 nm	0.72	7.7×10^5	8.93	0.67
30 nm	0.82	6.2×10^5	-	-

송층을 삽입한 용액 공정형 산화물 박막 트랜지스터를 통해 디스플레이 백플레인에 응용할 수 있는 스위칭 소자의 특성 인자들을 개선하고, TFT의 중요 parameter 들을 효율적으로 제어할 수 있을 것으로 기대된다.

4. 결론

본 논문에서는 산화물 반도체의 성능을 향상시키기 위해서 PBD를 용액 공정 기반의 IZO 산화물 트랜지스터의 버퍼층으로 삽입하여 제작하였으며, PBD의 두께가 소자의 성능에 미치는 영향을 평가하기 위해 5 nm, 15 nm, 30 nm의 두께로 소자를 제작하여 특성을 평가하였다. 결과적으로 PBD를 5 nm으로 증착한 소자가 gate bias에 의한 전기적 신뢰성 평가 시 문턱 전압이 0 V에 가까웠고, mobility, on/off ratio 등이 높게 나타나는 것을 확인할 수 있었다. 향후 우수한 광 투과율과 높은 이동도를 필요로 하는 차세대 디스플레이 스위칭 소자의 핵심 기술로 응용될 수 있다고 생각된다.

감사의 글

This research was supported by the Human Resources Development of the Korea Institute of Energy Technology Evaluation and Planning (KETEP) grant funded by the Korea government Ministry of Trade, industry & Energy (No. 20144030200450). This research was also supported by the MSIP (Ministry of Science, ICT and Future Planning), Korea, under the ITRC (Information Technology Research Center) support program (IITP-2017-2015-0-00448) supervised by the IITP (Institute for Information & communications Technology Promotion).

REFERENCES

- [1] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, **432**, 488 (2004). [DOI: <https://doi.org/10.1038/nature03090>]
- [2] E.M.C. Fortunato, P.M.C. Barquinha, A.C.M.B.G. Pimental, A.M.F. Gonçalves, A.J.S. Marques, L.M.N. Pereira, and R.F.P. Martins, *Adv. Mater.*, **17**, 590 (2005). [DOI: <https://doi.org/10.1002/adma.200400368>]
- [3] R. L. Hoffman, B. J. Norris, and J. F. Wager, *Appl. Phys. Lett.*, **82**, 733 (2003). [DOI: <https://doi.org/10.1063/1.1542677>]
- [4] M. K. Kim, J. H. Jeong, H. J. Lee, T. K. Ahn, H. S. Shin, J. S. Park, J. K. Jeong, Y. G. Mo, and H. D. Kim, *Appl. Phys. Lett.*, **90**, 212114 (2007). [DOI: <https://doi.org/10.1063/1.2742790>]
- [5] F. Jaehnik, D. V. Pham, R. Anselmann, C. Bock, and U. Kunze, *ACS Appl. Mater. Interfaces*, **7**, 14011 (2015). [DOI: <https://doi.org/10.1021/acsami.5b03105>]
- [6] M. Ito, C. Miyazaki, M. Ishizaki, M. Kon, N. Ikeda, T. Okubo, R. Matsubara, K. Hata, Y. Ugajin, and N. Sekine, *J. Non-Cryst. Solids*, **354**, 2777 (2008). [DOI: <https://doi.org/10.1016/j.jnoncrysol.2007.10.083>]
- [7] T. Iwasaki, N. Itagaki, T. Den, H. Kumomi, K. Nomura, T. Kamiya, and H. Hosono, *Appl. Phys. Lett.*, **90**, 242114 (2007). [DOI: <https://doi.org/10.1063/1.2749177>]
- [8] E.M.C. Fortunato, L.M.N. Pereira, P.M.C. Barquinha, A. M. Botelho do Rego, G. Gonçalves, A. Vilà, J. R. Morante, and R.F.P. Martins, *Appl. Phys. Lett.*, **92**, 222103 (2008). [DOI: <https://doi.org/10.1063/1.2937473>]
- [9] E.M.C. Fortunato, P.M.C. Barquinha, A.C.M.B.G. Pimentel, A.M.F. Gonçalves, A.J.S. Marques, L.M.N. Pereira, and R.F.P. Martins, *Adv. Mater.*, **17**, 590 (2005). [DOI: <https://doi.org/10.1002/adma.200400368>]
- [10] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, **432**, 488 (2004). [DOI: <https://doi.org/10.1038/nature03090>]
- [11] K. Nomura, A. Takagi, T. Kamiya, H. Ohta, M. Hirano, and H. Hosono, *Jpn. J. Appl. Phys., Part 1*, **45**, 4303 (2006). [DOI: <https://doi.org/10.1143/JJAP.45.4303>]

- [12] S. Narushima, H. Mizoguchi, K. Shimizu, K. Ueda, H. Ohta, M. Hirano, T. Kamiya, and H. Hosono, *Adv. Mater.*, **15**, 1409 (2003). [DOI: <https://doi.org/10.1002/adma.200304947>]
- [13] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, *Science*, **300**, 1269 (2003). [DOI: <https://doi.org/10.1126/science.1083212>]
- [14] C. W. Tang and S. A. VanSlyke, *Appl. Phys. Lett.*, **51**, 913 (1987). [DOI: <https://doi.org/10.1063/1.98799>]
- [15] H. Hong, R. Sfez, S. Yitzchaik, and D. Davidov, *Synth. Met.*, **102**, 1217 (1999). [DOI: [https://doi.org/10.1016/S0379-6779\(98\)01278-8](https://doi.org/10.1016/S0379-6779(98)01278-8)]
- [16] D. Platz, E. A. Tholén, D. Pesen, and B. Haviland, *Appl. Phys. Lett.*, **92**, 153106 (2008). [DOI: <https://doi.org/10.1063/1.2909569>]