

NH₃ Plasma Treatment를 사용한 고성능 TFT 제작 및 분석

박희준, Nguyen Van Duy, 이준신^a

성균관대학교 정보통신대학

A Production and Analysis on High Quality of Thin Film Transistors Using NH₃ Plasma Treatment

Heejun Park, Nguyen Van Duy, and Junsin Yi^a

College of Information and Communication Engineering, Sungkyunkwan University, Suwon 16419, Korea

(Received April 23, 2017; Revised May 17, 2017; Accepted May 19, 2017)

Abstract: The effect of NH₃ plasma treatment on device characteristics was confirmed for an optimized thin film transistor of poly-Si formed by ELA. When C-V curve was checked for MIS (metal-insulator-silicon), Dit of NH₃ plasma treated and MIS was $2.7 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$. Also in the TFT device case, it was decreased to the sub-threshold slope of 0.5 V/decade, 1.9 V of threshold voltage and improved in $26 \text{ cm}^2 \text{ V}^{-1} \text{ S}^{-1}$ of mobility. Si-N and Si-H bonding reduced dangling bonding to each interface. When gate bias stress was applied, the threshold voltage's shift value of NH₃ plasma treated device was 0.58 V for 1,000s, 1.14 V for 3,600s, 1.12 V for 7,200s. As we observe from this quality, electrical stability was also improved and NH₃ plasma treatment was considered effective for passivation.

Keywords: NH₃ plasma treatment, Poly-Si, Thin film transistor

1. 서론

일반적으로 AMOLED panel의 불균일한 display luminance의 원인으로는 backplane의 변형이 있다. 물론 LTPS TFT가 OLED를 구동하는데 적합하지만 pixel to pixel인 AMOLED panel에서는 더욱 blackplane 변형되는 문제가 대두되고 있다 [1]. 이 문제를 해결하기 위해 여러 픽셀 AMOLED 애플리케이션을 위한 보상 회로가 제안되었고, 대부분의 보상 회로는 휘도를 크게 향상시킬 수 있었다 [2]. 그럼에도 불구하고, 복잡한 픽셀 회로는 더 많은 TFT와 커패시터를 필요하게 되었다. 때문

에 sub-pixel 화고 개구율은 감소하였다. 또한 보상 회로가 구현 되더라도 보정이 필요하기 때문에 우수한 표면 균일성이 여전히 필요로 한다 [2]. Excimer laser annealing (ELA)에 의해 비정질 실리콘으로 형성된 다결정 실리콘 막 결정화 또는 furnace를 이용한 어닐링 결정화는 grain 및 grain boundary에 다수의 결함을 발견할 수 있다. 특히 LTPS TFT 특성은 poly-Si 막과 게이트 절연체 사이의 계면 결함에 많은 영향을 받는다 [3,4]. 이러한 결함을 줄이기 위한 일반적인 처리 방법은 다음과 같다. 첫째, device를 제작한 후에 dangling bonds를 줄여주는 수소화 처리를 한다. 수소화 공정 후, 소자 성능과 uniformity은 개선되었다. 둘째, 계면에 plasma treatment 처리를 통하여 소자의 결함들을 줄여주며 전기적 특성을 향상시킬 수 있다 [5,6]. 본 논문에서는 plasma treatment를 통하여 thin film transistor 제작 및 분석에 대해 기술하고자 한다.

a. Corresponding author; junsin@skku.edu

2. 실험 방법

Metal-insulator-silicon (MIS) 구조를 적용하여 두 가지 형태로 나누어 제작하였다. c-Si wafer 위에 ICP CVD (inductively coupled plasma CVD)를 이용하여 120 mTorr 에서 30분 동안 NH₃ plasma treatment 를 진행 후, 100 nm의 SiO₂와 다시 180 mTorr에서 60분 동안 NH₃ plasma treatment 후에 thermal evaporator를 이용하여 전극 aluminum 150 nm를 증착한 소자와 120 mTorr에서 30분 동안 NH₃ plasma treatment를 진행 후, N₂O plasma를 이용하여 2.3 nm의 SiON을 증착 후, 100 nm의 SiO₂와 180 mTorr 에서 60분 동안 NH₃ plasma treatment 후에 thermal evaporator를 이용하여 aluminum 전극 150 nm를 증착하였다.

TFT 소자 제작을 위해 glass 위에 buffer oxide와 excimer laser annealing을 이용하여 제작한 Poly-Si 으로 결정화한 기판을 사용하였으며 MIS과 같은 조건 으로 제작하였다. 전극 증착 후에 photo lithography 와 Reactive ion etch를 이용하여 패턴을 형성하였다. 마지막으로 ion shower 장비를 이용하여 source/ drain 에 p-type으로 도핑하였다. 또한 Electrical stability 특성을 확인하기 위해 ±1 MV/cm의 전계를 60분 동안 인가하여 소자 특성을 확인하였다.

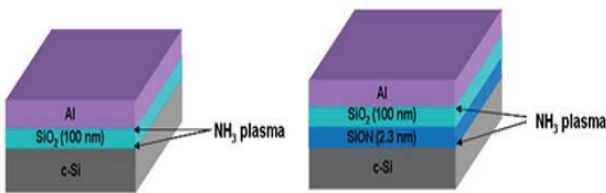


Fig. 1. MIS on c-Si wafer with SiO₂ and SiO₂/SiON as gate insulator.

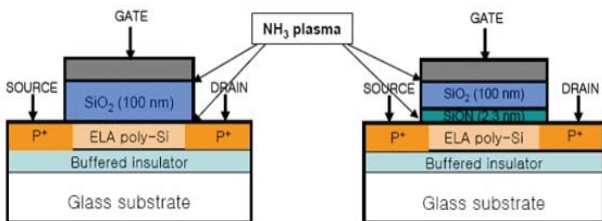


Fig. 2. TFT on glass with SiO₂ and SiO₂/SiON as gate insulator.

3. 결과 및 고찰

3.1 Metal-Insulator-Silicon C-V 및 계면포획 밀도

Plasma treatment를 사용하는 목적은 gate insulator 와 반도체 사이의 interface를 향상시키고 결함을 줄임으로써 insulator의 신뢰성을 향상시키는 것이다. 이를 확인하기 위해 NH₃ plasma treatment 처리의 유무를 통하여 C-V curve와 계면포획밀도(dit)를 확인하였다.

그림 3(a)에서 plasma treatment 처리에 따라 V_{FB}가 -3 V에서 V_{FB} = -1.4 V로 감소하는 것을 알 수 있다. SiO₂ 단일층에서는 V_{th}가 감소하지만 그림 2(b)에서 확인할 수 있듯이 SiO₂/SiOxNy의 insulator에서는 나타나지 않는다. SiOxNy층은 비교적 작은 고정전하밀도를 가진다. 이 많은 insulator는 100 nm 두께의 SiO₂의 전하가 플랫폼에 영향을 미치지 못하기 때문에 NH₃ plasma treatment는 interface state를 개선하는 것을 알 수 있다. 이를 수치화하기 위해 conductance-

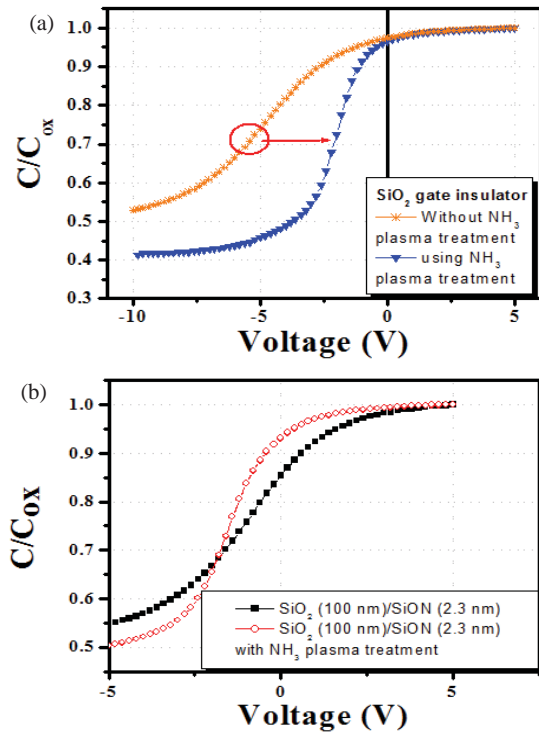


Fig. 3. C-V curve of MIS using and not using NH₃ plasma treatment (a) 100 nm SiO₂ as insulator and (b) SiO₂ (100 nm) /SiO_xN_y (2.3 nm) as insulator.

Table 1. D_{it} at mid-gap extracted from conductance-frequency measurement.

Condition	D_{it} ($\text{cm}^2 \cdot \text{eV}^{-1}$)
Non-treated SiO_2	9.1×10^{10}
SiO_2 using NH_3 plasma	2.7×10^{10}
Non-treated SiO_2/SiON	8.1×10^{10}
SiO_2/SiON using NH_3 plasma	5.1×10^{10}

frequency 방법을 사용하여 계면상태밀도를 구하였다. D_{it} 공식은 다음과 같다.

$$D_{it} = \frac{2.5[G(w)/w]_{\max}}{q} \quad (1)$$

$[G(w)/w]_{\max}$ 는 최대 conductance 대비 frequency 이다. 표 1에서 알 수 있듯이, 가장 작은 D_{it} 는 SiO_2 insulator에만 NH_3 plasma treatment를 적용한 소자에서 $2.7 \times 10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 을 확인할 수 있다.

3.2 TFT I-V 특성

$V_D = -1 \text{ V}$ 를 인가하여 $I_D - V_G$ 를 측정하였다. TFT의 width/length는 10/10 nm이다. Plasma treatment 유무에 따라 가장 좋은 전기적 특성은 SiO_2 insulator에 NH_3 plasma treatment를 적용한 그림 4(b)이다. 표 2에서 확인할 수 있듯이 NH_3 plasma 처리한 것이 처리하지 않은 것보다 V_{th} 는 1.9 V 감소하였고 I_{OFF} 는 $2.6 \times 10^{-13} \text{ A}$ 로 감소, subthreshold slope (V/decade) 0.5 감소, 전하이동도는 $26 \text{ cm}^2 \text{V}^{-1} \text{S}^{-1}$ 증가하였다. 이를 통하여 NH_3 plasma treatment는 인해 passivation 효과가 있다는 것을 알 수 있다. 또한 NH_3 plasma treatment는 NH_2 , NH , H^+ 와 같은 이온들을 활성화시킬 수 있다 [7]. 앞서 언급한 이 반응물들은 Si 표면과 SiO_2/Si 의 interface에서 Si-N과 Si-H bonding이 만들어 지면서 dangling bond를 억제해준다 [8,9]. 그림 4의 결과에 따르면 NH_3 plasma treatment는 interface state와 고정전하, SiO_2 insulator의 포획되는 전하를 줄여준다 [10].

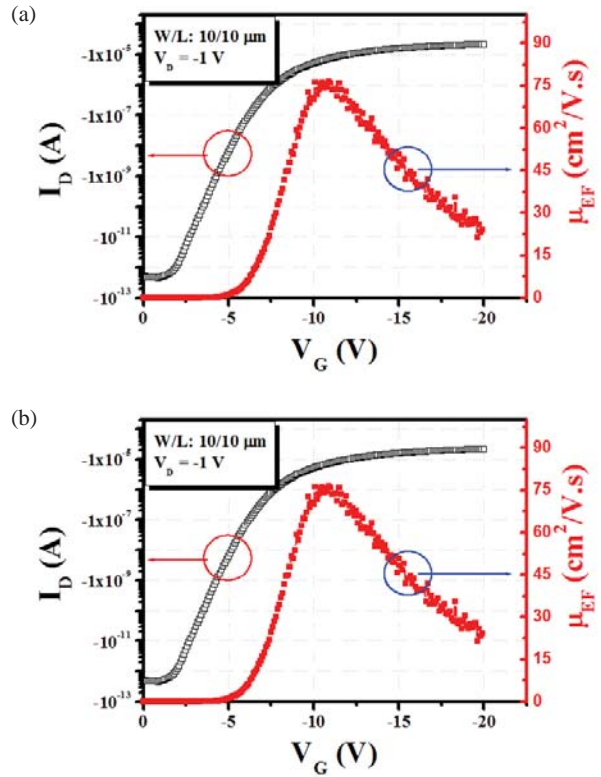


Fig. 4. $I_D - V_G$ characteristics and field effect mobility of TFT device (a) Non-treated TFT and (b) treated TFT.

Table 2. TFT parameters extracted from $I_D - V_G$ curves.

TFT parameters	Without plasma treatment	With plasma treatment
V_{th} (V)	-9.8	-7.9
I_{OFF} (A)	9×10^{-13}	6.4×10^{-13}
I_{ON}/I_{OFF}	1.6×10^7	4.6×10^7
SS (V/decade)	1.15	0.65
μ_{EF} ($\text{cm}^2 \text{V}^{-1} \text{S}^{-1}$)	50	76

3.3 TFT 전기적 안정 특성

Gate bias stress를 이용한 TFT 소자의 threshold voltage stability는 plasma treatment 영향을 조금 더 자세하게 알 수 있다. Gate insulator로 carrier가

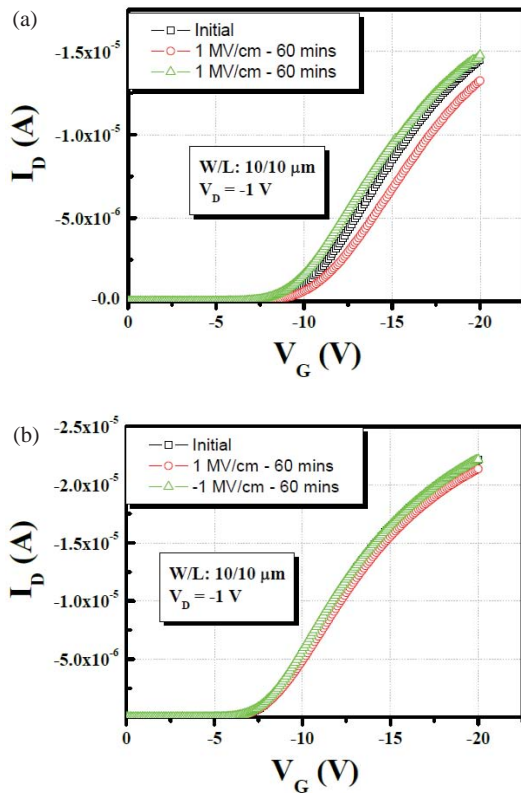


Fig. 5. Put figure title here TFT operation under stress bias at electric field of ± 1 MV/cm for 60 mins of (a) non-treated TFT and (b) NH_3 plasma treated TFT.

주입되는 것을 방지하기 위해 gate 인가전압을 전계 ± 1 MV/cm에 해당하는 ± 10 V을 60분 동안 인가한 후, TFT 특성이 변화를 확인했다. 그림 5는 plasma treatment의 유무에 따른 I_D - V_G 그래프이다. 그림 5(a)에서 확연히 threshold voltage가 이동하는 것을 알 수 있다. Threshold voltage의 이동은 Na^+ , H^+ , OH^- 와 같은 원자들의 움직임으로 설명될 수 있다 [11]. Positive bias stress를 인가하였을 때 insulator와 channel interface로 흘러 들어가게 된다. 마찬가지로 양의 고정전하가 interface에 도달하게 되고 영향을 미치게 된다. 양이온은 threshold voltage가 음의 전압 방향으로 이동하게 만드는 원인 중 하나이다. 1,000초부터 7,200초까지 gate에 인가전압을 전계 ± 1 MV/cm 후의 threshold voltage 값들은 표 3에서 확인할 수 있다. NH_3 plasma treatment/ without NH_3 plasma treatment 적용한 소자 threshold voltage 이동은 plasma treatment 적용 소자가 1,000초일 때 0.58 V, 3,600초일 때 1.14 V, 7,200초일 때 1.12 V 작았다. 또

Table 3. Threshold voltage shift under bias stress of ± 1 MV/cm.

Stress time (s)	Without plasma treatment	With plasma treatment
1,000	-0.68 V	-0.10 V
3,600	-1.36 V	-0.22 V
7,200	-1.42 V	-0.30 V

한 그림 5에서 NH_3 plasma treatment 유무에 따른 I_D - V_G 를 확인할 수 있다.

4. 결론

ELA로 형성된 Poly-Si의 최적화된 thin film transistor를 위해 NH_3 plasma treatment가 소자 특성에 미치는 영향에 관하여 확인할 수 있었다. C-V curve에서 알 수 있듯이 NH_3 plasma treatment 처리한 MIS의 dit 최소값은 $2.7 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 인 것과 I_D - V_G curve를 통하여 1.9 V threshold voltage, 0.5 V/decade의 subthreshold slope의 감소와 $26 \text{ cm}^2 \text{ V}^{-1} \text{ S}^{-1}$ 의 이동도가 개선되었으며 Si-N, Si-H의 결합이 각 interface에 dangling bonding을 줄여주었다. 또한 gate bias stress를 가하였을 때 plasma treatment시 threshold voltage는 1,000초일 때 0.58 V, 3,600초일 때 1.14 V, 7,200초일 때 1.12 V 작은 것으로 보아 전기적 안정 특성도 개선되었다. NH_3 plasma treatment는 passivation에 효과적이라고 판단된다.

감사의 글

본 연구(No. 20153030012590)는 산업통상자원부(MOTIE)와 한국에너지기술평가원(KETEP)의 지원을 받아 수행한 연구 과제입니다.

REFERENCES

- [1] S. T. Wu and D. K. Yang, *Reflective Liquid Crystal Displays* (John Wiley & Sons, Ltd., USA, 2001) p. 352.
- [2] F. S. Wang, M. J. Tsai, and H. C. Cheng, *IEEE Electron*

- Device Lett.*, **16**, 503 (1995). [DOI: <https://doi.org/10.1109/55.468281>]
- [3] H. C. You, P. Y. Kuo, F. H. Ko, T. S. Chao, and T. F. Lei, *IEEE Electron Device Lett.*, **27**, 799 (2006). [DOI: <https://doi.org/10.1109/LED.2006.882519>]
- [4] J. H. Jung, H. Kim, S. P. Lee, U. C. Sung, J. S. Rhee, C. S. Ko, J. C. Goh, B. R. Choi, J. H. Choi, N. D. Kim, and K. Chung, *Dig. Tech. Pap. - Soc. Inf. Disp. Int. Symp.*, **36**, 1538 (2005). [DOI: <https://doi.org/10.1889/1.2036303>]
- [5] T. Tsujimura, Y. Kobayashi, K. Murayama, A. Tanaka, M. Morooka, E. Fukumoto, H. Fujimoto, J. Sekine, K. Kanoh, K. Takeda, K. Miwa, M. Asano, N. Ikeda, S. Kohara, S. Ono, C. T. Chung, R. M. Chen, J. W. Chung, C. W. Huang, H. R. Guo, C. C. Yang, C. C. Hsu, H. J. Huang, W. Riess, H. Riel, S. Karg, T. Beierlein, D. Gundlach, S. Alvarado, C. Rost, P. Mueller, F. Libsch, M. Mastro, R. Polastre, A. Lien, J. Sanford, and R. Kaufman, *Dig. Tech. Pap. - Soc. Inf. Disp. Int. Symp.*, **34**, 6 (2003). [DOI: <https://doi.org/10.1889/1.1832193>]
- [6] Y. Matsueda, Y. S. Park, S. M. Choi, K. J. Yoo, C. Y. Im, Y. W. Yoo, H. H. Yoon, K. N. Kim, H. K. Kim, H. K. Chung, *Dig. Tech. Pap. - Soc. Inf. Disp. Int. Symp.*, **36**, 1352 (2005). [DOI: <https://doi.org/10.1889/1.2036257>]
- [7] R.M.A. Dawson, Z. Shen, D. A. Furst, S. Connor, J. Hsu, M. G. Kane, R. G. Stewart, A. Ipri, C. N. King, P. J. Green, R. Y. Flegal, S. Pearson, W. A. Barrow, E. Dickey, K. Ping, C. W. Tang, S. Van Slyke, F. Chen, J. Shi, J. C. Sturm, and M. H. Lu, *Dig. Tech. Pap. - Soc. Inf. Disp. Int. Symp.*, **29**, 11 (1998). [DOI: <https://doi.org/10.1889/1.1833705>]
- [8] T. Sasaoka, M. Sekiya, A. Yumoto, J. Yamada, T. Hirano, Y. Iwase, T. Yamada, T. Ishibashi, T. Mori, M. Asano, S. Tamura, and T. Urabe, *Dig. Tech. Pap. - Soc. Inf. Disp. Int. Symp.*, **32**, 384 (2001). [DOI: <https://doi.org/10.1889/1.1831876>]
- [9] K. Ichikawa, Y. Uraoka, H. Yano, T. Hatayama, T. Fuyuki, E. Takahashi, T. Hayashi, and K. Ogata, *Jpn. J. Appl. Phys.*, **46**, 25 (2007). [DOI: <https://doi.org/10.1143/JJAP.46.L661>]
- [10] K. Ishimaru and K. Okazaki, *Heat Transfer-Asian Research*, **33**, 106 (2004). [DOI: <https://doi.org/10.1002/htj.20000>]
- [11] S. M. Han, M. Y. Shin, J. H. Park, and M. K. Han, *J. Non-Cryst. Solids*, **352**, 1434 (2006). [DOI: <https://doi.org/10.1016/j.jnoncrysol.2005.11.082>]