

GeSbTe계 이중층의 상변화 특성에 미치는 열처리 온도 효과

윤회진, 방기수, 이승윤^a

한밭대학교 신소재공학과

Effect of Annealing Temperature on Phase-change Characteristics of GeSbTe-based Bilayers

Hoi Jin Yoon, Ki Su Bang, and Seung-Yun Lee^a

Department of Advanced Materials Engineering, Hanbat National University, Daejeon 34158, Korea

(Received October 19, 2016; Accepted December 6, 2016)

Abstract: This work reports the phase-change behavior and thermal stability of doped GeSbTe/GeSbTe bilayers. We prepared the bilayers using RF sputtering, and annealed them at annealing temperature ranging from 100°C to 400°C. The sheet resistance of the bilayer decreased and saturated with increasing annealing temperature, and the saturated value was close to that of pure GeSbTe film. The surface of the bilayer roughened at 400°C, which corresponds to the surface roughening of doped GeSbTe film. Mixed phases of face-centered cubic and hexagonal close-packed crystalline structures were identified in the bilayers annealed at elevated temperature. These results indicate that the phase-change behavior of the bilayer depends on the concurrent phase-transitions of the two GeSbTe-based films. The dopants in the doped GeSbTe film were diffused out at annealing temperatures of 300°C or higher, which implies that the thermal stability of the bilayer should be considered for its application in phase-change electronic devices.

Keywords: Phase-change, GeSbTe, Bilayer, Thermal stability, Doping

1. 서론

GeSbTe 합금으로 대표되는 상변화 재료는 인가되는 전류 펄스에 따라 상이 가역적으로 변화하는 고유한 특성으로 인해 비휘발성 상변화 메모리(non-volatile phase-change memory) [1] 및 비휘발성 상변화 스위치(non-volatile phase-change switch) [2]의 활성 물질(active material)로서 많은 주목을 받고 있다. 일반적으로 상변화 재료에 전류를 인가할 때 그 전류의 크기와 지속시간을 제어함으로써 결정 상(crystalline

phase)을 비정질 상(amorphous phase)으로 변화시키거나 그 반대의 상변화를 유도한다. 상대적으로 진폭을 크게 하고 지속시간을 짧게 하여 전류 펄스를 결정 상에 인가하면 melting 및 quenching 과정을 거쳐 비정질 상이 형성된다. 한편, 상대적으로 진폭을 작게 하고 지속시간을 길게 하여 펄스를 비정질 상에 인가하면 일시적으로 전기비저항이 낮아지는 문턱 스위칭(threshold switching) [3] 및 결정화 과정인 메모리 스위칭(memory switching) [4]을 순차적으로 거쳐 결정 상이 형성된다. 이때 충분한 지속시간이 유지되지 않으면 문턱 스위칭만 일어나고 메모리 스위칭은 일어나지 않기 때문에 전류펄스 종료 이후에 상변화 재료는 비정질 상으로 남아있게 된다.

이제까지 상변화 재료에 특정 물질을 주입함으로써 문턱 스위칭 및 메모리 스위칭을 제어하여 전자소자에

a. Corresponding author; sy_lee@hanbat.ac.kr

Copyright ©2017 KIEEME. All rights reserved.
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

응용하고 그 성능을 개선하고자 하는 연구가 폭넓게 진행되어 왔다. 상변화 거동을 보이는 GeTe 합금에 Te 원소를 과량으로 첨가하면 문턱 스위칭 거동만 보이게 되며, 이러한 특성을 이용하여 메모리 어레이에서 CMOS selection 회로를 대체하는 selector 소자가 개발되었다 [5]. GeSbTe 합금의 경우에도 실리콘 등의 특정 원소를 주입하면 메모리 스위칭이 억제되어 상변화 메모리의 데이터 유지(retention)가 향상되고 [6] 나노 크기의 상변화 스위치를 구성하는 데 있어서 필수 요소인 문턱 스위칭 합금을 제조할 수 있다 [7]. 여기에 더하여 메모리 스위칭 특성이 서로 다른 상변화 재료를 적층한 구조의 상변화 재료 다층구조 [8,9]는 멀티비트 상변화 메모리의 활성물질로서 응용이 가능한데 아직까지 상변화 재료 다층구조의 상변화 거동 및 열적 안정성에 대한 연구는 많이 이루어지지 않았다. 특히 상변화 거동이 서로 다른 두 종류의 GeSbTe 박막을 적층한 이중층(bilayer)에 대한 심도 있는 연구 결과는 아직까지 보고되지 않았다. 이에 본 연구에서는 스퍼터 증착을 이용하여 doped GeSbTe 박막과 순수한 GeSbTe 박막으로 구성된 이중층을 제조하고 열처리를 실시하여 열처리 온도에 따른 GeSbTe계 이중층의 상변화 특성 및 열적 안정성의 변화를 관찰하고 그 원인을 고찰하였다.

2. 실험 방법

P형 (100) 실리콘 웨이퍼 기판 위에 RF 스퍼터링을 이용하여 순수한 GeSbTe 박막 및 In과 P가 동시에 주입된 doped GeSbTe 박막을 증착하여 doped GeSbTe/GeSbTe 적층구조의 이중층을 형성하였다. 스퍼터링에 사용된 GeSbTe 타겟의 Ge-Sb-Te 원자비는 2:2:5였으며, doped GeSbTe 박막을 증착하기 위해서 GeSbTe 타겟 위에 In-P 원자비가 1:1인 InP 단결정 웨이퍼 조각을 접착하여 doped GeSbTe 타겟을 제조하고 스퍼터링을 실시하였다. 그림 1은 이중층을 형성하기 위해 실시한 스퍼터 증착의 개념도이다. 먼저 이중층을 구성하는 GeSbTe 박막을 증착하기 위하여 10분 동안 pre-sputtering을 실시한 후에 Ar 분위기에서 50 W의 전력을 인가하였다.

기본 진공도(base pressure)는 3.0×10^{-6} torr로 하였으며, 상온에서 20 sccm의 Ar 기체 유량으로 1.3×10^{-3} torr의 공정 진공도(process pressure)를 유

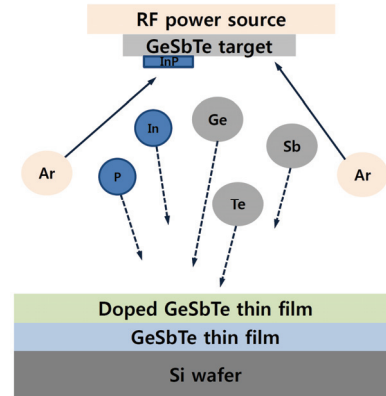


Fig. 1. Schematic diagram of an RF sputtering system for preparation of doped GeSbTe/GeSbTe bilayers.

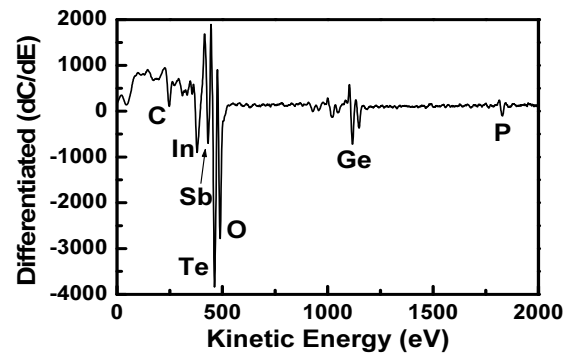


Fig. 2. AES spectrum of the surface of an InP-doped GeSbTe thin film.

지하면서 박막을 증착하였다. GeSbTe 박막 증착 이후에 상압에서 GeSbTe 타겟을 doped GeSbTe 타겟으로 교체한 후 GeSbTe 박막을 증착한 경우와 동일한 순서에 따라 doped GeSbTe 박막을 증착하였다. Doped GeSbTe 박막에서 Ge-Sb-Te 원자비는 2:2:5이고 In과 P의 원자백분율은 깊이에 따라 1.8~4.0 at.% 범위에서 다소 변화된다는 사실을 오제 전자 분광법(auger electron spectroscopy, AES)을 이용하여 확인하였다 [10]. 그림 2는 열처리를 실시하지 않은 doped GeSbTe 박막 표면의 AES 스펙트럼으로서 In과 P가 GeSbTe 박막과 공존하고 있음을 확인할 수 있다. 이중층의 상변화 특성에 미치는 열처리 온도 효과를 조사하기 위해서 상압의 Ar 분위기에서 100°C, 200°C, 300°C, 및 400°C의 온도에서 열처리를 실시하였다. 승온속도는 50°C/min였으며, 열처리 온도를 20

분간 유지한 후에 노냉(furnace cooling)하였다. 열처리 온도 변화에 따른 이중층의 면저항 변화를 four point probe를 이용하여 측정하였다. Scanning electron microscopy (SEM)를 이용하여 이중층의 표면형상을 관찰하고 x-ray diffraction (XRD)을 이용하여 이중층의 결정구조를 확인하였다. 이중층의 열적 안정성을 평가하기 위해 AES 깊이분석을 이용하여 구성 원소의 분포를 확인하였다.

3. 결과 및 고찰

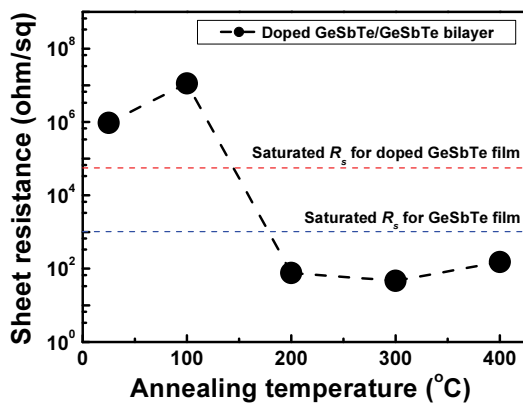


Fig. 3. Sheet resistance change for 200 nm-thick doped GeSbTe/200 nm-thick GeSbTe bilayers annealed at different temperatures. Saturated sheet resistances for 185 nm-thick doped GeSbTe and 190 nm-thick GeSbTe thin films are taken from Ref. [10].

그림 3은 스퍼터 증착을 이용하여 형성한 doped GeSbTe/GeSbTe 이중층의 열처리 온도 증가에 따른 면저항 변화이다. 100°C의 열처리 온도까지는 이중층의 면저항이 10⁶ Ω/sq 이상으로 매우 높게 유지 되었으나 100°C와 200°C 사이의 온도에서 면저항이 급격하게 감소하고 200°C 이상의 온도에서는 면저항이 약 10² Ω/sq로 비교적 일정하게 유지되었다. 이러한 면저항 변화는 인가되는 열에너지에 의해 이중층을 구성하는 doped GeSbTe 박막과 순수한 GeSbTe 박막의 내부에서 비저항이 큰 비정질 상이 비저항이 작은 결정 상으로 상변화하여 발생하는 것이다. 각각의 doped GeSbTe 박막과 GeSbTe 박막의 면저항은 열처리 온도가 증가함에 따라 그 값이 감소하다가 포화하며, 포

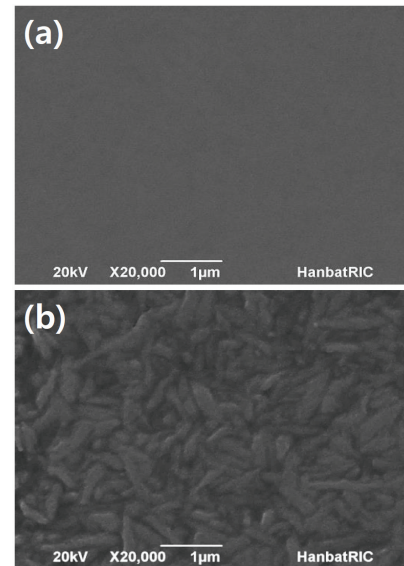


Fig. 4. Plan-view SEM images of doped GeSbTe/GeSbTe bilayers annealed at (a) 300°C and (b) 400°C.

화한 doped GeSbTe 박막의 면저항은 주입된 In과 P의 비정질 안정성 향상 효과 때문에 GeSbTe 박막의 포화 면저항에 비해 그림 3에 표시된 바와 같이 약 54배가 큰 값을 나타낸다 [10]. 다층박막의 면저항 값은 전기적으로 병렬로 연결된 각각의 박막 중에서 가장 작은 면저항을 갖는 박막에 의해서 결정된다 [11]. 따라서 스위칭 특성이 서로 다른 두 종류의 GeSbTe 박막을 포함하고 있는 이중층의 포화 면저항 값은 doped GeSbTe 박막의 면저항 값 보다는 순수한 GeSbTe 박막의 면저항 값에 더 가깝게 된다.

그림 4는 300°C 및 400°C의 열처리 온도에서 열처리 한 후에 SEM을 이용하여 관찰한 doped GeSbTe/GeSbTe 이중층의 표면형상이다. 300°C의 열처리 온도에서는 이중층의 표면이 평탄하였으나 400°C의 열처리 온도에서는 표면에 뚜렷하게 굴곡이 생겼음을 확인할 수 있다. 온도가 증가함에 따라 박막의 표면에서는 구성 원자의 확산이 촉진되는데 결정립계 등의 결정결함이 표면과 교차하는 부분에서는 표면확산에 의해 박막의 capillary instability [12]가 증가하여 응집이 발생한다. 따라서 400°C에서 관찰되는 불균일한 표면은 열에너지에 의해 결정화된 이중층이 capillary instability 증가에 따라 부분적으로 응집하여 나타난 것으로 추측된다. 이중층의 표면은 doped GeSbTe 박막에 해당하므로 그림 4에서 관찰된 표면형상의 변

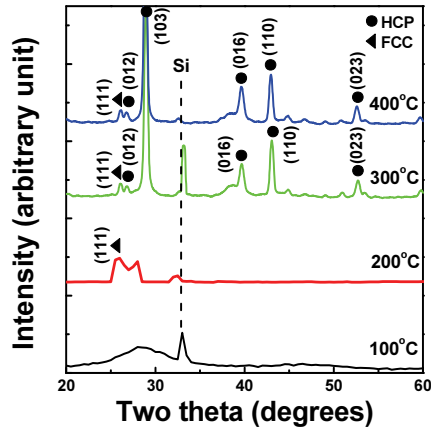


Fig. 5. X-ray diffraction patterns of doped GeSbTe/GeSbTe bilayers annealed at different temperatures.

화는 순수한 GeSbTe 박막의 표면형상 변화보다는 doped GeSbTe 박막의 표면형상 변화를 반영하는 것으로 판단된다.

그림 5는 각각의 열처리 온도에서 열처리 한 doped GeSbTe/GeSbTe 이중층의 XRD 패턴이다. 100°C에서 열처리한 이중층에서는 비정질 상에서 기인하는 비정질 halo 이외에 특별한 패턴은 관찰되지 않았다. 그러나 200°C에서 열처리한 경우에는 face centered cubic (FCC) 결정 구조의 (111) 회절 피크가 관찰되었으며, 300°C 및 400°C에서 열처리한 경우에는 FCC 결정 구조의 (111) 회절 피크와 hexagonal close packed (HCP) 결정 구조의 다수의 회절 피크가 혼재되어 관찰되었다. 이러한 열처리 온도에 따른 회절 패턴의 복잡한 변화 양상은 이중층을 구성하는 doped GeSbTe 박막 및 순수한 GeSbTe 박막의 회절 패턴 변화가 서로 중첩되어 나타난 것으로 생각된다.

앞에서 언급한 바와 같이 In과 P가 주입된 doped GeSbTe 박막은 순수한 GeSbTe 박막에 비해 비정질 안정성이 높아서 결정화가 지연된다. 따라서 200°C에서 관찰되는 FCC (111) 회절 피크는 순수한 GeSbTe 박막이 결정화되어 나타난 것인 반면에 300°C 및 400°C에서 관찰되는 FCC (111) 회절 피크는 doped GeSbTe 박막이 순수한 GeSbTe 박막에 비해서 더 높은 온도에서 결정화되어 나타난 것으로 판단된다. 또한 300°C에서 관찰되는 HCP 회절 피크는 순수한 GeSbTe 박막의 FCC 상이 HCP 상으로 상변화하여 나타난 것으로 생각되며, 400°C에서 관찰되는 HCP 회절 피크는 doped GeSbTe 박막 및 순수한 GeSbTe

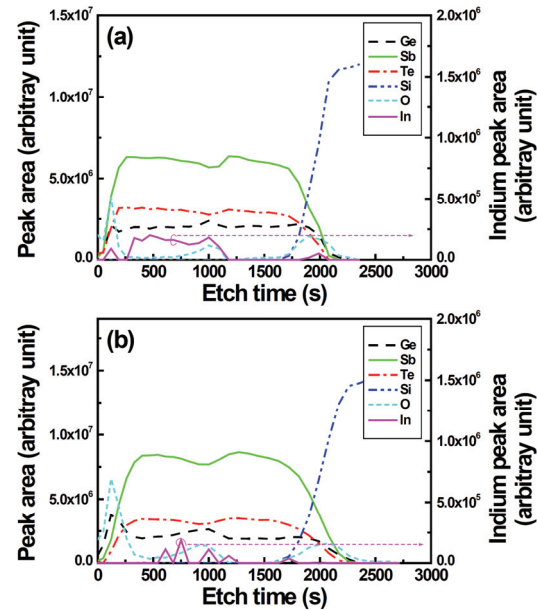


Fig. 6. AES depth profiles of doped GeSbTe/GeSbTe bilayers annealed at (a) 300°C and (b) 400°C.

박막 모두에 존재하는 HCP 상에서 기인하는 것으로 생각된다.

그림 6은 300°C 및 400°C의 열처리 온도에서 열처리 한 후에 AES 깊이분석을 이용하여 얻은 doped GeSbTe/GeSbTe 이중층의 구성 원소별 분포 곡선이다. 두 종류의 시편 모두 이중층의 중간 부분에 다량의 산소가 분포하는 것을 확인할 수 있으며 이것으로부터 doped GeSbTe 박막과 GeSbTe 박막의 영역이 뚜렷하게 구분된다. Doped GeSbTe 박막과 GeSbTe 박막의 계면에서 산소가 존재하는 이유는 실험방법에서 기술한 바와 같이 GeSbTe 박막과 doped GeSbTe 박막이 연속적으로 증착되지 않았기 때문이다.

그림 6(a)는 300°C에서 열처리 한 이중층의 AES 깊이분석 결과로서 doped GeSbTe 박막에 주입된 In은 여전히 존재하는 반면에 P는 존재하고 있지 않음을 확인할 수 있다. 한편 그림 6(b)로부터 400°C에서 열처리 하였을 때 doped GeSbTe 박막에서 In과 P가 사라지고 300°C에서 열처리 한 경우에 비해서 박막 내에 상대적으로 많은 양의 산소가 분포하고 있다는 사실을 알 수 있다. 높은 열처리 온도에서 In과 P가 사라지는 이유는 고온에서 촉진되는 out-diffusion [13,14]을 그 원인으로 들 수 있으나 정확한 out-diffusion의 메커니즘을 규명하기 위해서는 별도의 연구가 수행되어야 할

것으로 생각된다. 이러한 doped GeSbTe 박막의 구성 성분의 변화 및 열적 안정성은 doped GeSbTe/GeSbTe 이중층을 상변화 전자소자의 활성물질로 적용하는 데에 있어서 반드시 고려되어야 할 필요가 있다. In과 P는 GeSbTe 박막 내에 분포하면서 비정질 안정성을 높이는 역할을 하는데 300°C의 열처리 온도까지는 In이 여전히 존재하기 때문에 순수한 GeSbTe 박막과는 메모리 스위칭 특성이 서로 다른 이중층의 구성요소로서 doped GeSbTe 박막이 충분히 작용할 수 있으리라고 생각된다. 그러나 400°C의 열처리 온도에서는 In 또한 존재하지 않게 되므로 doped GeSbTe 박막이 이중층 내에서의 고유한 역할을 하지 못하게 된다.

따라서 doped GeSbTe/GeSbTe 이중층을 소자에 적용하기 위해서는 In과 P의 손실을 방지하는 역할을 하는 capping layer가 도입되어야 할 것으로 판단된다.

4. 결론

RF 스퍼터링을 이용하여 doped GeSbTe/GeSbTe 이중층을 형성하고 열처리 온도 변화에 따른 물성 변화를 관찰하였다. 이중층의 면저항은 열처리 온도가 증가함에 따라 급격하게 감소하다가 일정하게 유지되고 포화 면저항 값은 doped GeSbTe 박막에 비해 상대적으로 비정질 안정성이 낮은 GeSbTe 박막의 포화 면저항 값에 근접하는 결과를 나타내었다. 400°C의 열처리 온도에서 이중층의 표면에 뚜렷하게 굴곡이 발생하였으며, 이는 이중층의 상부를 구성하는 doped GeSbTe 박막의 결정화에 따른 응집에 의해 나타난 것이다. 이중층을 구성하는 doped GeSbTe 박막과 GeSbTe 박막의 서로 다른 상변화 거동 때문에 300°C 이상의 온도에서 열처리한 시편에서는 FCC 및 HCP 결정구조의 XRD 회절 피크가 동시에 관찰되었다. AES 깊이분석을 실시하여 300°C에서 열처리한 시편에서는 doped GeSbTe 박막에 주입되었던 P가 사라지고 In은 잔류한 반면에 400°C에서 열처리한 시편에서는 In과 P가 모두 손실되었다는 사실을 확인하였다. 이러한 결과는 doped GeSbTe/GeSbTe 이중층을 상변화 소자의 활성물질로서 사용하기 위해서는 In과 P의 손실을 방지하는 capping layer가 필요하다는 사실을 의미한다.

REFERENCES

- [1] J. Lee, S. Choi, C. Lee, Y. Kang, and D. Kim, *Appl. Surf. Sci.*, **253**, 3969 (2007). [DOI: <https://doi.org/10.1016/j.apsusc.2006.08.044>]
- [2] Y. S. Park and S. Y. Lee, *Jpn. J. Appl. Phys.*, **54**, 031301 (2015). [DOI: <https://doi.org/10.7567/JJAP.54.031301>]
- [3] A. Redaelli, A. Pirovano, A. Benvenuti, and A. L. Lacaita, *J. Appl. Phys.*, **103**, 111101 (2008). [DOI: <https://doi.org/10.1063/1.2931951>]
- [4] H. P. Wong, S. Raoux, S. Kim, J. Liang, J. P. Reifenberg, B. Rajendran, M. Asheghi, and K. E. Goodson, *P. IEEE*, **98**, 2201 (2010). [DOI: <https://doi.org/10.1109/JPROC.2010.2070050>]
- [5] M. Anbarasu, M. Wimmer, G. Bruns, M. Salinga, and M. Wuttig, *Appl. Phys. Lett.*, **100**, 143505 (2012). [DOI: <https://doi.org/10.1063/1.3700743>]
- [6] Y. Jiang, L. Xu, J. Chen, R. Zhang, W. Su, Y. Yu, Z. Ma, and J. Xu, *Phys. Stat. Sol. A*, **210**, 2231 (2013). [DOI: <https://doi.org/10.1002/pssa.201228840>]
- [7] S. Y. Lee, Y. S. Park, S. M. Yoon, S. Jung, S. H. Cheon, B. G. Yu, *United States Patent*, 8901532 B2 (2014).
- [8] Y. Zhang, J. Feng, Y. Zhang, Z. Zhang, Y. Lin, T. Tang, B. Cai, and B. Chen, *Phys. Stat. Sol. (RRL)*, **1**, R28.R30 (2007).
- [9] S. Ryu, K. Choi, S. Yoon, N. Lee, S. Lee, Y. Park, and B. Yu, *MRS Spring Meeting & Exhibit*, H7.11/G8.11 (2006).
- [10] K. S. Bang, Y. J. Oh, and S. Y. Lee, *J. Electron. Mater.*, **44**, 2712 (2015). [DOI: <https://doi.org/10.1007/s11664-015-3734-4>]
- [11] G. Liu, S. Rumyantsev, M. S. Shur, and A. A. Balandin, *Appl. Phys. Lett.*, **102**, 093111 (2013). [DOI: <https://doi.org/10.1063/1.4794843>]
- [12] H. J. Yoon, K. S. Bang, and S. Y. Lee, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **29**, 408 (2016).
- [13] H. J. Li, J. Bennett, P. Zeitzoff, T. A. Kirichenko, S. K. Banerjee, and D. Henke, *IEEE Electr. Device L.*, **24**, 221 (2003). [DOI: <https://doi.org/10.1109/LED.2003.810891>]
- [14] S. P. Murarka, *J. Appl. Phys.*, **56**, 2225 (1984). [DOI: <https://doi.org/10.1063/1.334281>]