

실리콘 직접 본딩에 의한 P-N 접합의 특성에 관한 연구

정원채^a

경기대학교 전자공학과

A Study on Characterization of P-N Junction Using Silicon Direct Bonding

Won-Chae Jung^a

Department of Electronic Engineering, Kyonggi University, Suwon 16227, Korea

(Received June 13, 2017; Revised July 20, 2017; Accepted August 28, 2017)

Abstract: This study investigated the various physical and electrical effects of silicon direct bonding. Direct bonding means the joining of two wafers together without an intermediate layer. If the surfaces are flat, and made clean and smooth using HF treatment to remove the native oxide layer, they can stick together when brought into contact and form a weak bond depending on the physical forces at room temperature. An IR camera and acoustic systems were used to analyze the voids and bonding conditions in an interface layer during bonding experiments. The I-V and C-V characteristics are also reported herein. The capacitance values for a range of frequencies were measured using a LCR meter. Direct wafer bonding of silicon is a simple method to fuse two wafers together; however, it is difficult to achieve perfect bonding of the two wafers. The direct bonding technology can be used for MEMS and other applications in three-dimensional integrated circuits and special devices.

Keywords: Wafer bonding, P-N junction, Current-voltage, Capacitance-voltage, Acoustic and SEM measurement, LCR meter, Computer simulation

1. 서론

SDB (silicon direct bonding) 기술은 외부로부터 전계를 가하지 않고 어떠한 내부의 접착재료도 사용하지 않고 900°C부터 1,200°C 온도영역에서 1시간 이상 열처리하는 실리콘 fusion bonding 기술이다. 고온 fusion bonding은 각각의 웨이퍼의 표면을 HF용액 처리한 후에 실리콘웨이퍼를 실온에서 접촉시킨다. 낮은 온도에서는 약한 결합이 나타나고 고온 열처리동안에는 bonding force가 증가하고 높은 온도에서는 안정화가 일어난다.

두 개의 웨이퍼 면들이 서로 접촉시키면 HF용액의 표면 처리 후에 deionized water로 세정 및 철저히 건조한 후에도 불구하고 국부적으로 SiO₂, Si-H, O-H, Si-OH 등과 같이 다양한 분자형태가 bonding경계면에서 나타난다. 접합된 경계면의 수증기성분을 철저히 제거하고 두 장의 실리콘웨이퍼가 실제로 접합되기 위해서 최소한 800°C 이상의 고온조건에서 접합실험이 수행되어야만 한다. 그러나 발표된 논문 [1-4]에서는 1,000°C 이상의 고온에서 접합실험을 수행하였다. 식각 및 접합기술은 미세구조 형성을 위해서 MEMS (micro electro mechanical system) 또는 3D (three-dimensional) 구조의 다양한 chip 제작기술과 센서기술에 적용되고 있다 [1,2]. 따라서 본 실험에서 SDB 방법으로 접합된 실리콘샘플의 제작과 물리적 [5-8] 및 전기적인 다양한 분석을 통한 실험결과를 본 연구에서 제시하고자 한다.

a. Corresponding author; wjung@kgu.ac.kr

Copyright ©2017 KIEEME. All rights reserved.
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

2. 실험 방법

2.1 컴퓨터시뮬레이션을 통한 물리적인 특성 분석

열처리 fusion bonding에서 실리콘의 결정면방향이 (100)/(100)인 쌍 보다 (111)/(111)인 쌍에서 bonding 결합력이 더 크게 나타남이 확인되었다 [4]. (111)결정면은 (100)결정면 보다 원자배치가 다르기 때문에 물 분자 dipole-attraction에 영향을 주어서 열처리에서 수증기의 탈착현상 때문에 산화과정에서 (111)이 (100) 결정면에서 보다 더 산화 막이 두껍게 성장하듯이 (111)에서 bonding force가 더 강화되어서 접합에서 더 강한 힘이 나타나게 된다 [4]. 실리콘/실리콘 웨이퍼 bonding을 위해서 수직방향으로 압력을 가한 경우에 수직전단력(shear force)의 분포를 comsol tool [9]을 사용하여 시뮬레이션결과를 그림 1에서 4까지 나타내었다. 이 경우에 사용된 실리콘재료의 물리적인 성질의 데이터는 표 1에 나타내었다.

Table 1. Material's properties of a used silicon.

Material		Silicon	
E-modulus	Poisson's ratio	Density (g/cm ³)	Conductivity (w/m·k)
112.4	0.22	2.33	124
Expansion	Specific Heat (J/g·°C)	Thickness (μm)	Wafer size
2.5×10 ⁻⁶	0.702	525	4"

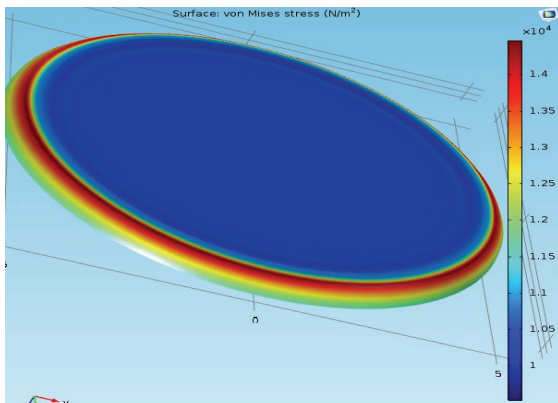


Fig. 1. Image of surface stress at shear force using comsol simulation.

그림 1은 컴퓨터시뮬레이션 결과로써 surface stress를 3차원의 형태로 나타내고 있다. 위에서 보다 밑면에서 전단력을 나타내기 위해서 측면방향으로 약 1.5 μm가 퍼진 형태를 나타내고 있다.

본 실험조건은 질소가스분위기에서 1,000°C의 온도에서 2시간 furnace 열처리한 후에 유리판위에 실리콘웨이퍼들을 놓아두고 13.68 kg의 무게를 가진 실리콘 잉곳(ingot)으로 10시간 동안 압력을 가하였다. 그 후에 두 장의 실리콘이 bonding된 결과를 나타내고 있었다. 실리콘웨이퍼에 가해진 압력을 식 (1)과 같이 계산할 수 있다. 압력단위를 pascal로 계산하면 다음의 식 (1)과 같다.

$$Pressure(Pa) = \frac{13.68kg \times 9.8kg/m^2}{3.14 \times (0.05)^2 m^2} = 1,7187.7 \quad (1)$$

실제로 식 (1)에서 계산된 결과와 comsol simulation 결과를 서로 비교하여 그림 2에서 이론적으로 서로 검증할 수 있었다. 수직방향으로 가해진 실리콘웨이퍼의

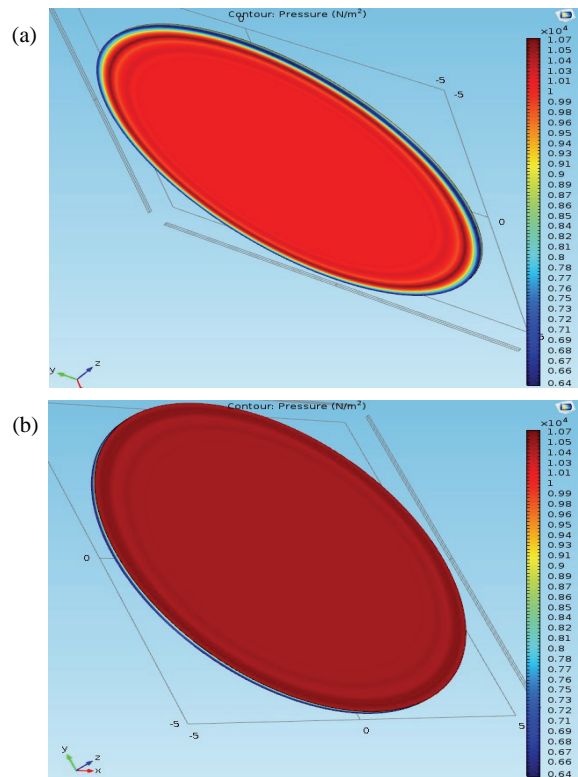


Fig. 2. Image of pressure distribution using Comsol simulation in (a) back side and (b) front side of a bonded wafer.

아랫면(a)과 윗면(b)의 압력분포를 그림 2에서 각각 나타내고 있다.

수직방향으로 cut된 방향과 위치를 나타내는 그림 3과 cut plane된 변위(displacement)를 comsol simulation을 사용하여 그림 4에 각각 나타내었다.

그림 4에서 나타낸 방향으로 변위된 길이는 수식 2와 같이 약 1.94 μm 를 나타내었다.

$$Displacement = 0.194 \times 10^4 \times 10^{-9} = 1.94 \mu\text{m} \quad (2)$$

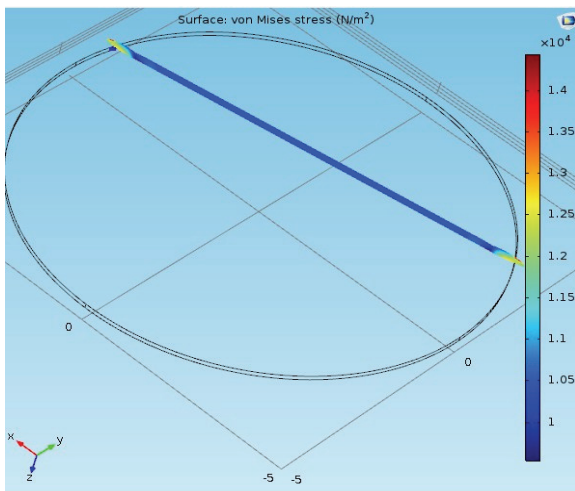


Fig. 3. Image of cut plane using comsol simulation in vertical sliced direction of a bonded wafer.

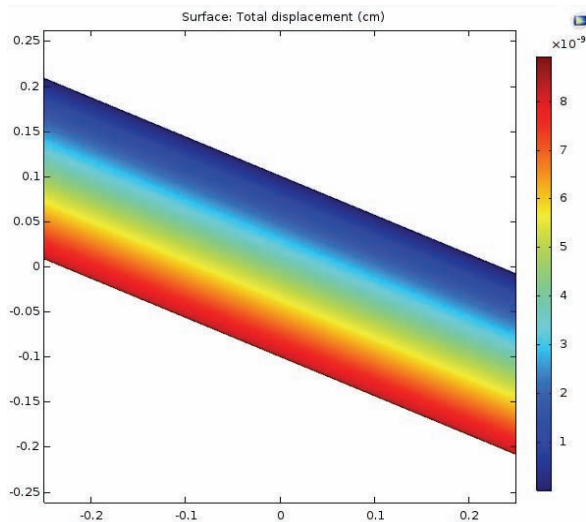


Fig. 4. Image of displacement distribution using comsol simulation in vertical sliced direction of a bonded wafer.

2.2 Direct bonding 실험

우선적으로 4" size의 실리콘웨이퍼들을 native oxide를 제거하기위해서 불산(HF)용액에 약 10분간 담근다. 그 다음 각각의 실리콘웨이퍼를 질소가스 gun으로 철저히 건조시킨다. 실온에서 두 장의 실리콘 웨이퍼들을 결정면 방향성에 맞추어서 웨이퍼를 겹치도록 포갠다. 이때 실온에서의 웨이퍼의 접촉은 van der waals 결합력에 의한 약한 수소 결합을 나타내지만, 1,000°C의 온도에서 2시간 동안 N₂ 가스분위기에서 RTA (rapid thermal annealing) furnace 열처리 후에 실리콘웨이퍼를 꺼내서 압력을 가하면 온도 차이에 의해서 실리콘웨이퍼들은 순간적으로 깨어져 버렸다. 따라서 충분히 온도를 낮춘 다음에 13.68 kg의 실리콘 ingot으로 압력을 가한 후에 접합된 상태를 만들 수 있었다. 낮은 온도인 800°C에서는 HF cleaning 후에 deionized water로 세척하여 질소 gun으로 건조 후에 접합하였음에도 불구하고 O₂와 H₂가 서로 반응함으로써 수증기가 형성되어서 웨이퍼의 면들 위에 여러 개의 물방울 형태의 모양이 나타났다. 수증기 성분이 증발하면서 나타난 bubble 형태가 실리콘 표면에 각각 나타나게 된다. 심지어는 2주에서 1달간 접합을 유지한 실리콘 샘플이 초음파 영상 측정 동안에 물속에서 접합 상태를 유지하지 못하고 서로 분리되었다. 분리된 각각의 실리콘표면 상태를 그림 5에 나타내었다.

19 kV의 내부초기 펄스전압으로 광원을 구동시켜서 광학현미경을 작동하였다. 이 광학현미경을 사용하여 200배, 100배로 확대된 실리콘 접합의 경계면을 그림 6과 7에 각각 나타내고 있다. 그림 6에서 n/n의 실리콘 경계면에서 어떠한 voids도 관찰되지 않았다. 그림 6과 7에서 윗부분의 하얀색 스케일 척도는 50 μm 와 100 μm 를 각각 나타내고 있다.

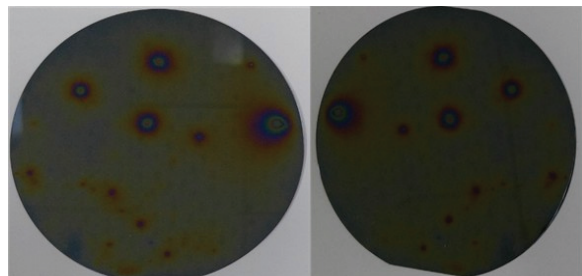


Fig. 5. Image of silicon interface at unbounded p and n wafers after 2 weeks.

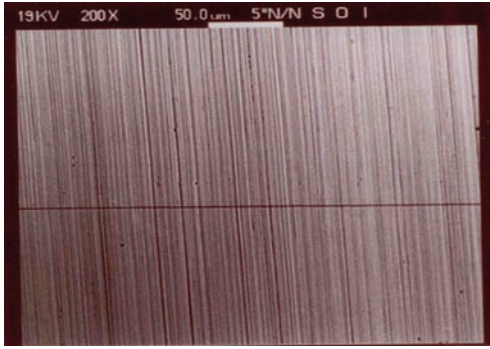


Fig. 6. Image of silicon interface at n/n junction using optical microscopy.

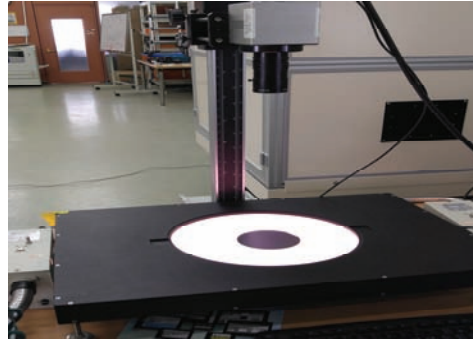


Fig. 8. IR inspection system for the investigation of interface on bonded wafers.

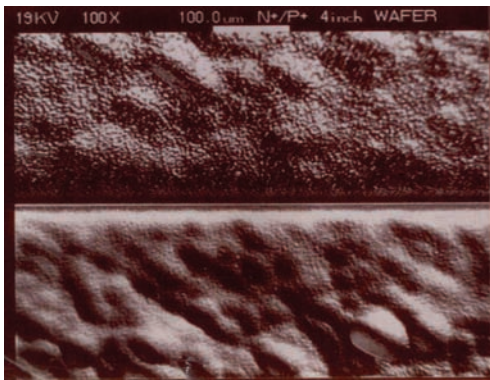


Fig. 7. Image of silicon interface at n^+/p^+ junction using optical microscopy.

그림 7에서 결정 방향이 (111)을 나타내는 n^+/p^+ 의 두 장의 실리콘이 접합된 경계면에서 voids가 관찰되지 않고 접합이 잘되어 있음을 확인할 수가 있다. 경계면에서 얇은 흰색은 native SiO_2 막을 나타내고 있다.

접합된 실리콘웨이퍼의 경계면을 측정하기 위한 IR (infra red) inspection system을 그림 8에 나타내었다. 윗부분은 hamamtsu회사의 카메라 시스템인데 InGaAs photo detector를 사용하여 파장을 $0.7 \mu m$ 에서 $1.3 \mu m$ 까지 변화시키면서 image 측정이 가능한 장비이다. 아랫면은 100 w의 할로겐 IR lamp를 광원으로 사용하고 있다. 그 위에 실리콘 웨이퍼를 놓고 아래에서 투과된 광을 camera detector로 수집하여, voids 및 defect 등을 측정하는 장비이다. IR image로 측정된 접합된 계면을 그림 9의 (a)에서 (c)까지 나타내었다. 이러한 실험을 수행하기 위해서 우선적으로 각각의 실리콘웨이퍼들을 HF용액이 담긴 teflon beaker에 4 인치의 실리콘웨이퍼를 한 장씩 담가서 native oxide layer를 제

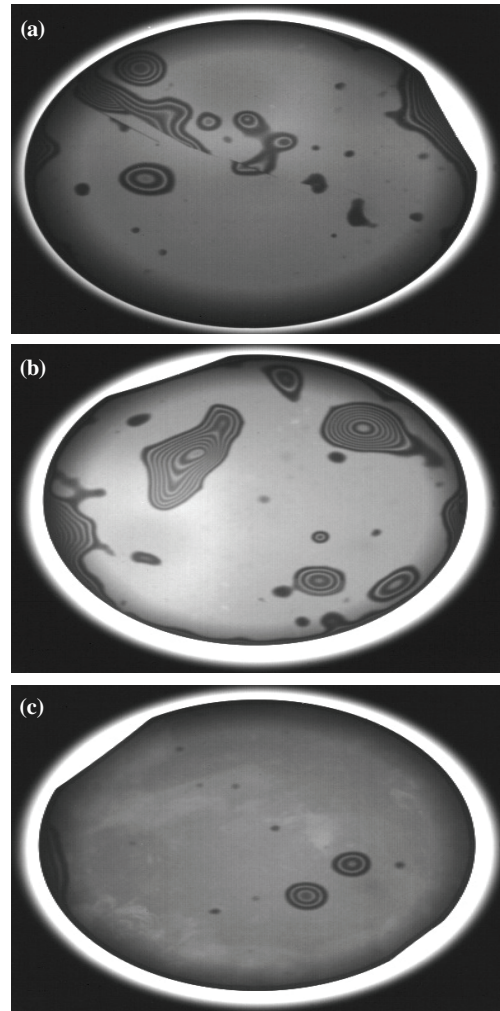


Fig. 9. Images of the investigation of interface on bonded wafers using IR inspection system. (a) Bonded interface with p- n^+ (111) silicon, (b) bonded interface with p-p (111) silicon, and (c) bonded interface with n-n (100) silicon.

거하였다. 그 다음 N_2 gun을 사용하여 각각의 웨이퍼들을 철저히 건조시킨 후에 RTA furnace에서 질소가스 분위기로 $1,000^\circ\text{C}$ 에서 2시간 동안 열처리 하였다. 고온의 열처리에도 불구하고 HF용액에서 수증기 성분들이 분해되어 bubble 형태를 나타내고 있음을 그림 9의 (a)에서 (c)까지 확인할 수 있다.

그림 9(a)는 결정 방향이 (111)인 실리콘에 안티몬이 도핑 된 비저항이 $\rho=0.01\sim 0.018 \Omega\cdot\text{cm}$ 의 값을 나타내는 n type 실리콘과 비저항이 $\rho=1\sim 3 \Omega\cdot\text{cm}$ 를 나타내는 붕소가 도핑 된 p type의 결정 방향이 (111)인 실리콘웨이퍼를 직접적으로 접합한(silicon directed bonding) 샘플에서 경계면의 계면상태(interface)를 나타내고 있다.

그림 9(b)는 비저항이 $\rho=1\sim 3 \Omega\cdot\text{cm}$ 의 값을 나타내고 결정 방향이 (111)을 나타내는 두 장의 붕소가 도핑된 p type 두 장의 실리콘웨이퍼들이 접합된 구조에서 경계면의 계면상태를 나타내고 있다.

그림 9(c)는 비저항이 $\rho=2\sim 20 \Omega\cdot\text{cm}$ 의 값을 나타내고 결정 방향이 (100)을 나타내고 인(phosphorus)이 도핑된 두 장의 n type 실리콘웨이퍼들을 접합한 샘플에서 경계면의 계면상태를 나타내고 있다.

그림 9(c)를 그림 9(a) 및 9(b)와 서로 비교하면 voids 및 bubble이 가장 적은 계면상태를 나타내고 있음을 확인할 수가 있다. 따라서 계면상태는 실리콘웨이퍼의 결정 방향, 표면처리 및 외부에서 가해진 압력 조건 등에 따라서 다 다르게 나타남을 그림 9(a)~(c)에서 관찰하였다. 인의 농도의 경사도차이가 없는 조건에서 가장 voids가 없는 결과를 나타내었다. 그림 10(a)~(c)까지는 접합된 동일한 실리콘 샘플들을 다른 측정 방법인 초음파영상탐지기로 측정한 결과를 나타내고 있다.

그림 10(a)는 그림 9(a)와, 그림 10(b)는 그림 9(b)와, 그림 10(c)는 그림 9(c)와 서로 비교해 볼 수 있다. IR측정의 결과와 마찬가지로 초음파영상측정 결과에서도 그림 10(c)는 그림 10(a) 및 10(b)와 서로 비교하면 voids 및 bubble이 가장 적은 접합면의 계면상태를 나타내고 있음을 확인할 수가 있다. 그림 10의 실험은 미국의 Oko 회사의 초음파영상 탐지기(scanning acoustic microscopy and ultrasonic non-destructive testing tool)를 사용하여 물속에 있는 반도체 샘플에 투과하여 내부 결합 상태 및 결합, bonding된 반도체의 접합면에 voids등을 관찰하였다. 일반적으로 25 MHz의 초음파 주파수를 사용하는데 비해서 본 실험에서는 더 높은 주파수인 75 MHz의 초음파 주파수를 사용하여 더 정밀한 해상도로 측정된 결과를 그림 10에 나타내었고 그

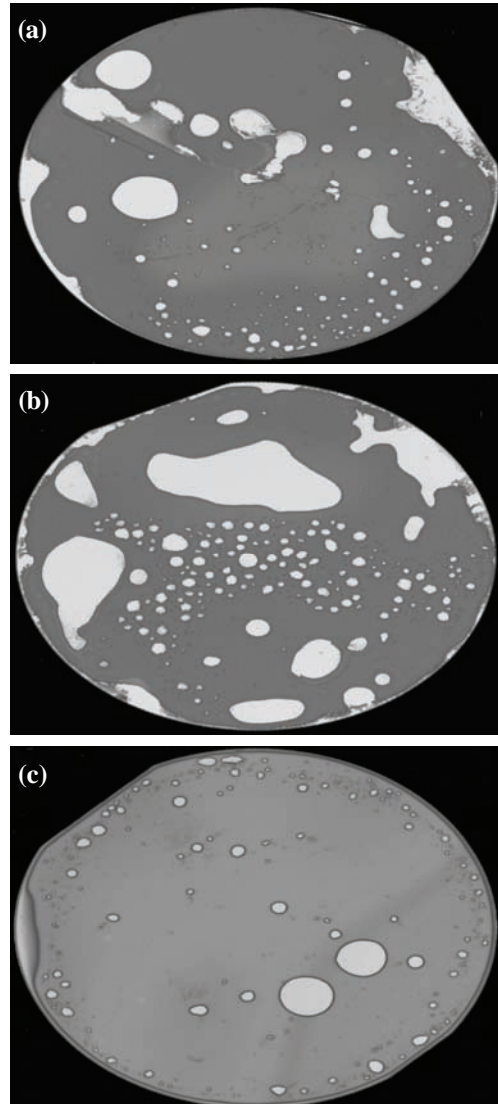


Fig. 10. Images of the investigation of interface on bonded wafers using ultra sonic inspection. (a) Bonded interface with $p-n^+$ (111) silicon, (b) bonded interface with $p-p$ (111) silicon, and (c) bonded interface with $n-n$ (100) silicon.

림 9의 IR측정결과 보다는 초음파영상 탐지기를 사용한 결과가 접합계면의 상태를 보다 더 자세히 관찰 할 수 있는 측정 방법임을 확인할 수 있었다.

실리콘 후면을 KOH용액으로 식각하여 두께를 얇게 하고 접합하여 3D MEMS 및 bulk micromachining 제작기술에 적용되고 있다 [1,2]. 따라서 에칭 후에 결정면 방향에 따른 backside 표면 상태를 광학현미경으로 측정하여 그림 11과 12에 각각 나타내었다. 그림 11에서 사각형 형태의 무늬를 나타내는 실리콘의 표면

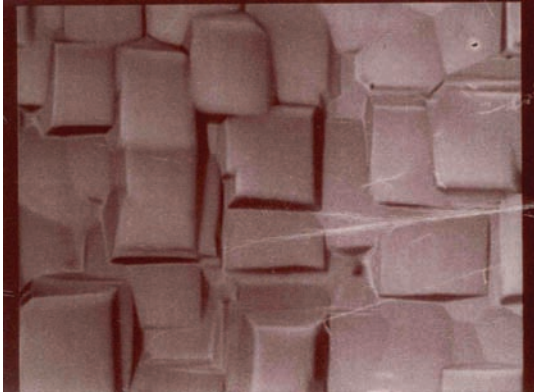


Fig. 11. Measured surface morphology of a backside of (100) silicon after KOH etching using optical microscope.

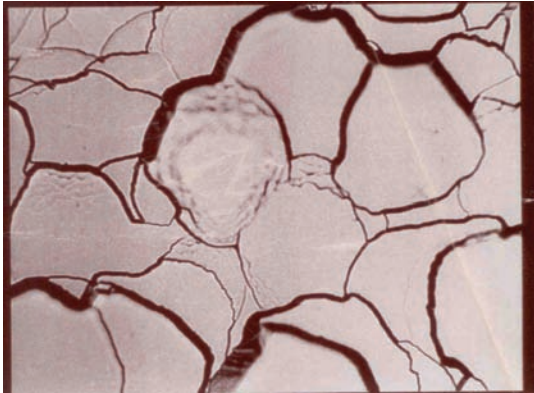


Fig. 12. Measured surface morphology of a backside of (111) silicon after KOH etching using optical microscope.

의 결정 방향은 (100)이다.

에칭한 후에 실리콘웨이퍼의 backside 표면 상태는 그림 12와 같이 물방울무늬를 나타내며 이 경우 실리콘표면의 결정 방향은 (111)을 나타내고 있다.

I-V 및 C-V 측정을 위해서 p 타입의 기판에 sputter 방법으로 두께 $0.1 \mu\text{m}$ 의 알루미늄 전극 층을 형성하였다. Al 전극 층의 형성 전에 실리콘의 표면에 HF용액으로 native oxide를 제거하였다. Sputtering 대신에 evaporator방법을 사용하면 실리콘표면의 알루미늄 층이 계면접착문제 때문에 벗겨지게(peel off) 된다. 기존의 diamond sawing tool이 $700 \mu\text{m}$ 의 두께까지만 자를 수 있고 더 이상의 두께에서는 blade를 교체하여 특수한 조건에서 실리콘웨이퍼를 자르도록 하여야 되기 때문이다. 본 실험에서는 두 장의 실리콘이 접합된 조건이기에 두께가 $1,050 \mu\text{m}$ 인 실리콘 샘플을 dicing

해야 된다. $6 \text{ mm} \times 6 \text{ mm}$ 이하의 dicing 공정에서는 작은 조각으로 산산 조각이 나서 부스러기를 나타내기 때문에 bonded sample의 경우는 특수한 cutting tool이 요구되는 실정이다. 그림 10에서 검은색 부분은 접합이 잘 된 부분이고 흰색 부분은 접합이 되지 않은 voids가 존재하는 부분이다. Dicing 동안에 voids 부분은 그림 13에 나타낸 것과 같이 실리콘 sample이 작은 부스러기로 산산 조각이 나서 떨어져 나갔음을 확인할 수 있다.

그림 14는 SEM을 이용하여 측정된 p-n접합의 경계선을 나타내고 있다. 다른 여러 개의 선들은 diamond sawing tool에 의해서 절단과정에서 나타난 scratch 선들이다. 두 장의 실리콘웨이퍼가 p-n으로 접합된 구조를 통하여 전기적인특성을 파악하기위해서 알루미늄으로 전극 층을 형성하기위해서 p 타입의 실리콘기판

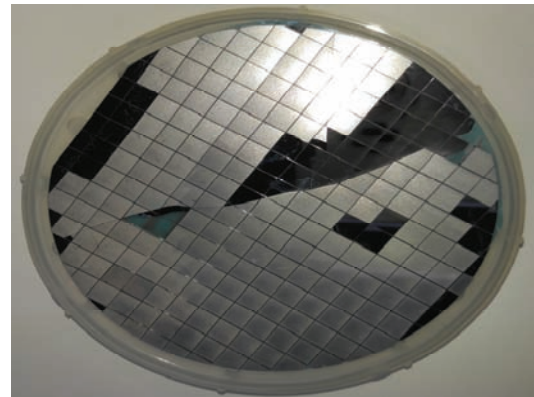


Fig. 13. Silicon samples after dicing using a diamond sawing tool.

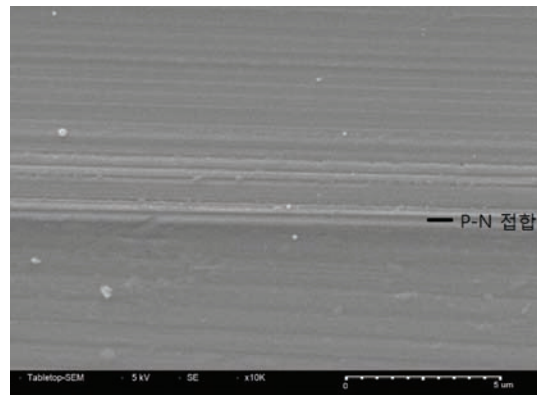


Fig. 14. Measured surface morphology of a sidewall of (111) silicon after dicing using SEM.

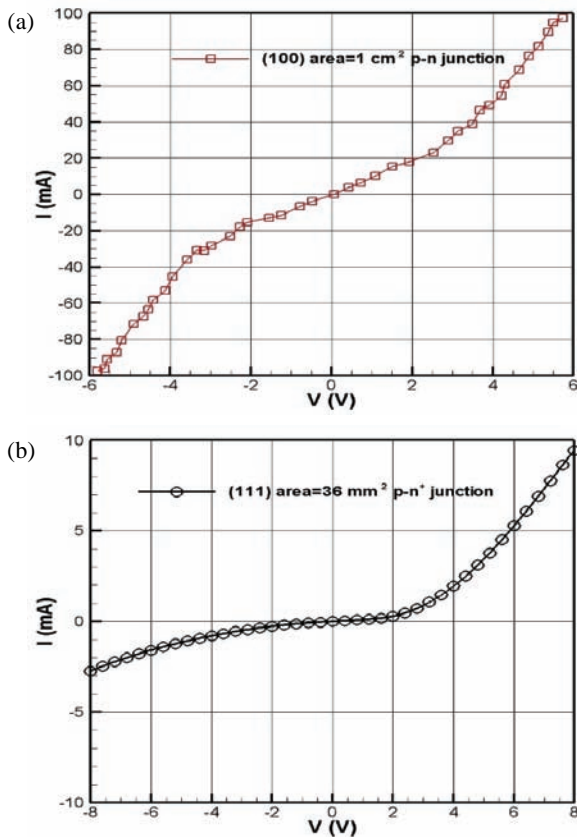


Fig. 15. Characteristic between current and voltage relation of p-n junction in a bonded wafers.

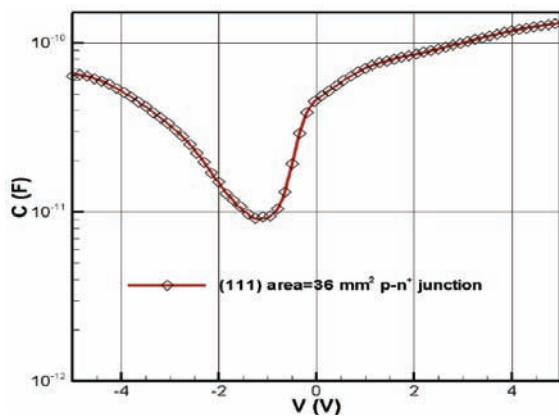


Fig. 16. Characteristic between capacitance and voltage relation of p-n junction in a bonded wafers.

위에 Al 증착 후에 ohmic 접촉을 형성하기 위한 alloying 조건은 450°C에서 20분간 열처리하였다. 절단된 실리콘샘플의 전기적인 측정을 위해서 Keithley

회사의 I-V 및 C-V 장비를 사용하였다. I-V 및 C-V 측정된 결과들은 그림 15와 그림 16에 각각 나타내었다. Bonding에서 voids가 없는 경계면을 만들기 위해서는 열처리 동안에 질소가스가 상당한 압력으로 밖으로 빠져나가도록 해야만 실리콘웨이퍼의 경계면에서 voids가 줄어들 수 있다고 판단된다. 따라서 일반 furnace에서 보다는 RTP furnace에서 실리콘웨이퍼를 열처리한 후에 질소가스분위기에서 압력을 가하여 공기압을 매우 빠르게 뽑아내어 직접적으로 bonding하는 기술이 관건이다. 이런 조건을 만족시키는 반도체 bonding 장치의 개발이 절실한 실정이다.

3. 결과 및 고찰

고온 fusion bonding은 낮은 온도에서는 약한 결합이 나타나고 고온 열처리동안에는 bonding force가 증가하고 높은 온도에서 안정화가 일어난다. 두 개의 웨이퍼 면들을 서로 접촉시키면 접합계면에서 SiO, Si-H, O-H, Si-OH 등의 다양한 분자형태가 나타난다. 그 결과로 결합된 표면사이에 중간층인 intrinsic oxide가 생긴다. 물 분자의 여러 단층구조 Si-OH구조, 그리고 다양한 Si-H 수소결합구조 등이 나타난다. 또한 자유로운 OH- 그룹들도 나타난다. 대부분의 일반적인 이론은 약한 Si-OH그룹과 수소결합이 우연히 결합된 웨이퍼의 계면에서 나타난다. 외부로부터 가해진 압력에 따라서, bonding은 경계면의 void사이로 wave를 형성함으로써 초당 수 cm의 속도와 sin파 형태로 측면 방향으로 웨이퍼에 힘이 전달되어 퍼져나간다 [10-13]. 결합된 샌드위치형태의 웨이퍼는 온도의 상승에 따라서 강한 결합을 초래하여 이전의 상태로 서로 분리가 될 수 없게 된다. 최적화된 bonding 결합력을 나타내기 위해서 실리콘 웨이퍼들은 N₂ 가스 분위기에서 1,000°C의 열처리온도에서 열처리를 한다. 700°C의 온도조건에서는, Si-OH는 Si-OH+HO-Si-O-Si+H₂O의 형태인 Si-O-Si 결합으로 변형된다. 온도를 900°C까지 증가시키면 siloxane (Si-O-Si) 결합형성이 계속되고 실리콘-실리콘 경계면에서 결합되지 않은 영역에서 voids가 자유롭게 물 분자들로부터 나타나게 된다. 이때에 SiOSi+H₂O 천이영역의 두께는 대략 수 Å 정도로 현저히 줄어들게 된다. 이러한 voids는 800°C 이상의 열처리공정에서 사라지게 된다. 1,000°C의 고온에서는 수분의 짧은 시간동안에 물 분자들은 사라지고 추가적인 산소결합이 이전에 형성된 결합주변에서 나타나게 된

다. 소수성(hydrophobic) bonding은 친수성실리콘과 비교해서 상대적으로 매우 약한 결합이다.

800°C 이상의 온도에서 Si-H+Si-H→Si-Si+H₂ 화학식으로 나타나게 된다. 본 연구는 실리콘의 bonding 실험을 수행한 후에 광학적, 물리적 측정 방법들을 통하여 접합면의 voids, 계면상태를 나타내었고 초음파 영상 탐지기를 이용한 측정 방법이 광학적인 IR 영상 측정 방법 보다 더 자세한 접합의 계면상태를 나타내어서 더 정확한 측정 방법임을 확인하였다. 궁극적으로 p와 n 타입의 두 장의 결정 방향이 (111)인 실리콘웨이퍼를 사용하여 접합된 p-n 다이오드구조의 I-V (current-voltage) 전기적인 특성을 keithley 장비를 사용하여 측정하였다. 그 결과를 그림 15에 나타내었다. 같은 실험조건은 아니지만 2인치 (100)실리콘웨이퍼를 사용하여 1 cm²의 크기로 절단한 p-n 접합구조로 접합된 구조의 I-V특성을 그림 15의 a에 나타내었다 [14]. 그림 15(b)는 4인치 (111) 실리콘의 웨이퍼에 p-n+ 접합구조로 접합된 구조로 36 mm²의 크기로 절단하여 전류-전압(I-V) 특성을 측정한 그림을 나타내었다. 데이터의 스케일이 다르기 때문에 각각의 그림으로 나타내었다. 전압 6 V에서 (100)의 샘플은 97.8 mA를 나타낸 반면에 (111)의 샘플은 작은 면적 때문에 단지 5.47 mA의 값을 나타내었다. 두 샘플에서 단지 면적 크기로 비교하면 27.8배가 나타난다. 같은 면적으로 간주하고 직접적으로 면적을 곱하면 152.1 mA의 계산된 값이 나타난다. 97.8 mA보다 약 1.55배의 차이를 나타내었다. 이러한 차이의 요인은 사용된 실리콘웨이퍼의 도핑농도, 도핑원소, 샘플의 크기와 두께, 샘플의 면적이 다르고 접합, dicing 등의 실험 조건이 다르기 때문으로 판단된다.

계단접합구조의 p-n⁺ 다이오드 전류방정식은 식 (3)과 같이 나타낼 수가 있다. 계산한 V_t는 실온에서 0.844 V의 값을 이론적으로 구하였으나 실제로 측정치는 약 2.5 V로 나타나서 측정치가 2.96배 더 크게 나타남을 확인할 수 있었다. 이온주입 및 확산공정을 통한 기존의 매우 얇은 p-n 접합다이오드에 비해서 bonding된 다이오드의 turn on 특성이 매우 느리게 나타남을 그림 15에서 확인할 수 있었다. 이러한 이유는 실리콘웨이퍼로 접합된 구조는 일반적인 다이오드 구조에 비해서 접합경계면이 매우 넓은 구간으로 flat 하고 기존의 다이오드보다 도핑영역이 일정한 값으로 매우 넓게 분포되어 있기 때문이다. 항복전압은 약 -10 V에서 나타났다. 실제로 측정된 전류방정식의 결과는 식 (3)의 이론적인 해석결과와는 직접적으로 서로

비교를 할 수 없다고 사료된다.

$$I = I_0 \left(e^{\frac{V_a}{V_t}} - 1 \right), I_0 = \frac{qAD_n N_{p0}}{W_p} \quad (3)$$

여기서 q는 전자의 전하량, V_a는 인가전압 A는 다이오드의 면적, D_n는 다수캐리어확산계수, N_{p0}는 소수캐리어농도, W_p는 공핍 층의 폭, V_t는 thermal voltage에 각각 해당된다. V_t를 식 (4)에 나타내었다.

$$V_t = \frac{kT}{q} \ln \frac{N_A \times N_D}{n_i^2} [V] \quad (4)$$

Sb가 도핑된 n⁺영역의 농도는 1.8×10¹⁸ cm⁻³이고 boron이 도핑된 p영역의 농도는 7×10¹⁵ cm⁻³을 각각 나타내었다.

두 장의 실리콘웨이퍼가 bonding된 p-n 접합구조의 C-V (capacitance-voltage)특성을 측정하기위해서 keithley 4200 장비를 이용하여 그림 16에 나타내었다. Flat 접합구조인 p-n⁺ 다이오드의 C-V 방정식은 식 (5)와 같이 나타낼 수가 있다.

$$C = \frac{\epsilon_s A}{W} = A \left[\frac{q\epsilon_s N_d N_a}{2(V_j - V_a)(N_a + N_d)} \right]^{\frac{1}{2}} \quad (5)$$

여기서 ϵ_s 는 $\epsilon_0 \times \epsilon_r$ 이고 V_j는 접합전위로서 V_t와 같고 A는 면적에 각각 해당한다. 식 (5)는 매우 얇은 p-n접합에 적용할 수 있는 수식으로써 그림 16에 나타난 측정치와는 다른 값을 나타내어서 실리콘웨이퍼가 접합된 다이오드의 구조에서는 바로 적용하기는 어렵다. 측정결과로부터 경계면 및 backside면의 native oxide 층에 기인한 요인들 때문에 특성곡선은 MOS (metal oxide semiconductor) capacitor의 C-V 특성과 유사한 형태의 그래프를 나타내었다. 1 V에서 식 (5)를 적용하여 이론적으로 계산한 capacitance의 값은 647 pF를 나타내었으나 그림 16으로부터 실제로 측정된 값은 72 pF의 값을 나타내어서 실리콘 bonded wafer로 이루어진 p-n접합의 경우에는 식 (3)에서 (5)까지 적용한 결과와는 차이가 있음을 확인하였다. 이러한 차이의 요인은 그림 13과 같이 dicing후에 육안으로는 샘플이 깨끗하게 절단되어 보이나 SEM으로 측정하면 샘플의 테두리경계면에서는 sawing blade에 의한 손상영역들이 관찰되었기 때문에 원래의 면적보다

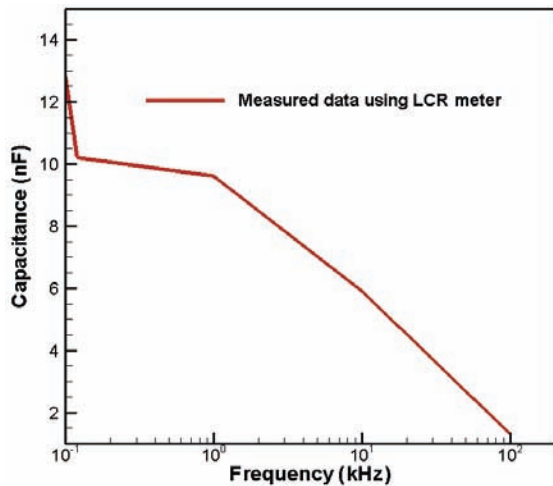


Fig. 17. Measured capacitance of a diced sample in a bonded wafers using LCR meter.

다소 더 줄어든 면적 때문에 그림 15와 그림 16의 결과로부터 전류 및 capacitance의 값이 더 작은 값으로 나타났다고 판단된다. 완벽한 절단면을 나타내기 위해서는 새로운 sawing 장비의 개발이 절실히 요구되는 실정이다.

주파수에 따른 capacitance 값의 변화를 측정하기 위해서 agilent 회사의 LCR meter를 사용하였다. 이때 주파수를 100 Hz에서부터 100 kHz까지 변화시키면서 capacitance를 측정하여 나타낸 결과를 그림 17에 나타내었다. 그림 17에서 LCR meter를 사용하여 전위 level이 1V이고 주파수 1 kHz에서 측정된 capacitance는 9.6 nF를 나타내었다. 주파수가 100 kHz 이상으로 커짐에 따라서 1 nF 이하의 값으로 capacitance가 현저히 감소함을 확인하였다.

4. 결론

국내에서는 처음으로 SDB방법을 적용하여 bonded silicon 구조를 제작하였고 접합계면을 측정하였다. 초음파영상 탐지기를 이용한 측정 방법이 광학적인 IR 영상측정 방법보다 더 자세한 접합의 계면상태를 나타내어서 더 정확한 voids 측정 방법임을 확인하였다. 또한 제작된 실리콘 p-n 접합 구조의 diode 및 capacitance 전기적인 특성을 처음으로 나타내었다. 본 실험에서는 접합된 구조들의 계면특성조사 뿐만 아니라 실제로 이러한 p-n접합구조로부터 야기된 접합계면상태로부터

전기적인 특성까지 측정하여 자세히 나타내었다. 서로 다른 (100) 및 (111) 결정 방향성과 도핑농도 및 도핑원 소종류에 따른 실리콘 샘플을 접합하여 계면상태를 광학현미경 및 SEM으로 측정하였다. SDB실험은 결정 방향의 영향보다는 flat 접합구조이기 때문에 오히려 실리콘웨이퍼자체의 농도 값에 의해서 전기적인 특성이 더 크게 나타남을 알 수 있었다. 확산이나 이온주입공정을 사용하여 작은 면적에서 가우스분포의 도핑 후에는 여러 decade의 농도 기울기에 의해서 전기적인 특성이 크게 변하게 되지만 flat 접합구조에서는 거의 변화하지 않고 일정한 특성을 나타내고 있다. 결정 방향성에 대한 연구를 더 자세히 수행하기위해서는 동일 size, 같은 도핑원소와 같은 농도조건에서 p-n접합다이오드에 대해서 XTEM (cross-sectional transmission electron microscopy)과 SIMS (secondary ion mass spectroscopy), 3D X-ray topography기술 등을 활용한 물리적인 계면특성과 전기적인특성연구를 더 다양하게 수행할 필요가 있다고 사료된다. 본 실험에서 사용한 4인치 size 실리콘 웨이퍼 뿐만 아니라 현재 산업체 현장에서 적용하고 있는 8인치 및 12인치 size의 대규격 웨이퍼에서도 연구가 앞으로 지속적으로 수행되리라고 예상된다. 실리콘접합면의 계면상태, 온도 및 압력, dicing 등 외부 공정조건들에 따라서 전기적인 특성이 변함을 확인할 수 있었다. 또한 LCR meter를 사용하여 주파수에 따른 capacitance의 값을 측정하였다. HF용액을 사용하여 native oxide를 철저히 제거하고 질소가스로 웨이퍼를 철저히 건조시켜도 웨이퍼내부에서 bonding 동안에 수증기 성분이 voids를 야기 시킨다. Voids가 없는 경계면을 만들기 위해서는 열처리 과정에서 질소가스가 상당한 압력으로 매우 빠르게 밖으로 빠져나가도록 하면서 동시에 금속성분이 아닌 석영과 같은 재료를 사용하여 열처리 동안에 균일하게 압력을 가하는 방식의 반도체장비개발이 절실히 요구된다. 반면에 기존의 일반 furnace로 접합된 웨이퍼들은 2주에서 1달 사이에 접합상태를 더 이상 유지하지 못하고 두장의 웨이퍼로 서로 분리되어버렸다. 따라서 RTA 방식의 furnace를 사용해야만 되는 이유는 열처리동안에 접합된 계면에서 생성된 bubble 형태를 나타내는 void 형성을 피할 수 있기 때문으로 본 실험에서 확인하였다. 이러한 이유로 furnace 내부의 질소가스가 실리콘접합계면에서 긴 시간동안 지체하지 않고 빠르게 빠져나가야만 접합계면에서의 bubble형상과 void가 나타나지 않은 웨이퍼접합기술이 되기 때문이다. 실리콘웨이퍼접합기술을 이용하여 다양한 3D (three-

dimensional) 구조의 MEMS, micro machining, 실리콘 photonics 기술들을 위한 소자 및 다양한 초미세구조의 센서제작공정기술에 본 실험데이터가 기초적인 자료로써 적용이 될 것으로 사료된다.

감사의 글

본 연구는 2015학년도 경기대학교 학술연구비(일반연구과제) 지원에 의하여 수행되었음.

REFERENCES

- [1] E. H. Klaassen, K. Petersen, J. M. Noworolski, J. Logan, N. I. Maluf, J. Brown, C. Storment, W. McCulley, G.T.A. Kovacs, *Sens. Actuators, A*, **52**, 132 (1996). [DOI: [https://doi.org/10.1016/0924-4247\(96\)80138-5](https://doi.org/10.1016/0924-4247(96)80138-5)]
- [2] M. A. Schmidt, *Proc. IEEE*, **86**, 1575 (1998). [DOI: <https://doi.org/10.1109/5.704262>]
- [3] G. Kräuter, A. Schumacher, and U. Gösele, *Sens. Actuators, A*, **70**, 271 (1998). [DOI: [https://doi.org/10.1016/S0924-4247\(98\)00102-2](https://doi.org/10.1016/S0924-4247(98)00102-2)]
- [4] D. Resnik, D. Vrtačnik, U. Aljančič, and S. Amon, *Sens. Actuators, A*, **80**, 68 (2000). [DOI: [https://doi.org/10.1016/S0924-4247\(99\)00299-X](https://doi.org/10.1016/S0924-4247(99)00299-X)]
- [5] Z. Liu and D. L. DeVoe, *Robot Cim-Int Manuf.*, **17**, 131 (2001). [DOI: [https://doi.org/10.1016/S0736-5845\(00\)00046-6](https://doi.org/10.1016/S0736-5845(00)00046-6)]
- [6] L. Y. Huang, K. L. Ho, and C. T. Hu, *Appl. Surf. Sci.*, **257**, 7693 (2011). [DOI: <https://doi.org/10.1016/j.apsusc.2011.04.011>]
- [7] X. Zhou, L. Che, S. Liang, Y. Lin, X. Li, and Y. Wang, *Microelectron. Eng.*, **131**, 51 (2015). [DOI: <https://doi.org/10.1016/j.mee.2014.10.005>]
- [8] B. Landgraf Sr., R. Günther Sr., G. Vacanti, N. Barriere, M. Vervest, D. Girou, A. Yanson, and M. Collon Sr., *ECS Trans.*, **75**, 331 (2016). [DOI: <https://doi.org/10.1149/07509.0331ecst>]
- [9] K. Knoerzer, P. Juliano, S. Gladman, C. Versteeg, and P. J. Fryer, *Am. Inst. Chem. Eng.*, **53**, 2996 (2007). [DOI: <https://doi.org/10.1002/aic.11301>]
- [10] H. H. Yu and Z. Suo, *J. Mech. Phys. Solids*, **46**, 829 (1998). [DOI: [https://doi.org/10.1016/S0022-5096\(97\)00100-2](https://doi.org/10.1016/S0022-5096(97)00100-2)]
- [11] K. T. Turner, S. M. Spearing, W. A. Baylies, M. Robinson, and R. Smythe, *IEEE Trans. Semicond. Manuf.*, **18**, 289 (2005). [DOI: <https://doi.org/10.1109/TSM.2005.845009>]
- [12] D. V. Kubair and S. M. Spearing, *J. Phys. D: Appl. Phys.*, **40**, 3070 (2007). [DOI: <https://doi.org/10.1088/0022-3727/40/10/010>]
- [13] G. Liao, T. Shi, X. Lin, and Z. Ma, *Sens. Actuators, A*, **158**, 335 (2010). [DOI: <https://doi.org/10.1016/j.sna.2010.01.025>]
- [14] S. Bengtsson and O. Engström, *J. Appl. Phys.*, **66**, 1231 (1989). [DOI: <https://doi.org/10.1063/1.343469>]