

어닐링과 산화에 따른 Tungsten polycide 막 특성의 변화

(Effects of Annealing and Oxidation on the Properties of the Tungsten polycide film)

홍성현* · 이장혁** · 이종무** · 임호빈***

Sung-Hyun Hong · Jang-Hyuk Lee · Chong-Mu Lee · Ho-Bin Im

요 약

다결정 실리콘 상의 텅스텐 실리사이드 막의 Si/W 조성비, 저항 및 응력을 측정함으로써 어닐링과 산화에 따른 막 특성의 변화를 조사하였다. 막형성 직후의 텅스텐 실리사이드 막의 Si/W 조성비는 2.6이었으나 어닐링 후에는 2.4 ~ 2.6으로 산화후에는 2.0 ~ 2.3으로 감소하였다. 비저항은 막형성 직후에는 $41.2\Omega/\square$ 로, 산화후에는 $4.3\Omega/\square$ 로 감소하였다. 또한 텅스텐 실리사이드 막의 응력은 SiH₄ 유량의 증가에 따라 감소하였으며 어닐링후에는 증가하였다. 그밖에 과잉의 Si, 도펀트 P 그리고 막내에 유입된 F와 H 등은 열처리시 실리사이드/다결정 Si 및 실리사이드/SiO₂의 계면으로 이동하여 응력의 증가를 초래하는 것으로 보인다.

Abstract

Properties of the tungsten silicide film on the polycrystalline silicon such as Si/W composition ratio, resistivity and stress were investigated. The Si/W ratio of the as-deposited tungsten silicide film was 2.6 but it was reduced to 2.4 ~ 2.6 after annealing and to 2.0 ~ 2.3 after oxidation. The resistivity of the tungsten silicide film was $41.2\Omega/\square$, but it was reduced to $4.7\Omega/\square$ and $4.3\Omega/\square$ after annealing and oxidation, respectively. Also it was found that the stress of the tungsten silicide film decreased with increasing SiH₄ gas flow rate and that it increased after annealing. In addition segregation of excess Si and dopant P as well as F and H to WSi_x/Poly-Si and WSi_x/SiO₂ interfaces seems to cause the increase of film stress.

*삼성전자

**인하대학교 금속공학과

***KAIST 재료공학과

1. 서 론

그동안 대규모 집적회로(LSI)수준의 금속산화물반도체(MOS)소자에서의 게이트(gate)전극 및 층간 배선 재료로 다결정 실리콘이 사용되어 왔다.^{1,2)} 그러나 집적도가 더욱 높아져 초대규모 집적회로(VLSI)가 등장됨에 따라 RC지연시간(Resistance Capacitance delay time)과 전력소모를 증가시키고 IR전압강하를 일으키는 다결정 실리콘의 사용은 제한을 받게 되었다.

따라서 게이트나 배선재료로 기존의 다결정 실리콘 대신 W, Mo 등의 내화 금속 재료와 실리사이드(silicide)가 새로이 각광을 받고 있다.^{3~7)} 그러나 W, Mo과 같은 금속 재료는 산화속도가 매우 빠르고 패턴 형성시 식각의 재현성 문제로 인해 아직까지는 연구단계에 있다. 이에 반해서 실리사이드는 고농도로 도핑된 다결정 실리콘보다 낮은 저항을 가지며 정확한 패턴을 형성한다. 또한 소자 제조 공정시 고온에서 안정하고 화학 용액에 대한 저항성이 크며 좋은 에칭특성을 갖고 있다.^{8~13)} 그리고 실리사이드의 가장 큰 장점은 하부층인 산화막과의 부착특성이 좋으며 산화시 산화막 형서성 실리콘을 공급하기 위하여 실리사이드 밑에 다결정 실리콘층을 넣어 폴리사이드(polyicide)구조로 사용할 때 실리사이드막의 전기적, 화학적 성질들을 해치지 않고 실리사이드 막위에 안정하고 제어가 용이한 산화막을 성장시키기 때문에 다른 배선층과 서로 잘 분리시킬 수 있다는 점이다. 소자제조시 실리사이드의 열산화는 필수적이므로 실리사이드를 집적회로 기술에서 효과적으로 사용하기 위해서는 산화거동에 따른 막의 특성을 이해하여야 한다.^{13~22)}

VLSI에 실리사이드막을 적용하는데 있어 실리사이드막의 하부층과의 부착특성이 우수할 것이 요구된다. 그런데 막의 부착특성은 막의 응력과 기판(substrate)의 형태에 따라 달라지는 것으로 알려져 있다.

본 연구에서는 AES(Auger Electron Spectroscopy)와 SIMS(Secondary Ion Spectroscopy)에 의하여 텅스텐 실리사이드막의 조성을 분석하여 WF와 SiH₄gas의 유량비와 annealing 온도가 실리사이드 막의 stress에 미치는 영향을 고찰하였다. 또한 four-point probe로 저항을 측정하고, SIMS로 인(P)의 농도를 분석함으로써 산화공정 이후의 실리사이드 막의 특성을 조사하였다.

2. 실험방법

본 연구의 실험에 사용된 시편의 제작순서는 그림 1에 보인 바와 같다.

Waker-Chemitronic사에서 제조한 저항이 5 ~ 25Ω/□이고 직경이 5inch인 붕소(boron)를 도핑(doping)한 P형(100)실리콘 웨이퍼를 130°C에서 30분간 황산 보일링 하였다. 이어서 이 웨이퍼를 100.1 HF용액에 60초간 담근 다음, deionized water로 세척하였다. 그 후 THERMCO사의 확산로를 사용하여 온도 950°C, 건식 O₂-HCl 분위기에서 18분 30초 동안 산화하여 1000Å의 열산화막을 성장시켰다.

다결정 실리콘층을 THERMCO사의 LPC-VD장비로 N₂분위기에서 5% SiH₄기체를 사용하여 열분해 반응에 의해 산화막 위에 2000Å 두께로 도포하였다. 이때 온도는 625°C, 압력 0.3torr, 시간은 23분 36초 이었다. 막두께는 Leitz사의 Nanospec장비를 사용하여 측정하였다.

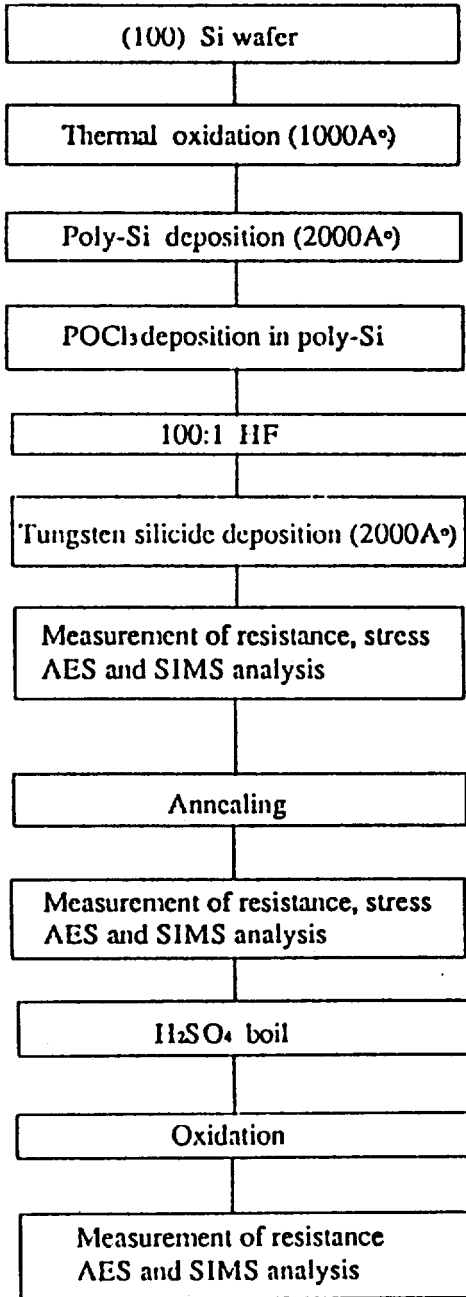


Fig. 1. Schematic representation of sample preparation and analysis.

그림 1. 시편 제작 및 분석절차

다음, 질소 분위기에서 POCl_3 을 이용하여 다결정 실리콘층에 인을 $1.01 \times 10^{16} \text{cm}^{-2}$ 의 농도

로 도핑하였다. 이 공정시 다결정 실리콘층 표면에 생긴 P_2O_5 와 SiO_2 등을 제거하기 위하여 100 : 1 HF용액에서 60초간 식각한 후 de-ionized water로 세척하였다.

텅스텐 실리사이드를 다결정 실리콘층위에 GENUS 8301 LPCVD장비를 사용하여 도포하였다. 본 연구에서는 SiH_4 기체의 유량(flow rate)을 1900SCCM으로 일정하게 하고, WF_6 유량을 16.0, 12.0, 8.0 SCCM으로 달리하여 압력 0.2 torr, 온도 360°C 의 조건에서 2000 \AA 의 텅스텐 실리사이드막을 도포하였다. 또한 WF_6 유량을 16.0 SCCM으로 일정하게 하고 SiH_4 유량을 700, 1100, 1500, 1900, 2500 SCCM으로 달리하여 텅스텐 실리사이드막을 도포한 또 다른 그룹의 시편들도 준비하였다.

도포된 텅스텐 실리사이드막을 THERMCO사의 확산로를 사용하여 N_2 분위기에서 900°C , 40분간 annealing공정을 실시하였다. 산화에 앞서 황산 boiling을 하였다. 다음 THERMCO사의 산화로를 사용하여 dry O_2 분위기에서 산화를 실시하였다. 산화온도는 900°C 이고 산화시간은 20분간 이었다.

텅스텐 실리사이드의 조성은 AES로 분석하였고 면저항은 KOKUSAI사의 four-point probe를 사용하였으며 웨이퍼 표면의 다섯점을 측정하여 그 평균값을 취하였다. 또한 annealing과 산화시킨 시편의 P, F, H의 농도를 SIMS로 분석하였다.

3. 실험결과 및 고찰

3-1. 텅스텐 실리사이드의 조성

표 1은 WF_6 의 유량을 각각 16, 12 및 8SCCM으로 하여 형성한 LPCVD텅스텐 실리사이드막의 조성비를 as-deposited, annealing후 및 dry oxidation한 후의 세가지 경우에 대하여

표 1. 여러 텅스텐 실리사이드 막에 대한 Si/W비.

Table 1. Si/W ratios for various silicide films.

Gas flow rate (SCCM)		Si/W ratio		
SiH ₄	WF ₆	as-deposited	after annealing	after dry oxidation
1900	16.0	2.6	2.6	2.3
1900	12.0	2.7	2.6	2.0
1900	8.0	2.8	2.6	2.1

Auger Electron Spectroscopy(AES)법으로 분석한 결과이다.

As-deposited 텅스텐 실리사이드의 Si/W의 비는 각각 2.6, 2.7 및 2.8이었으나 900°C에서 30분간 annealing 후에는 모두 평균 Si/W비가 약 2.6, 900°C에서 20분간 dry oxidation 후에는 평균 조성비가 각각 2.3, 2.0, 2.1로 감소하였음을 알 수 있다.

그림 2는 WF₆유량이 16SCCM일때 형성된 as-deposited LPCVD 텅스텐 실리사이드의 Auger depth profile을 나타낸 것이다. X축은 막의 깊이에 해당하는 sputter time, Y축은 농도이다. 평균 Si/W 비가 약 2.6으로 실리사이드

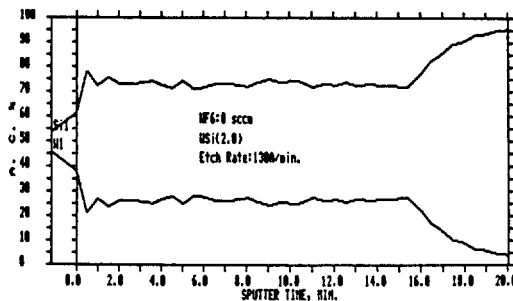


Fig. 2. Auger depth profile for an as-deposited WSi_x film.

그림 2. As-deposited WSi_x(WF₆=8SCCM)막의 Auger depth profile.

드 막의 깊이에 따라 대체로 균일한 조성을 나타내고 있다. 한편 그림 3은 같은 종류의 시편을 900°C에서 40분간 annealing한 후의 Auger depth profile이다. Si/W의 평균 조성비는 약 2.6으로 변화가 없었으나 실리사이드 막 내부로 갈수록 Si/W가 2.4 정도로 떨어지고 있다. 이것으로부터 막내의 과잉의 실리콘이 annealing 처리 중 표면쪽으로 이동하였음을 알 수 있다. 또한 그림 4는 산화후의 Auger

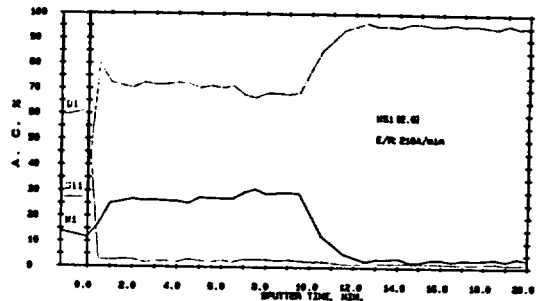


Fig. 3. Auger depth profile for the WSi_x film annealed at 900°C for 40min.

그림 3. 900°C 40min, annealing 후 WSi_x(WF₆=16SCCM)막의 Auger depth profile.

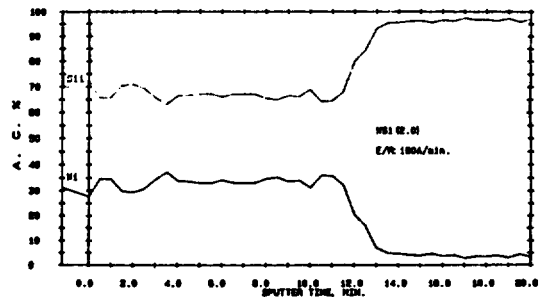


Fig. 4. Auger depth profile for the WSi_x film oxidized at 900°C for 20min.

그림 4. 900°C, 20min. oxidation 후 WSi_x(WF₆=12SCCM)막의 Auger depth profile.

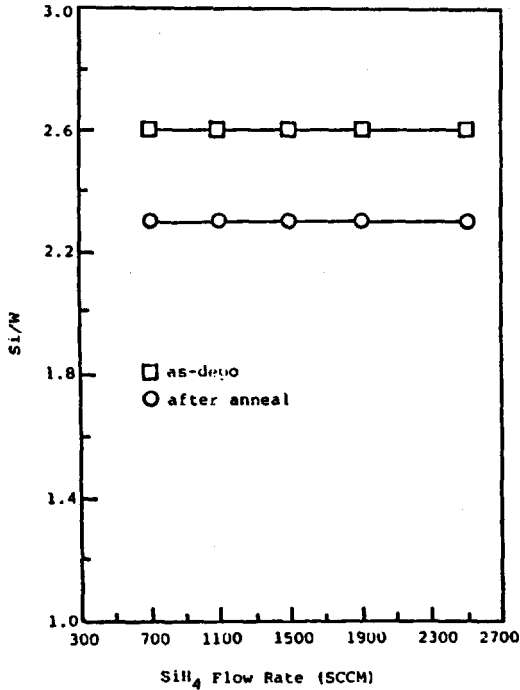


Fig. 5. Composition changes in WSi_x film depending on the flow rate of SiH₄.

그림 5. SiH₄의 유량에 따른 WSi_x막의 조성변화

depth profile의 일례(WF₆유량 : 12 SCCM의 경우)를 보인 것으로 산화가 진행되는 동안 실리콘사이드 막내의 과잉의 실리콘이 막 표면으로 이동하여 산화막을 형성하는데 소모되었기 때문에 평균 조성비가 2.0정도로 감소되었음을 알 수 있다. 그림 5는 WF₆의 유량이 16SCCM으로 일정한 상태에서 SiH₄유량의 변화에 따른 실리콘사이드 막의 Si/W비의 변화를 보인 것이다. Si/W비가 as-deposited상태에서는 2.3 annealing한 후에는 2.6으로 막의 조성이 SiH₄유량과는 거의 무관함을 알 수 있다. 이러한 경향은 D.L.Bros 등의 보고와 일치하는 결과이다. 한편 그림 6은 WF₆의 유량의 변화에 따른 Si/W비의 변화를 나타낸 것으로 as-deposited 상태에서는 WF₆유량이 증

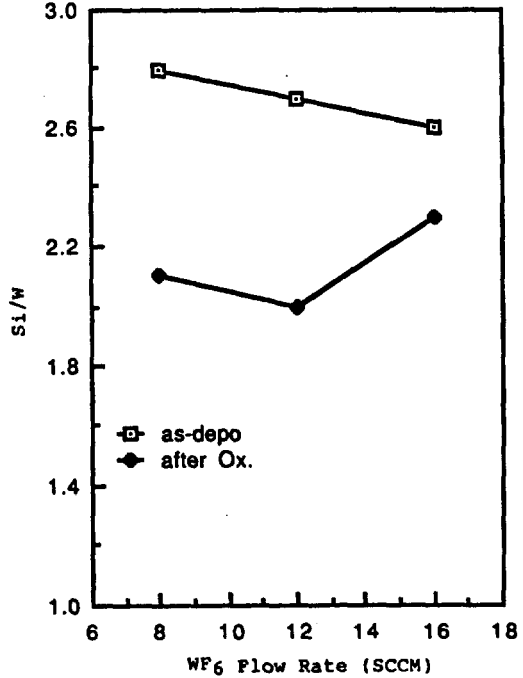


Fig. 6. Composition changes in WSi film depending on the flow rate of WF₆.

그림 6. WF₆의 유량변화에 따른 WSi_x막의 조성변화

가함에 따라 Si/W비가 감소함을 알 수 있다. 그러나 산화후에는 Si/W비와 WF₆유량간에 뚜렷한 상관관계를 볼 수 없는데 이것은 산화가 시편에 따라 불균일하게 일어났기 때문이 아닌가 생각된다.

3-2. 텅스텐 실리콘사이드의 저항특성

그림 7과 8은 SiH₄의 유량을 1900SCCM으로 일정하게 하고 WF₆유량을 8.0~16.0SCCM으로 변화시킨 경우, as-deposited상태에서와 oxidation후의 저항변화를 나타낸다. As-deposited텅스텐 실리콘사이드의 저항은 41.2~44.0Ω/□로 상당히 높은 값을 가지고 있으며 이때 이 저항에 가장 큰 영향을 미치는 전도기구는 전자의 격자산란이라고 생각된다. 이것은

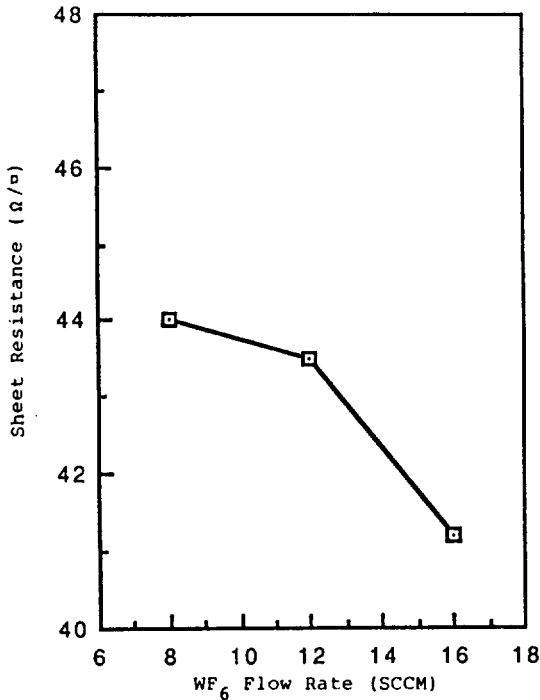


Fig. 7. Sheet resistance of as-deposited WSi₂ film.

그림 7. As-deposited WSi₂ 막의 면저항

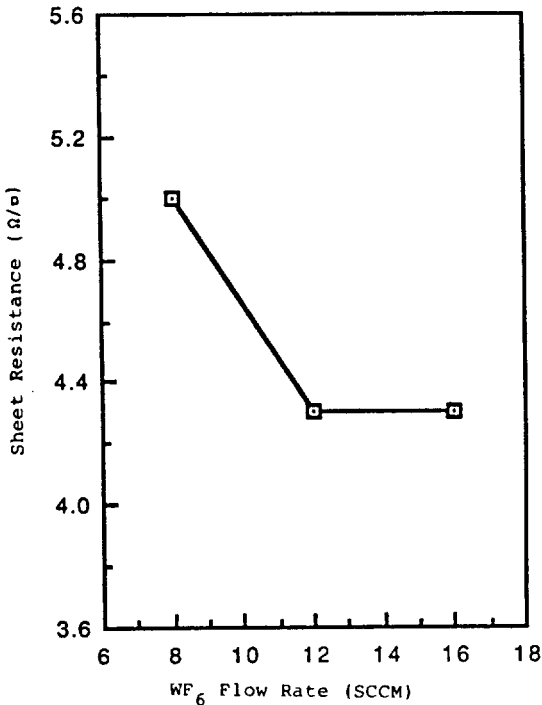


Fig. 8. Sheet resistance of WSi₂ film after oxidation.

그림 8. 산화후의 WSi₂ 막의 면저항

as-deposited 텅스텐 실리사이드의 구조는 아직 결정화 되지 못하여 W-W 결합, Si-Si 결합과 W-Si 결합들이 불규칙하게 배열되어 있는 비정질 구조이기 때문에 전자의 결자산란이 심하여 높은 저항값을 갖게 된다.

WF₆의 유량이 16SCCM일 경우 900°C에서 40분간 annealing한 후의 저항값은 4.7로 거의 190배 가까이 감소했는데 이것은 텅스텐 실리사이드막이 결정화되면서 전자들의 격자산란 효과가 크게 감소하였기 때문인 것으로 생각된다. 그리고 산화할 경우 저항값이 4.3으로 annealing했을 때보다 더 낮게 나타났는데 이것은 텅스텐 실리사이드 막내의 과잉 실리콘이 산화시 산화막/텅스텐 실리사이드 계면에서 실리사이드 막내의 과잉 실리콘이 재분포할뿐 그 양은 줄어들지 않기 때문일 것 같다. 이것은 annealing시킨 후의 텅스텐

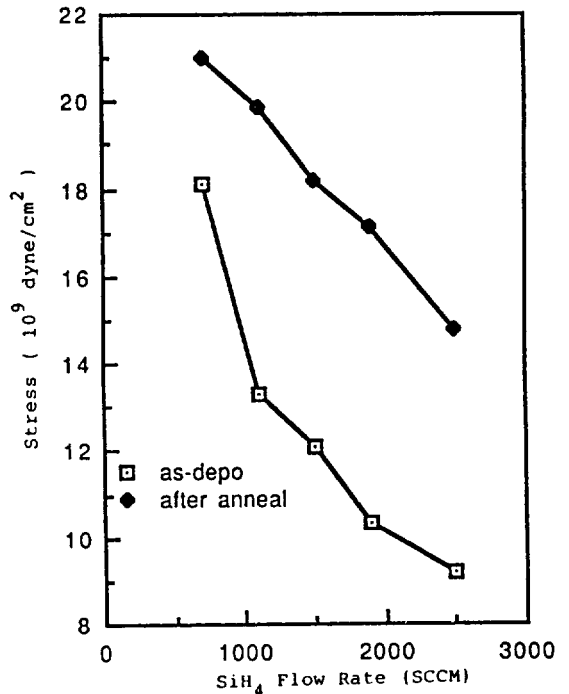


Fig. 9. Stress changes in WSi₂ film depending on the flow rate of SiH₄.

그림 9. SiH₄ 유량변화에 따른 WSi₂ 막의 stress의 변화

실리사이드 막의 depth profile(그림 3)을 보면 알 수 있다.

3-3 텅스텐 실리사이드의 응력

그림 9는 WF_6 의 유량을 16.0SCCM으로 고정시키고 SiH_4 의 유량을 변화시켰을 때의 as-deposited 상태에서와 N_2 분위기에서 40분간 annealing한 상태에서의 응력의 변화를 보인 것이다. SiH_4 의 유량이 700SCCM일 때 실리사이드막의 응력은 $1.81 \times 10^{10} \text{dyne/cm}^2$ 이었으나 SiH_4 의 유량이 2500SCCM으로 증가됨에 따라 $9.23 \times 10^{10} \text{dyne/cm}^2$ 로 감소하였다. 한편 그림 10, 11 및 12는 as-deposited, annealing 후, 및 산화후의 SIMS(Secondary ion mass spectroscopy) depth profile 들이다. 그림 10에서 보듯이 as-deposited 상태에서는 실리사이드 막 내에서 도펀트 P와 F, H 등의 불순물의 분포가 균일하다. 그러나 annealing 후에는 그림 11에서와 같이 다결정 Si/실리사이드의 계면부근(sputter time 24분 이하)에 과잉의 Si, P 및 F가, 실리사이드의 표면쪽(sputter time 2분 이하)에 P, F 및 H가 편석되어 있다.

산화 후에는 불순물의 계면쪽으로는 편석이 더욱 뚜렷이 나타난다. 그림 12를 보면 산화 후의 다결정 Si/실리사이드 면 부근의 과잉의 Si, P 및 F의 편석은 annealing 후의 그것과 큰 차이가 없으나 실리사이드와 SiO_2 막 간의 계면부근(sputter time 4분 이하)에서는 더욱 넓은 범위(sputter time 0~4분)에 걸쳐 더 많은 양의 P, F 및 H가 이동해 있음을 알 수 있다.

실리사이드 막의 응력의 증가 및 부착력의 약화는 이러한 열처리에 따른 P, F 및 H 등의 다결정 Si/실리사이드 계면으로의 이동에 기인하는 것으로 보인다. Y. Shioya 등²³⁾도 F, H 등의 표면으로의 편석이 800°C 이상에서 실리

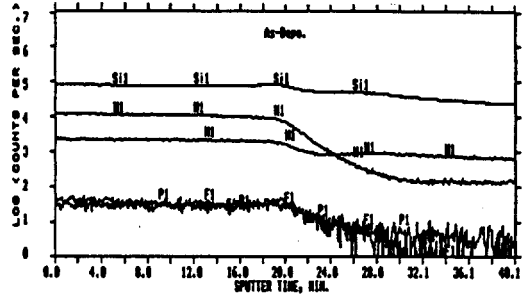


그림 10. As-deposited WSi_x ($WF_6=16SCCM$)막의 SIMS depth profile.

Fig. 10. SIMS depth profile for an as-deposited WSi_x film.

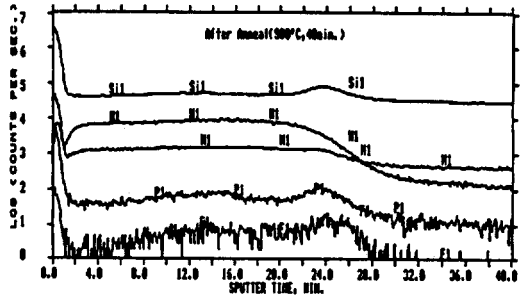


그림 11. 900°C, 40min. annealing 후 WSi_x ($WF_6=16SCCM$)막의 SIMS depth profile.

Fig. 11. SIMS depth for the WSi_x film annealed at 900°C for 40min.

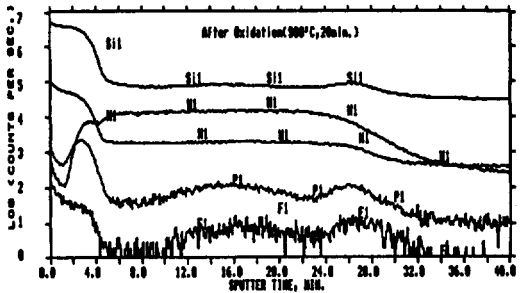


그림 12. 900°C, 20min. oxidation 후 WSi_x ($WF_6=16SCCM$)막의 SIMS depth profile.

사이드 막의 급격한 응력증가와 관련이 있는 것으로 보고한 바 있다. 저자들의 판단으로는 F, H 등의 불순원소 뿐 아니라 과잉의 Si과 도펀트 P의 계면으로의 편석도 계면에서의

dangling bond의 증가를 가져와 응력의 증가 및 부착특성의 악화를 초래하는 원인으로 작용하는 것으로 생각된다.

4. 결 론

어닐링(annealing)과 산화에 따른 텅스텐 폴리사이드 막특성의 변화를 조사한 결과 다음과 같은 결론을 얻었다.

- 1) 텅스텐 실리사이드의 Si/W 조성비는 SiH₄가 과량 존재할 때 WF₆의 유량이 증가할수록 감소하나 SiH₄유량과는 거의 무관하다.
- 2) 텅스텐 실리사이드(WSi_{2.6}) 막의 저항은 as-deposited상태에서는 41.2Ω/□이었으나 어닐링(annealing)후에는 4.7, 산화 공정후에는 4.3Ω/□로 감소하였다.
- 3) 텅스텐 실리사이드 도포시 WF₆유량의 증가에 따라 저항이 감소한다.
- 4) 텅스텐 실리사이드 막의 응력은 SiH₄의

유량이 증가할수록 감소한다.

- 5) 텅스텐 실리사이드 막내에 유입된 F와 H 뿐만 아니라 과잉의 Si과 도펀트 P는 어닐링(annealing), 산화 등의 열처리 공정시 WSi₄/poly-Si, SiO₂/WSi_x계면으로 편석되어 응력의 증가를 가져오는 것으로 보인다.

참 고 문 헌

Table 3. Mechanical properties of superconductor with processes.

표 3. 공정에 따른 기계적 성질의 변화

TEMPERATURE	PROCESS	HARDNESS (GPa)	TOUGHNESS (MPam ^{1/2})
900°C	Sint. only	2.86	2.80
	Sint. +HIP encapsule	3.76	2.05
920°C	Sint. only	2.95	2.33
	Sint. +HIP encapsule	3.41	2.21
940°C	Sint. only	2.91	2.86
	Sint. +HIP encapsule	3.01	2.36
960°C	Sint. only	2.85	2.33
	Sint. +HIP encapsule	3.52	2.91

- 1) D. L Brors, J. A. Fair, K. A. Morning, K.C.Saraswat; *Solid Technol*, **26**, 183~186(1983)
- 2) Pieter Burggraaf; *Semiconductor International*, **293~298**(May, 1985)
- 3) F.Mohammadi and K.C.Saraswat; *J.Electrochem. Soc.*, **127**, 450~454(1980)
- 4) B.L.Crowder and S.Zirinsky; *IEEE Trans. Electron Devices*. ED-**26**. 369~373(1979)
- 5) A.K.Shinha, J.A.Cooper Jr. and H.J.Levinstein; *IEEE Electron Device Lett*, EDL-**3**, 90~92(april 1982)
- 6) R.W.Keyes, *IEEE Trans; Electron Devices*, ED-**26**, 271~278(1979)
- 7) K.C.Saraswat and F. Mohammadi; *IEEE Trans. Electron Device*, ED-**29**, 645~650(April, 1982)
- 8) S.P.Murarka; *Solid State Technol.* 181~185(September, 1985).
- 9) S.P. Murarka; *Silicides for VLSI application*, Academic Press Inc. 2~9(1983)
- 10) T.Paul et al.; *IEEE Trans Electron Devices*, ED-**30**, 1480~1497(1983)
- 11) A.K.Sinha; *J. Vac. Sci. Technol.*, **19**, (3) 778~785(1981)

- 12) S.P.Murarka, et al.; *IEEE Trans. Electron devices*, Ed-27, (8) 1409~1417(1980)
- 13) C. P. Ho, J.D.Plummer and J.D.Meindl; *J. Electrochem. Soc.*, 125(4) 665~671(April, 1978)
- 14) C.P.Ho and J.D.Plummer; *J. Electrochem Soc.*, 126, (9). 1523~1530(September, 1979)
- 15) C.P.Ho and J.D.Plummer; *J. Electrochem. Soc.*, 126, (9) 1516~1522(September, 1979)
- 16) Hideo Sunami; *J. Electrochem soc.* 125(6) (June 1978)
- 17) K.C.Saraswat and Harinder Singh; *J. Electrochem. Soc.*, 129(10) 2321~2326(October 1982)
- 18) E. A. Irene and D. W. Dong; *J. Electrochem. Soc.*, 125(7) 1146~1151(July, 1978)
- 19) S.P.Murarka and D.B.Fraser; *J. Appl Phys.*, 51, 1593(1980)
- 20) S.K.Sinha. W.S.Lindenberger, D.B.Fraser, S.P.Murarka and E.N.Fuls; *IEEE J.Solid-State Circuits SC-15*(1980)
- 21) H.J.Geipel, N.Hsieh, M.H.Ishag, C.W.Kobergur, and F.White; *IEEE J.solid-State Circuits Sc-15* 482(1980)
- 22) S.P.Murarka, D.B.Fraser, A.K.Sinha and H.J.Levinstein; *IEE J.Solid-State Circuits SC-15* 474(1980)
- 23) Yoshimi Shioya, et al; *J. Appl. phys.* 58(1) 4194 (1985)
(1989년 2월 16일 접수)