

플로팅 아일랜드 구조의 전력 MOSFET의 전기적 특성 분석

강이구^a

극동대학교 태양광공학과

Analysis of The Electrical Characteristics of Power MOSFET with Floating Island

Ey Goo Kang^a

Department of Photovoltaic Engineering, Far East University, Eumseong 27601, Korea

(Received February 28 2016; Accepted March 22, 2016)

Abstract: This paper was proposed floating island power MOSFET for lowering on state resistance and the proposed device was maintained 600 V breakdown voltage. The electrical field distribution of floating island power MOSFET was dispersed to floating island between P-base and N-drift. Therefore, we designed higher doping concentration of drift region than doping concentration of planar type power MOSFET. And so we obtain the lower on resistance than on resistance of planar type power MOSFET. We needed the higher doping concentration of floating island than doping concentration of drift region and needed width and depth of floating island for formation of floating island region. We obtained the optimal parameters. The depth of floating island was 32 μm . The doping concentration of floating island was $5 \times 1,012 \text{ cm}^{-2}$. And the width of floating island was 3 μm . As a result of designing the floating island power MOSFET, we obtained 723 V breakdown voltage and 0.108 Ωcm^2 on resistance. When we compared to planar power MOSFET, the on resistance was lowered 24.5% than its of planar power MOSFET. The proposed device will be used to electrical vehicle and renewable industry.

Keywords: Power MOSFET, Floating island, On-resistance, Breakdown voltage, Power devices

1. 서 론

파워 반도체 소자의 중요한 설계 변수는 전력소모 외에도 고전압, 고전류의 처리과정에서 소자 자체에 가해지는 열과 스트레스에 대한 내성을 나타내는 견고성, off 상태를 유지할 수 있는 최대 전압을 뜻하는 항복전압 특성이 있으며, 전력 반도체 소자 설계의 최적화와 새로운 구조 및 공정 개발을 통해 온 저항을 감소시키면서 항복전압을 증가시키는 방법으로

많은 연구가 이루어지고 있다. 전력용 소자중 파워(power) MOSFET은 전력 절감화, 고효율화, 소형화, 고신뢰성화, 고속 스위칭화, 저노이즈화 등을 배경으로 발전하였으며 전력 MOSFET은 고속 스위칭 트랜지스터 소자의 대용으로 사용할 수 있어서 최근에 주목이 되고 있으며 각종 전동기에의 적용 기술의 개발이 급속히 진보되고 있다.

따라서, 본 논문에서는 항복전압의 변화 없이 온 저항을 감소시킬 수 있는 플로팅 아일랜드 전력 MOSFET의 기본적인 구조를 제안한 다음, 최적화된 플로팅 아일랜드 전력 MOSFET 소자의 설계를 수행하였으며, 그에 따른 문턱전압, 온 저항 및 항복전압 특성 등의 전기적인 특성을 분석하였다.

a. Corresponding author; keg@kdu.ac.kr

2. 실험방법

2.1 플로팅 아일랜드 전력 MOSFET의 구조

플로팅 아일랜드 구조는 전력 MOSFET의 온 저항을 감소시키기 위해 저농도 도핑된 N 드리프트 영역에 P형 플로팅 아일랜드를 삽입한 구조이다. 기존의 DMOS (double diffused MOSFET)의 경우에는 역방향 바이어스의 상태에서 P 베이스와 N 드리프트 영역 사이에 전계가 집중되지만 플로팅 아일랜드 구조에서는 P 베이스와 N 드리프트 사이에서 한 번 P 플로팅 아일랜드와 N 드리프트 사이에서 두 번 전계가 분산되어 있다. 전력 MOSFET의 항복전압은 오프 상태에서 공핍층 내부에 분포하는 전계의 적분값에 의존하므로 DMOS와 FLIMOS (floating island MOSFET)의 항복전압은 같다. 그러나 FLIMOS는 DMOS 보다 더 높은 N 드리프트 농도를 갖고 있기 때문에 온 저항이 더 좋아진다. FLIMOS와 DMOS의 전계분포도 그림 1에 나타내었다.

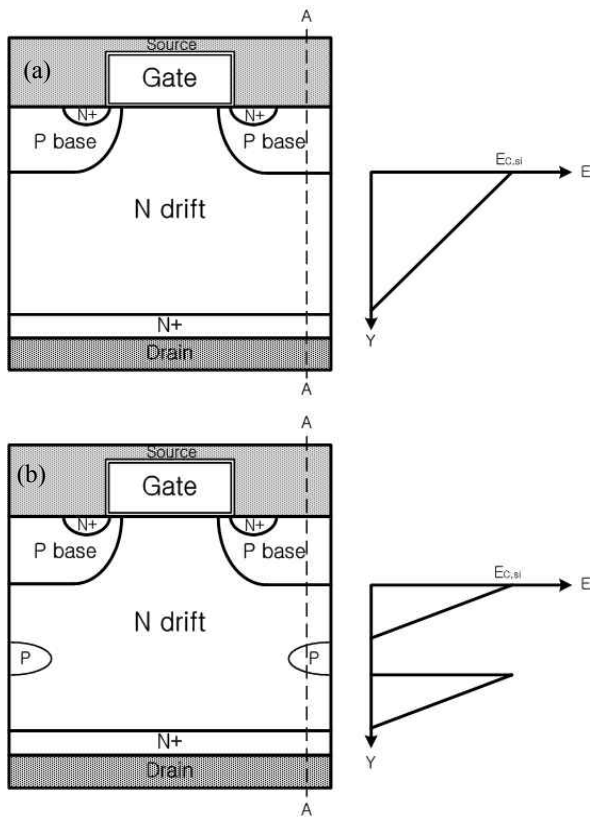


Fig. 1. The structure and electrical field distribution (a) DMOSFET, (b) FLIMOSFET.

2.2 FLIMOSFET의 온 저항 특성 개선

FLIMOS와 DMOS의 전계분포를 비교하기 위해서는 포아송(Poisson) 방정식을 이용하여 위치에 따른 전계를 그림 2을 도출하게 된다. 항복현상이 나타나기 직전 전계의 적분값이 항복전압을 나타내기 때문에 그래프를 통해서 FLIMOS와 DMOS의 항복전압이 거의 같은 것을 예상할 수 있다. 반면, N 드리프트 영역 전계의 기울기는 N 드리프트 농도에 비례하기 때문에 FLIMOS의 N 드리프트 농도는 기존의 MOSFET의 N 드리프트 농도보다 2배 높다. N 드리프트 농도가 높을수록 전도도가 높아지고 저항률이 낮아지게 되어 소자의 저항 또한 낮아지게 된다. 따라서 FLIMOS는 항복전압 변화 없이 온 저항 특성을 향상시킬 수 있는 효율적인 구조라고 할 수 있다.

그림 3은 FLIMOS의 공정순서 과정을 나타내었다. DMOS의 경우 고농도 N형 기판에 에피택시(Epitaxy)를 이용하여 저농도 N 드리프트 영역을 성장시키고, 에피 영역에 MOSFET을 형성하여 제작한다. FLIMOS는 N 드리프트 층의 중간에 P 플로팅 아일랜드를 이온주입을 한 다음 에피택시를 이용하여 N 드리프트 영역을 성장시키고 드리프트 영역에 MOSFET을 형성하여 제작을 한다. FLIMOS는 기존의 공정방법에 필요한 플로팅 아일랜드 P형 이온주입 공정만 추가하면 FLIMOS 구조를 완성할 수 있으므로 FLIMOS는 공정 면에서도 쉽게 구현 가능한 장점을 갖고 있다.

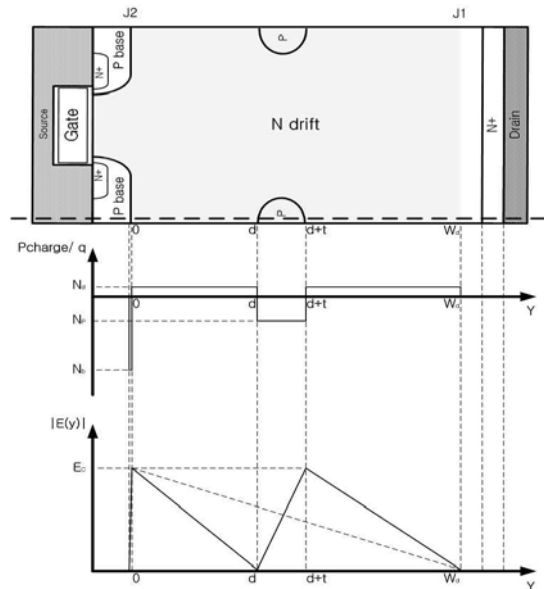


Fig. 2. The charge and electrical field distribution of floating island power MOSFET.

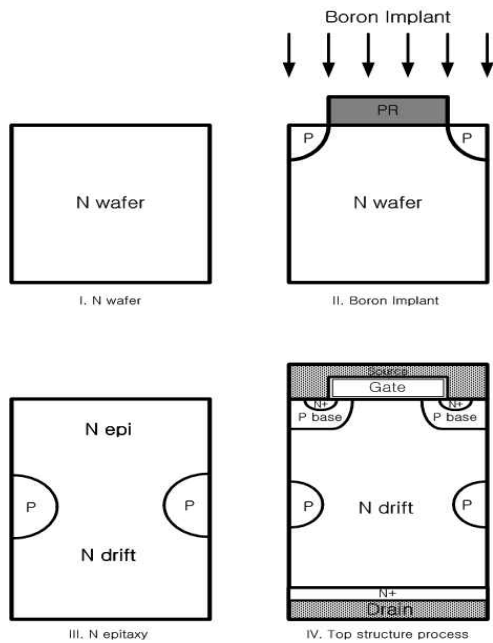


Fig. 3. The process flowchart of floating island power MOSFET.

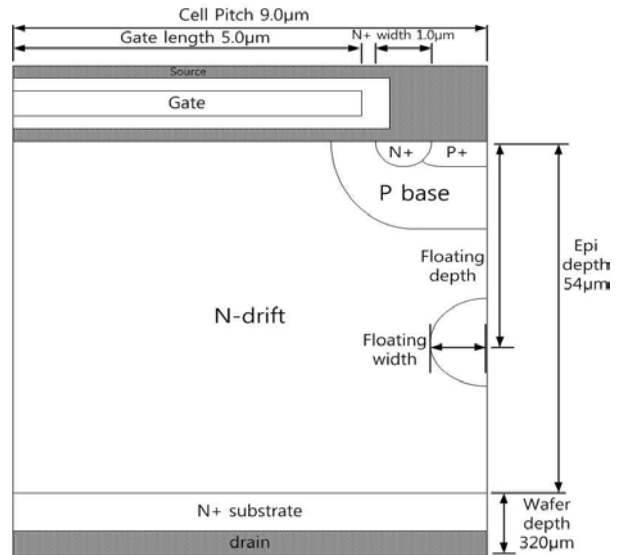


Fig. 4. The structure and design parameter of floating island power MOSFET.

2.3 플로팅 아일랜드 전력 MOSFET의 설계

플로팅 아일랜드 구조가 삽입되었을 때, 항복전압의 변화 없이 기판 저항률을 두 배로 높일 수 있기 때문에 아일랜드 구조의 N 드리프트 저항률을 9 Ωcm로 설정하였으며, 플로팅 아일랜드의 설계 및 공정 파라미터는 표 1에 나타내었으며, 전체적인 구조는 범용 600 V의 전력 MOSFET의 설계 및 공정 파라미터를 가지고 연구를 수행하였으며, 그에 대한 구조는 그림 4에서 보여주고 있다.

Table 1. The design parameter and process condition of floating island.

Design Parameter	Condition
Floating dose (cm ⁻²)	3×10 ¹² ~9×10 ¹²
Floating depth (µm)	10 ~ 48 (step 2 µm)
Floating width (µm)	1 ~ 4 (step 0.5 µm)
Resistivity (Ω cm ³)	18
P base dose (cm ⁻²)	6.3×10 ¹³
P+ base dose (cm ⁻²)	3.0×10 ¹⁵
N+ source dose (cm ⁻²)	1.0×10 ¹⁶
N+ substrate (Ω)	0.018
JFET dose (cm ⁻²)	1.0×10 ¹²
Gate length (µm)	5

3. 결과 및 고찰

3.1 플로팅 아일랜드 깊이에 따른 전기적 특성 분석

플로팅 아일랜드의 깊이 변화에 따른 항복전압 특성의 변화를 확인하기 위해서 플로팅 아일랜드 영역의 도우즈량과 윈도우 너비를 고정한 상태에서 설계한 결과 플로팅 영역의 깊이가 깊어질수록 항복전압이 높아지는 양상을 보이다가 34 µm부터는 항복전압이 감소하는 것을 확인하였으며 그림 5에 나타내었다.

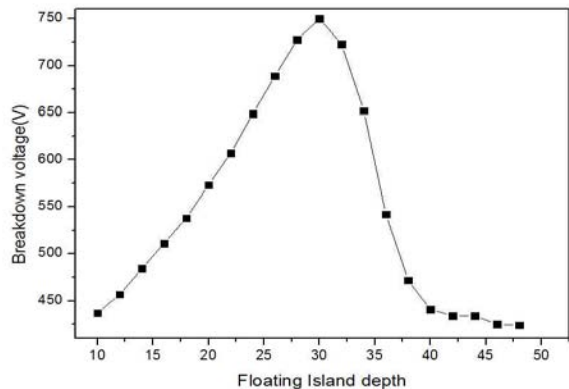


Fig. 5. The breakdown voltages of floating island power MOSFET according to the depth of floating island.

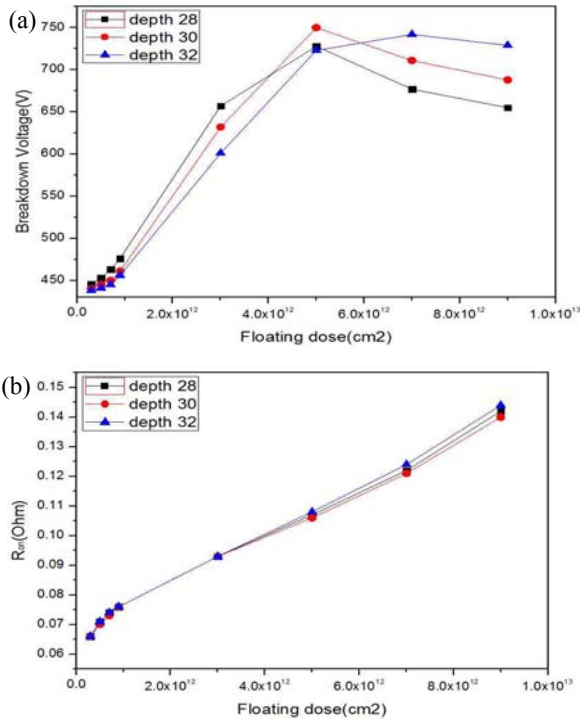


Fig. 6. The breakdown voltages and on-resistance of floating island power MOSFET according to the depth and dose of floating island.

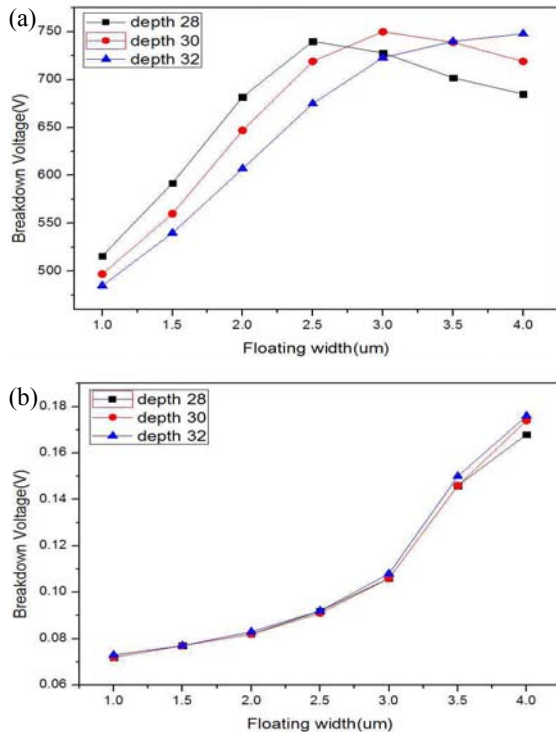


Fig. 7. The breakdown voltages and on-resistance of floating island power MOSFET according to the width of floating island window.

플로팅 아일랜드 도우즈량에 따른 항복전압 및 온저항 측정조건의 결과를 그림 6에서 보여주고 있다. 그림 6에서는 앞서 측정된 플로팅 아일랜드 깊이에 따른 시뮬레이션을 수행한 결과, 항복전압이 최적화된 28 μm, 30 μm, 32 μm를 기준으로 수행한 결과이다. 측정 결과 플로팅 아일랜드의 깊이가 28 μm, 30 μm, 32 μm인 상태에서 플로팅 아일랜드 도우즈량이 모두 5 × 10¹² cm⁻² 일 때 항복전압을 유지하면서 온저항 특성이 낮아지는 현상을 확인할 수 있었다.

그림 7은 플로팅 아일랜드 윈도우 너비에 따른 항복전압 및 온저항 특성을 분석한 결과를 보여주고 있다. 앞서 측정된 플로팅 아일랜드 깊이가 28 μm, 30 μm, 32 μm이고, 도우즈량이 5 × 10¹² cm⁻²일 때 시뮬레이션을 진행하였다. 측정 결과 플로팅 아일랜드 영역의 깊이가 32 μm인 상태에서 도우즈량이 5 × 10¹² cm⁻²이며, 윈도우 너비가 3 μm일 때 플래나 MOSFET의 항복전압과 문턱전압을 유지하면서 온저항 특성이 낮아지는 현상을 확인할 수 있었다.

3.2 600 V 플로팅 아일랜드 전력 MOSFET의 최적화

앞에서 수행한 전기적 특성 분석을 토대로 플래나 MOSFET과 N 드리프트 영역의 저항률만 틀리고 동일한 구조에서 플로팅 아일랜드 영역의 깊이, 도우즈량, 윈도우 너비가 표 2와 같이 주어졌을 때 설계한 결과 그림 8을 통해 문턱전압이 3.1 V, 항복전압이 723 V, 온저항은 0.108 Ωcm²이 나왔음을 알 수 있었으며 그림 9는 플로팅 아일랜드 전력 MOSFET의 구조를 나타낸 것이다.

Table 2. The optimal process parameter and condition of floating island power MOSFET.

Process parameter	process condition
Floating dose (cm ⁻²)	5 × 10 ¹²
Floating depth (μm)	32
Floating width (μm)	3
Resistivity (Ω cm ³)	9
P base dose (cm ⁻²)	6.3 × 10 ¹³
P+ base dose (cm ⁻²)	3.0 × 10 ¹⁵
N+ source dose (cm ⁻²)	1.0 × 10 ¹⁶
N+ substrate (Ω cm ³)	0.018
JFET dose (cm ⁻²)	1.0 × 10 ¹²
Gate length (μm)	5
Cell Pitch (μm)	9

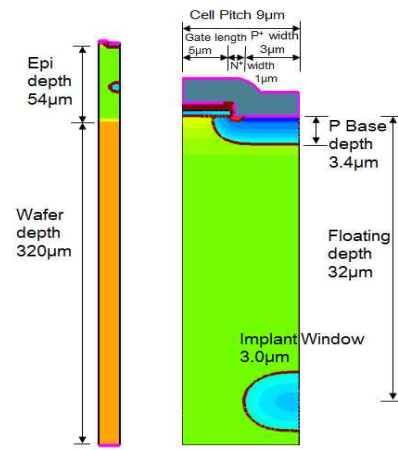
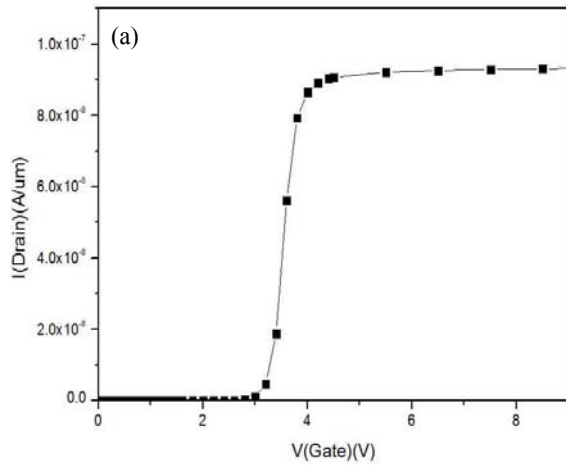


Fig. 9. The optimal structure of floating island power MOSFET.

3.3 600 V 플레나 전력 MOSFET과 플로팅 아일랜드 전력 MOSFET과의 비교분석

그림 10은 600 V급 플레나 MOSFET와 FLIMOSFET의 항복전압과 온 저항을 비교한 것이다.

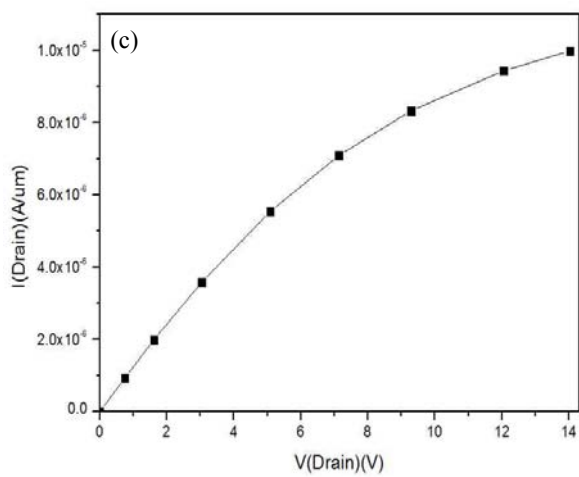
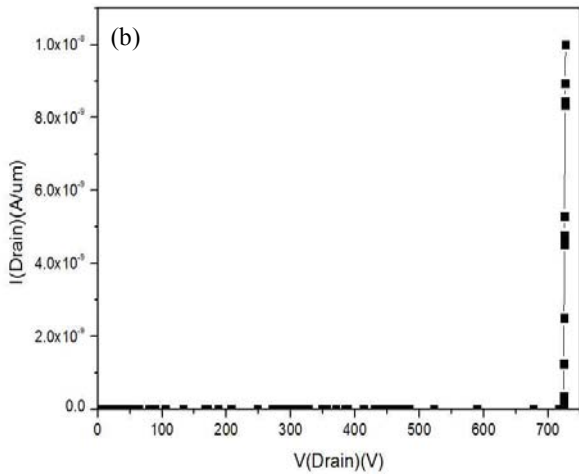


Fig. 8. The electrical characteristics of floating island power MOSFET (a) the threshold voltage (b) the breakdown voltage (c) the on state current.

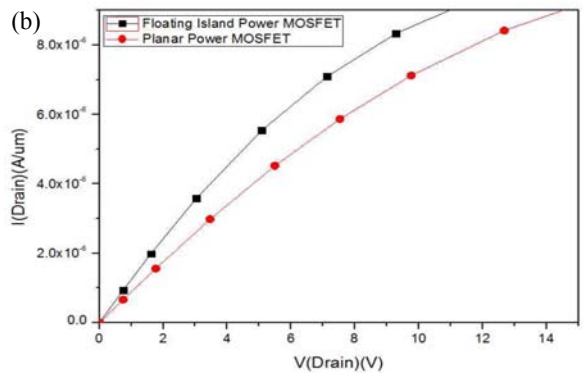
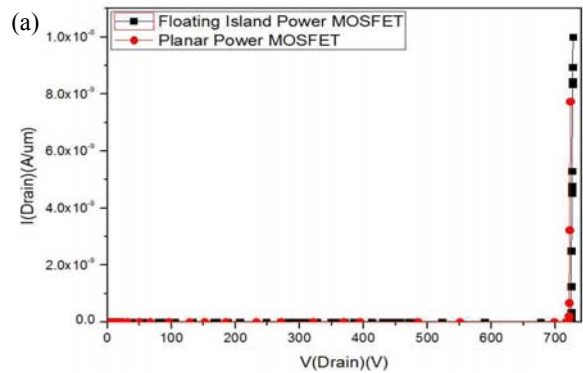


Fig. 10. The comparison of conventional planar power MOSFET and floating island power MOSFET (a) the breakdown voltages (b) the on state currents.

FLIMOSFET는 범용구조에 비해 항복전압과 문턱전압의 변화 없이 온 저항이 24.5%가 향상된 것을 볼 수 있었다.

4. 결론

본 논문에서는 범용구조의 전력 MOSFET의 문턱전압과 항복전압의 변화 없이 온 저항을 낮추기 위해서 범용구조를 갖는 전력 MOSFET의 구조에서 N 드리프트 영역에 P 플로팅 아일랜드 구조를 삽입한 플로팅 아일랜드 전력 MOSFET을 제안한 다음 그 전기적인 특성을 분석하였다.

특성을 분석한 결과, 플로팅 아일랜드 구조의 전계는 P 베이스와 N 드리프트에 삽입한 floating island에서 분산되므로 드리프트 영역의 도핑농도를 더 높일 수 있어 기존 전력 MOSFET의 항복전압은 유지하면서 온 저항이 줄어들게 되는 효율적인 구조임을 알 수 있었다. 또한 제안한 플로팅 아일랜드 구조를 설계한 결과, 플로팅 아일랜드 깊이의 경우 대략 N 드리프트 높이의 가운데 위치에서 가장 높은 항복전압을 얻을 수 있었으며, 플로팅 아일랜드 구조를 형성하기 위해서 N 드리프트 농도와 맞는 일정 이상의 농도가 필요하며 온 저항 개선 및 셀 피치(cell pitch)에 맞게 플로팅 아일랜드 윈도우 너비가 필요한 것으로 확인되었으며, 이러한 영향을 고려하여 설계한 결과 제안한 구조에서의 최적 파라미터는 플로팅 아일랜드 깊이가 $32 \mu\text{m}$, $5 \times 10^{12} \text{ cm}^{-2}$ 이며, 윈도우 너비가 $3 \mu\text{m}$ 였다.

이러한 최적의 변수를 가지고 설계한 다음 전기적 특성을 분석한 결과, 플로팅 아일랜드 전력 MOSFET의 항복전압은 723 V, 온 저항이 $0.108 \Omega \text{ cm}^2$ 으로 기존의 전력 MOSFET과 비교했을 때 항복전압의 변화 없이 온 저항을 24.5% 낮춘 값을 얻을 수 있었다. 따라서 전력 및 열 효율을 높이기 위해서 본 논문에서 제안한 플로팅 아일랜드 구조의 전력 MOSFET은 전기 자동차를 포함한 여러 산업 분야에서 활용될 수 있을 것으로 판단된다.

REFERENCES

- [1] G. P. Sim, B. S. Ann, Y. H. Kang, Y. S. Hong, and E. G. Kang, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **26**, 190 (2013). [DOI: <http://dx.doi.org/10.4313/JKEM.2013.26.3.190>]
- [2] Y. S. Hang, E. S. Jung, and E. Y. Kang, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **25**, 276 (2012). [DOI: <http://dx.doi.org/10.4313/JKEM.2012.25.4.276>]
- [3] P. J. Verlinden, R. M. Swanson and R. A. Crane, *Progress in Photovoltaic and Applications*, **2**, 143 (1994). [DOI: <http://dx.doi.org/10.1002/pip.4670020209>]
- [4] C. Hu, M. Chi, and V. M. Patel, *IEEE Transactions on Electron Devices*, **ED-31**, 1693 (1984).
- [5] T. S. Ma and W. B. Grabowski, *Solid-State Electronics*, **35**, 201 (1992). [DOI: [http://dx.doi.org/10.1016/0038-1101\(92\)90061-G](http://dx.doi.org/10.1016/0038-1101(92)90061-G)]
- [6] N. Keskar, M. Trivedi, and K. Shenai, *Microelectronics Reliability*, **39**, 1121 (1999). [DOI: [http://dx.doi.org/10.1016/S0026-2714\(99\)00159-6](http://dx.doi.org/10.1016/S0026-2714(99)00159-6)]