

소프트 베이킹 온도가 용액기반 Zn-Sn-O 박막 트랜지스터의 전기적 특성에 미치는 영향

이재원, 조원주^a

광운대학교 재료공학과

Effects of Soft Baking Temperature on the Properties of Solution Processed Zn-Sn-O Thin-Film Transistors

Jae-Won Lee and Won-Ju Cho^a

Department of Electronic Materials Engineering, Kwangwoon University, Seoul 01897, Korea

(Received November 5, 2015; Revised December 3, 2015; Accepted December 4, 2015)

Abstract: In this study, the effects of soft baking temperature on the solution derived ZTO (Zn-Sn-O) TFTs (thin-film transistors) as a In-free oxide semiconductor were investigated. In spite of the same hard baking at high temperature(600°C), the electrical properties of ZTO TFT was greatly changed by a small difference in soft baking temperature(180~250°C). The performance of TFT was deteriorated as the soft baking temperature increased. Therefore, it is important to remove the water-related defects well as organic impurities from the ZTO films during soft baking for fabrication of solution-derived high performance of TFTs.

Keywords: Baking temperature, ZnSnO, Solution processing, Thin-film transistors

1. 서 론

최근 차세대 디스플레이 소자로 각광받고 있는 AM-OLED (active matrix-organic light emitting diode)의 구동 회로를 구성하기 위한 소자로 산화물반도체를 이용한 박막 트랜지스터(thin film transistor, TFT)가 큰 주목을 받고 있다. 특히, TFT 소자의 채널 층을 형성하는 방법 중에서 기존의 고진공 장비를 이용한 박막 형성 보다는 용액 공정(solution process)을 이용한 방법이 보다 경제적이고 대면적화 및 대량생산에서 유리하며,

균일성이 뛰어나고 공정과정 또한 매우 간단하다는 장점을 가지고 있기 때문에 많은 관심이 집중되고 있다 [1,2]. 그러나 산화물 반도체 박막 형성을 위한 MOD 용액(metal-organic deposition solution)에는 금속 산화물 프리커서(precursor)와 용매(solvent)에 하이드록실기(-OH)와 염소기(Cl), 그리고 탄소기(C) 등이 다량으로 포함되어있다. 이와 같은 불순물은 TFT 소자의 전기적 특성 열화를 초래하기 때문에 수분 및 탄소결함 불순물들을 효과적으로 제거하고 산화물 프리커서들을 분해하여 고체상태의 산화물 박막으로 바꾸기 위하여 비교적 저온의 소프트 베이킹(soft baking) 과정과 치밀한 구조의 산화물 반도체 형성을 위한 고온의 하드 베이킹(hard baking) 열처리 과정을 거친다 [3-5]. 용액공정 기반의 산화물 TFT 제작에 있어서 열처리는 소자의 특성에 미치는 영향이 매우 중요하다.

a. Corresponding author; chowj@kw.ac.kr

지금까지 고온의 하드 베이킹 열처리 효과에 대해서는 많은 연구가 이루어졌지만, 상대적으로 관심이 적은 저온 소프트 베이킹 열처리 효과에 대한 연구는 아직 부족한 실정이다. 한편, 산화물 반도체는 2004년 호소노(Hosono) 그룹에서 a-GIZO TFT를 발표한 후에 지속적인 관심을 받고 있으며 중금속 양이온(heavy-metal cation)으로 구성된 $(n-1)d^{10} ns^0$ ($n \geq 4$) 전자구조를 가지는 다양한 조합의 산화물 반도체에 대한 연구가 진행되었다. 특히 Ga-In-Zn-O (GIZO) TFT가 가장 많이 연구되고 있다 [3]. 그 이유는 현재까지 보고된 산화물 TFT 중에서 GIZO가 소자 신뢰성 측면에서 좋은 특성을 나타내기 때문이다. 그러나 In이나 Ga은 희소 금속(rare metal)이어서 가격이 비싸지만 Zn와 Sn은 지표면에서 양이 풍부하고 가격이 저렴하다. 따라서 최근에는 Zn-Sn-O (ZTO), An-Zn-Sn-O (AZTO), Zr-Zn-Sn-O (ZZTO), Ga-Sn-Zn-O (GTZO), Hf-Sn-Zn-O (HTZO) 등과 같은 In-free 산화물 TFT 소자에 대한 연구가 활발히 이루어지고 있다. 그 중에서 특히 ZTO 박막은 넓은 밴드갭, 가시광 영역에서 높은 투과도, 양호한 전도 특성, 산화 및 식각에 대한 우수한 화학적 안정성, 무독성, 물리적 강도 및 평탄한 박막 표면을 가지고 가격도 저렴하기 때문에 최근 급속하게 성장하는 산화물 TFT 기술에서 유망한 재료로 많은 관심을 받고 있다.

따라서 본 연구에서는 용액공정 방법으로 In-free 산화물 반도체인 ZTO TFT를 제작하였고 소자의 전기적 특성에 미치는 열처리 공정 중에 특히 소프트 베이킹 열처리 온도 효과에 대해서 평가하였다.

2. 실험 방법

2.1 ZTO 용액 제조

ZTO MOD 용액을 제조하기 위해서 0.1 M의 zinc acetate dihydrate $[Zn(CH_3COO)_2 \cdot 2H_2O]$ 와 0.1 M의 tin chloride $[SnCl_4]$ 를 프리커서로 사용하였으며 2-methoxyethanol $[CH_3OCH_2CH_2OH]$ 을 용매(solvent)로 사용하였다. 이때, Zn:Sn의 비율은 1:1가 되도록 조절하였고 안정제(stabilizer)로서 아세트산 $[CH_3CO_2H]$ 과 모노에탄올아민 $[NH_2CH_2CH_2OH]$ 을 첨가하여 용해시켰다. 다음으로 50°C에서 2시간 동안 용액을 교반한 후에 24 시간 동안의 에이징 과정을 거친 후 시린지 필터(Whatman, 0.2 μm)로 여과하여 ZTO MOD 용액을 제작하였다. ZTO MOD 용액의 열적 거동(thermal

behavior)을 확인하기 위하여 TGA (thermo-gravimetric analysis)와 DSC (differential scanning calorimetry) 분석을 실시하였다.

2.2 ZTO 용액을 이용한 TFT 제작

1~10 Ωcm 의 비저항을 가지는 (100) p-type 실리콘 웨이퍼를 이용하여 하부-게이트 상부-전극(bottom-gate top-contact) 구조의 산화물 TFT를 제작하였다. 먼저, 표준 RCA 세정을 이용하여 단결정 실리콘 기판을 세정한 후, 열산화 방법을 통해서 두께 100 nm의 게이트 산화막을 성장시켰다. 제작된 프리커서 용액은 스피너를 이용하여 6,000 rpm에서 30s의 조건으로 ZTO 박막을 형성한 후 스피너 코팅된 ZTO 박막에 대해 소프트 베이킹과 하드 베이킹을 실시하였다. 먼저, 유기용매를 증발시키기 위하여 스피너 코팅된 ZTO 박막을 저온에서 열처리를 하였다. 그런 다음 ZTO 박막의 치밀화(densification)를 위하여 고온에서 열처리하였다. 본 연구에서는 박막의 특성 변화에 크게 영향을 미치는 소프트 베이킹 처리에 초점을 맞췄다. 소프트 베이킹은 180~250°C의 온도 범위에서 10분 동안 실시하였다. 이 단계에서 박막 내부의 수분 및 탄소 결합 불순물이 일부 제거되고 화학적으로 안정한 고체상태의 산화물 박막이 형성된다. 아울러 금속 수산화물(metal hydroxides)과 금속 염화물(metal chlorides)이 금속 산화물(metal oxides)로 전환되며, 이 반응으로 생성된 자유 전자는 트랜지스터의 전기적 특성에 큰 영향을 미친다. 하드 베이킹은 600°C에서 30분 간 실시하였다. 하드 베이킹을 하는 동안 잔여 유기물이 완전히 제거되고 다공질(porous) 상태의 박막이 더욱 치밀한 구조로 바뀌게 되는데, 전이 후 금속 양이온(post-transition-metal cation)을 가지는 비정질 산화물 반도체는 축퇴 밴드에서 전도가 가능하므로 반도체의 성질을 보이게 된다 [6,7].

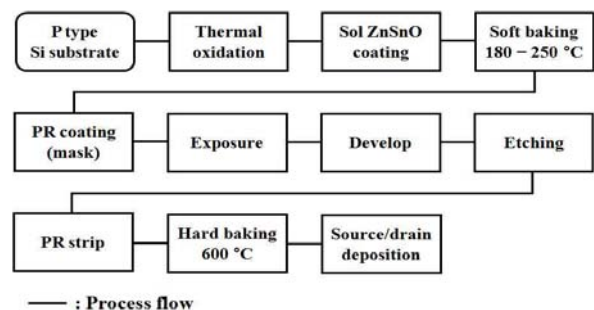


Fig. 1. Flow chart outlining the different experimental steps in the production of solution-based ZTO TFTs.

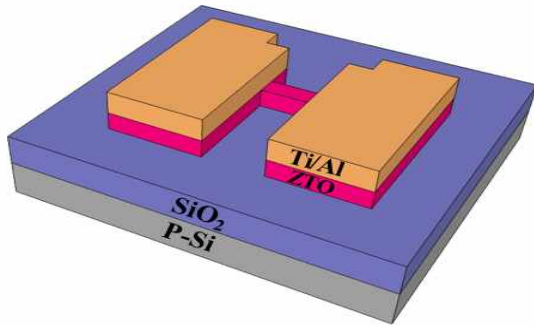


Fig. 2. Schematic illustration of solution-based ZTO TFTs.

그림 1과 같이 소프트 베이킹 후에 포토리소그래피와 30:1 BOE (buffered oxide etchant) 용액을 이용하여 채널 영역을 형성한 후에 하드 베이킹 과정을 거쳐서 소스/드레인 금속 전극을 형성하였다. 또한, 소프트 베이킹 후 ZTO 박막의 화학적 안정성을 테스트하기 위해 포토레지스터 현상액(AZ 300 MIF)에서의 식각 특성을 확인하였다.

그림 2는 MOD 공정으로 제작된 ZTO TFT 구조를 나타낸다. 100 nm 두께의 SiO₂ 게이트 절연막 위에 형성된 ZTO 박막의 두께는 30 nm 이며, TFT의 채널 폭(W)은 85 μm 그리고 길이(L)은 170 μm이다.

소스 및 드레인 전극은 새도우 마스크(shadow mask)를 이용하여 Ti/Al을 20/100 nm의 두께로 증착하였다. 제작된 TFT 소자의 전기적 특성은 빛과 외부 환경에 의한 영향을 피하기 위해 암상자 안에서 Agilent 4156B Precision Semiconductor Parameter Analyzer로 측정하였다.

3. 결과 및 고찰

그림 3은 ZTO MOD 용액의 열분해(thermal decomposition) 거동을 확인하기 위해서 TGA-DSC 분석을 한 결과이다. 대부분의 산화물 박막에서 볼 수 있듯이 ZTO 용액에서도 크게 3단계의 화학적 반응이 진행된다 [8,9]. 먼저 첫 번째 단계는 120°C 부근에서 흡열 반응 (endothermic reaction)이 일어나며 상당한 중량 감소가 발생한다. 온도가 상승함에 따라서 용액 내부에서는 브라운 운동이 발생하고 표면에서는 solvent 나 기타 불순물의 증발이 일어난다 [10,11]. 이러한 과정을 'sol'에서 'gel'로 전이가 일어난다고 한다.

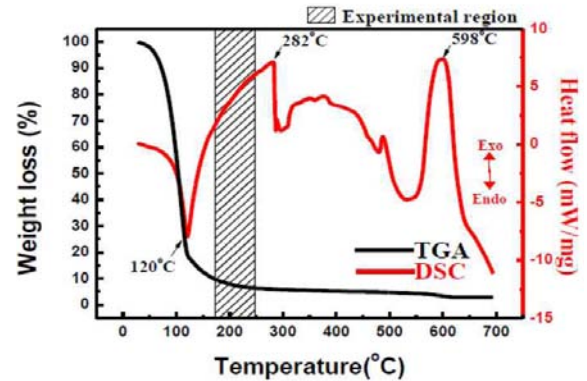
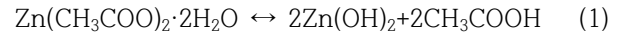


Fig. 3. TGA and DSC curves obtained for ZTO solutions.

박막 내부의 분자들은 서로 응축하여 박막을 형성한다. 이 단계에서 대부분의 유기 화합물이 증발하고, 아래의 식 (1)과 같은 하이드록시화를 통하여 M-OH와 같은 hydroxide가 형성된다 [8].



두 번째 단계는 280°C 부근에서 큰 발열 반응 (exothermic reaction)이 일어난다. 이 발열 반응은 ZTO 박막 형성의 시작 지점을 나타내며 M-OH 결합에서 M-O-M-O와 같은 금속-산소 네트워크 결합 (metal-oxygen-network bonding) 반응이 일어나고 [12,13], 열처리 온도가 증가함에 따라 탈수산화반응 (dehydroxylation)과 탈염소화반응 (dechlorination)을 동반한 약간의 중량 감소가 일어난다. 마지막으로 발열 반응 (exothermic reaction)이 일어나는 세 번째 단계인 600°C 부근의 고온에서는 남아있는 유기물들이 산화되고 다공성 (porous) 박막이 치밀한 구조로 바뀌는 치밀화 (densification) 과정이 일어난다.

그림 4(a)는 소프트 베이킹 온도를 달리하여 제작된 ZTO TFT의 게이트 전압(V_G)의 변화에 따른 드레인 전류(I_D)의 특성을 나타낸 전달 특성 곡선 (transfer curves)이다. TFT의 히스테리시스 특성을 확인하기 위하여 마이너스(-)에서 플러스(+) 방향으로 게이트 전압을 스윕한 다음, 다시 플러스(+)에서 마이너스(-)로 게이트 전압을 스윕하는 더블스윕 방식으로 측정하였다. 이때, 드레인에 인가되는 전압(V_D)은 10 V로 고정하였다. 고온의 하드 베이킹을 600°C에서 동일하게 실시했음에도 불구하고 저온의 소프트 베이킹은 열처리 온도가 조금만 차이가 나도 TFT의 전달 특성이 크게 달라

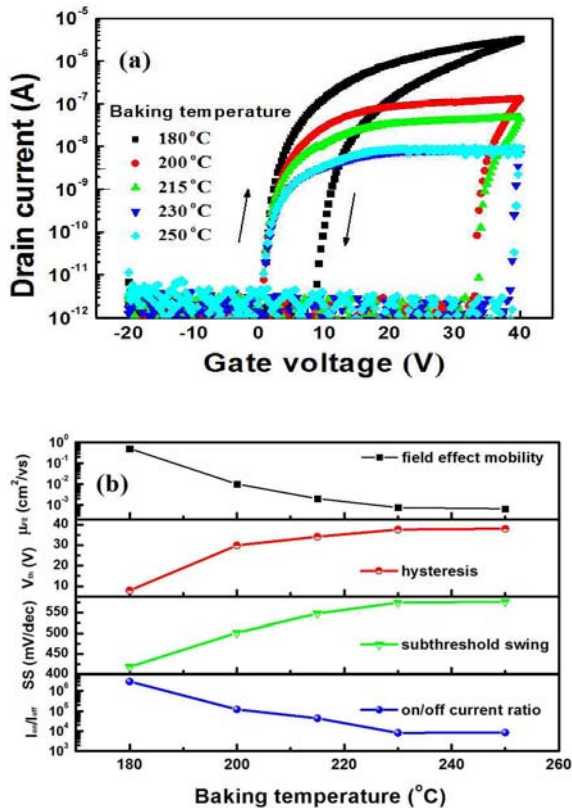


Fig. 4. Electrical properties of solution-based ZTO TFTs as a function of the baking temperature (a) transfer characteristics and (b) field effect mobility (μ_{FE}), SS (subthreshold swing), hysteresis voltage and on/off current ratio.

지는 것을 알 수 있다. 즉, 소프트 베이킹 온도가 높아질수록 포화 드레인 전류는 감소하였으며, 더블 스윕에 의한 히스테리시스 전압도 증가하고 있다.

히스테리시스 곡선은 시계 방향과 반시계 방향의 두 가지의 특성을 가질 수 있다. 시계 방향의 히스테리시스 특성은 산화물 반도체/게이트 절연막의 계면 부근 또는 산화물 반도체 채널 내부에서의 전자 트랩에 의한 것으로, 그리고 반시계 방향의 히스테리시스는 채널영역 근처에 존재하는 유동 이온(mobile ion)에 의한 것으로 알려져 있다 [14,15].

따라서 본 연구에서 제작된 ZTO TFT의 히스테리시스 특성으로부터 소프트 베이킹 온도가 높아질수록 전자 트랩이 증가하여 소자의 성능이 저하되는 것을 알 수 있다. 이것은 다음과 같은 현상으로 설명할 수 있다. 고온에서의 소프트 베이킹은 코팅된 박막의 과도 베이킹(over baking) 현상을 일으켜서 전도열에

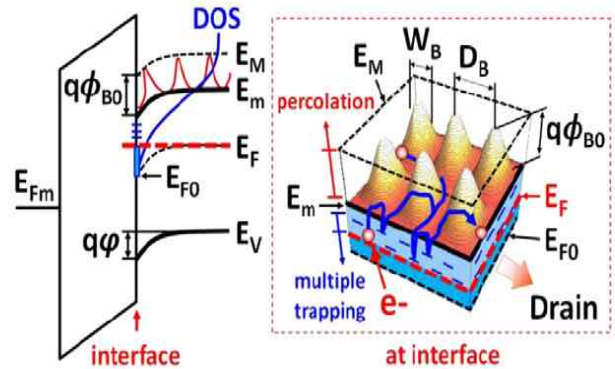


Fig. 5. Schematic band diagram of an oxide semiconductor TFT showing the presence of band tail states and potential barriers above mobility edge (E_m), giving rise to TLC (trap-limited conduction) and percolation [5,18].

의하여 표면이 먼저 굳어지기 때문에 내부에 잔류하는 용매 및 불순물의 외부 확산을 방해한다. 반면에, 저온에서의 소프트 베이킹은 내부의 수분이나 용매 및 불순물의 외부 확산이 상대적으로 원활하게 이루어질 수 있기 때문에 박막 내부의 수분 및 탄소결함 불순물이 효과적으로 제거되어 전자 트랩이 감소하고, 트랜지스터의 전기적 특성도 개선된다. 그림 4(b)는 전달 특성으로부터 추출한 TFT의 전기적 특성 파라미터를 나타낸다. 소프트 베이킹 온도가 낮을수록 on/off 전류비 (I_{on}/I_{off}) 및 전계효과 이동도가 증가하였다. 또한, 히스테리시스 전압은 38 V에서 8 V로 크게 감소하고 임계전압 이하 드레인 누설전류 기울기 (subthreshold slope)는 577 mV/dec에서 418 mV/dec로 감소하여 특성이 개선된 것을 확인할 수 있다.

비정질 산화물 반도체 TFT에서의 전자의 전도 메커니즘은 그림 5와 같이 퍼콜레이션(percolation at high gate bias)과 트랩제한(trap-limited at low gate bias) 전도로 알려져 있다 [15]. 비정질 반도체는 구조적 불균일 (structural randomness)에 의하여 전도대단(conduction band edge, E_M) 근처의 이동도단(mobility edge, E_m) 위에 평균 40~120 meV의 높이(height), 20~30 meV 분포 폭(distribution width)의 불규칙적인 크기의 전위 장벽을 가진다 [15-18]. 페르미 준위(E_F)가 국재화된 꼬리 준위(localized tail state) 내에 위치하는 ($E_F \ll E_m$) 낮은 게이트 전압에서는 캐리어의 수송이 다중 트랩 및 방출 과정(multiple trap and release events)의 트랩제한 전도(trap-limited conduction, TLC)에 의해서 일어난다. 반면에 페르미 준위가 전도대단 (E_M)과 이동도

단 (E_m) 사이에 위치하는 ($E_m < E_F < E_M$) 큰 게이트 전압에서는 국재준위(tail state)가 모두 차게 되고 퍼콜레이션에 의하여 캐리어 수송이 일어난다. 전자들은 비국재준위(nonlocalized states)로 방출되어서 전위장벽 간의 가장 저항이 낮은 경로(path)를 찾아 움직인다. 산화물 반도체 박막 내부의 수분이나 탄소와 같은 불순물의 불균일한 분포는 전도대단에 전위장벽을 형성한다. 따라서 이와 같은 결함들을 줄이는 것은 결국 전위장벽을 낮추고 채널에 유기되는 전자농도를 증가시켜서 퍼콜레이션에 의한 전자의 이동도를 증가시킬 수 있는 효과적인 방법이며, 본 연구에서처럼 소프트 베이킹 과정에서 불순물을 적극적으로 제거하는 것이 중요하다.

4. 결론

용액공정 방법으로 In-free 산화물 반도체인 ZTO TFT를 제작하였고 소자의 전기적 특성에 미치는 열처리 공정 중에 특히 소프트 베이킹 열처리 온도 효과에 대해서 평가하였다. 고온의 하드 베이킹을 600°C에서 동일하게 실시했음에도 불구하고 저온의 소프트 베이킹은 열처리 온도가 조금만 차이가 나도 TFT의 전달 특성이 크게 달라졌다. 소프트 베이킹 온도가 높아질수록 포화 드레인 전류는 감소하였으며, 전자트랩에 의한 히스테리시스 전압도 증가하였고 TFT 소자의 성능이 저하되었다. 고온의 소프트 베이킹은 코팅된 박막의 과도 베이킹에 의하여 내부에 잔류하는 용매 및 불순물의 외부 확산이 어렵지만, 저온의 소프트 베이킹은 잔류 수분이나 유기 원소의 외부 확산을 원활하게 하여 불순물을 효과적으로 제거한다.

그 결과, 전자 트랩이 감소하며 이동도단 근처에 존재하는 불규칙적인 크기의 전위 장벽을 낮추고 채널에 유기되는 전자농도를 증가시켜서 퍼콜레이션에 의한 전자의 이동도를 증가시킨다. 따라서, 용액공정 방법으로 제작된 ZTO TFT의 경우 소프트 베이킹 과정에서 불순물을 효과적으로 제거하는 것이 트랜지스터의 전기적 특성을 개선시키기 위해서 중요하다.

감사의 글

이 논문은 2015년도 정부(미래창조과학부)의 재원으로 한국연구재단-나노·소재 기술개발 사업의 지원을 받아 수행된 연구임(2009-0082580).

REFERENCES

- [1] S. H. Jeong, Y. M. Jeong, and J. H. Moon, *J. Phys. Chem. Lett.*, **112**, 11082 (2008). [DOI: <http://dx.doi.org/10.1021/jp803475g>]
- [2] E. Fortunato, P. Barquinha, and R. Martins, *Adv. Mater.*, **24**, 2945 (2012). [DOI: <http://dx.doi.org/10.1002/adma.201103228>]
- [3] S. Y. Hwang, J. H. Lee, C. H. Woo, J. Y. Lee, and H. K. Cho, *Thin Solid Films*, **519**, 5146 (2011). [DOI: <http://dx.doi.org/10.1016/j.tsf.2011.01.074>]
- [4] J. H. Park, Y. B. Yoo, K. H. Lee, W. S. Jang, J. Y. Oh, S. S. Chae, H. W. Lee, S. W. Han, and H. K. Baik, *Appl. Mater. Interf.*, **5**, 8067 (2013). [DOI: <http://dx.doi.org/10.1021/am402153g>]
- [5] J. S. Lee, S. M. Song, Y. H. Kim, J. Y. Kwon, and M. K. Han, *Phys. Status Solidi. A*, **210**, 1745 (2013).
- [6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, **432**, 488 (2004). [DOI: <http://dx.doi.org/10.1038/nature03090>]
- [7] K. Nomura, A. Takagi, T. Kamiya, H. Ohta, M. Hirano, and H. Hosono, *Jpn. J. Appl. Phys.*, **45**, 4303 (2006). [DOI: <http://dx.doi.org/10.1143/JJAP.45.4303>]
- [8] G. H. Kim, H. S. Shin, B. D. Ahn, K. H. Kim, W. J. Park, and H. J. Kim, *J. Electrochem. Soc.*, **156**, H7 (2009). [DOI: <http://dx.doi.org/10.1149/1.2976027>]
- [9] P. T. Tue, T. Miyasako, J. Li, H. T. C. Tu, S. Inoue, E. Tokumitsu, and T. Shimoda, *IEEE Trans. Electron Devices*, **60**, 320 (2013). [DOI: <http://dx.doi.org/10.1109/TED.2012.2227483>]
- [10] C. J. Brinker, A. J. Hurd, P. R. Schunk, G. C. Frye, and C. S. Ashley, *J. Non-Cryst. Solids*, **147**, 424 (1992). [DOI: [http://dx.doi.org/10.1016/S0022-3093\(05\)80653-2](http://dx.doi.org/10.1016/S0022-3093(05)80653-2)]
- [11] L. F. Francis, *Mater. Manuf. Proc.*, **12**, 963 (1997). [DOI: <http://dx.doi.org/10.1080/10426919708935200>]
- [12] J. M. Kwon, J. Jung, Y. S. Rim, D. L. Kim, and H. J. Kim, *ACS Appl. Mater. Interfaces*, **6**, 3371 (2014). [DOI: <http://dx.doi.org/10.1021/am4054139>]
- [13] L. Lu, M. Echizen, T. Nishida, Y. Ishikawa, K. Uchiyama, and Y. Uraoka, *AIP Adv.*, **2**, 032111 (2012). [DOI: <http://dx.doi.org/10.1063/1.4739052>]
- [14] J. F. Conley, *IEEE Trans. Device Mater. Reliab.*, **10**, 460 (2010). [DOI: <http://dx.doi.org/10.1109/TDMR.2010.2069561>]
- [15] A. Nathan, S. Lee, S. Jeon, and J. Robertson, *J. Display Tech.*, **10**, 917 (2014). [DOI: <http://dx.doi.org/10.1109/JDT.2013.2292580>]
- [16] S. S. Lee, K. Ghaffarzadeh, A. Nathan, J. Robertson, S. H. Jeon, C. J. Kim, I. H. Song, and U. I. Chung, *Appl. Phys. Lett.*, **98**, 203508 (2011). [DOI: <http://dx.doi.org/10.1063/1.3589371>]
- [17] X. M. Huang, C. F. Wu, H. Lu, F. F. Ren, D. J. Chen, R. Jiang, R. Zhang, Y. D. Zheng, and Q. Y. Xu, *Solid-State Electron*, **86**, 41 (2013). [DOI: <http://dx.doi.org/10.1016/j.sse.2013.04.025>]
- [18] J. Robertson, *J. Non-Cryst. Solids*, **358**, 2437 (2012). [DOI: <http://dx.doi.org/10.1016/j.jnoncrysol.2011.12.012>]