

## 온-저항 특성 향상을 위한 게이트 패드 구조에 관한 연구

강예환, 유원영, 김우택, 박태수, 정은식, 양창현<sup>a</sup>

메이플세미컨덕터 신사업본부

### Characteristic of On-resistance Improvement with Gate Pad Structure

Ye-Hwan Kang, Won-Young Yoo, Woo-Taek Kim, Tae-Su Park, Eun-Sik Jung, and Chang Heon Yang<sup>a</sup>

R&D Center, Maple Semiconductor Inc., Bucheon 421-742, Korea

(Received February 3, 2015; Revised March 24, 2015; Accepted March 24, 2015)

**Abstract:** Power MOSFETs (metal oxide semiconductor field effect transistor) operate as energy control semiconductor switches. In order to reduce energy loss of the device during switch-on state, it is essential to increase its conductance. In this study we have investigated a structure to reduce the on-resistance characteristics of the MOSFET. We have a proposed MOSFET structure of active cells region buried under the gate pad. The measurement are carried out with a EDS to analyze electrical characteristics, and the proposed MOSFET are compared with the conventional MOSFET. The result of proposed MOSFET was 1.68[Ω], showing 10% improvement compared to the conventional MOSFET at 700[V].

**Keywords:** Power MOSFET, Gate pad, On-resistance, Active cell, Breakdown voltage

### 1. 서론

전력 반도체는 대용량화 고내압화가 요구되는 산업 시스템의 핵심부품으로 부각되고 있으며, 최근에는 휴대폰, 노트북 PC와 같은 모바일기기의 증가와 전기자동차의 개발과 맞물려 전력 반도체에 대한 수요가 급증하고 있다 [1-4]. 전력 MOSFET는 실리콘을 이용한 소자로서 드레인-소스간 수직구조를 통해 고내압 소자로 사용이 가능하며, 우수한 스위칭 능력과 큰 입력 임피던스를 갖기 때문에 구동 회로를 단순화할 수 있는 소자이다 [5-7]. 전력 MOSFET는 온-저항과 스위칭 손실을 줄이고 반도체의 안정동작 영역을 증가시키

고 높은 스위칭 주파수에서 동작하고, 간단한 구동 회로를 갖는 것이다. 이러한 전력 반도체는 파괴되기 쉽기 때문에 과전류 또는 과온도 보호등과 같은 보호 기능 등이 매우 중요하다 [8-11].

일반적으로 전력 MOSFET는 항복 전압을 향상시키기 위해서 에피층의 농도를 낮추거나 길이를 증가시키면 온-저항 및 기타 특성들이 악화되는 특징을 가지고 있다. 이처럼 높은 항복 전압을 가질수록 에피층의 비저항 및 두께가 증가되고 이는 온-저항이 증가하는 원인이 된다. 온-저항이 증가하면 턴-온 시 전력손실을 증가시키고 전류 밀도도 떨어지게 된다 [12-15]. 따라서 턴-온 상태에서 발생하는 전력 손실을 최소화하고 빠른 스위칭 속도를 확보하기 위하여 턴-온 상태의 저항을 감소시키는 연구가 진행 중이다. 본 논문에서는 항복전압은 유지하면서 온-상태에서 드레인과 소스 간의 내부 저항을 줄일 수 있는 게이트 패드 영역에 액티브 셀 구조를 가지는 전력반도체 소자를 제안한다.

a. Corresponding author; [chyang@maplesemi.com](mailto:chyang@maplesemi.com)

## 2. 실험 방법

### 2.1 600 V급 power MOSFET 설계

전력 반도체소자는 턴-온 상태에서 전류는 드레인 영역에서 소스 영역으로 흐르며, 턴-오프 상태에서는 역바이어스 전압에 의해 수직 방향으로 확장되는 공핍 영역에 의해 항복전압이 결정된다. 전력 반도체소자의 온-저항은 전류 경로인 소스 영역 저항( $R_s$ ), 채널 영역 저항( $R_c$ ), 축적 영역 저항( $R_a$ ), JFET 영역 저항( $R_j$ ), 에피 영역 저항( $R_n$ ), 기판 영역 저항( $R_d$ )을 모두 합한 것이며, 온 상태에서의 드레인과 소스 사이의 저항 성분을 그림 1에 도시화 하였다.

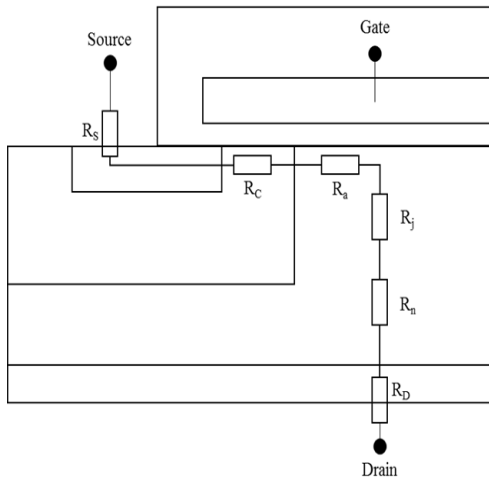


Fig. 1. Distribution of power MOSFET on-state resistance.

턴-온 시 드레인과 소스 사이의 내부 저항을 줄여 전력 손실을 최소화 할 수 있는 게이트 패드 영역에 액티브 셀 배치 구조를 가지는 구조를 설계하였다. 그림 2(a)는 기존 게이트 패드이며 (b)는 액티브 셀을 적용한 게이트 패드 구조이다. 그림 2(b)와 같이 게이트 패드 하부에 액티브 셀을 적용함으로써 기존의 게이트 패드 기능을 가지면서 동일한 항복 전압 조건에서 온-저항을 줄일 수 있다.

게이트 영역 내에 형성되는 액티브 셀의 Gate width가 6  $\mu\text{m}$  이상 늘어나면 JFET 영역이 줄어들어  $R_{JFET}$ 이 증가하며, gate width가 6  $\mu\text{m}$  이하 줄어들면 P-well 간의 거리가 늘어남에 따라 항복 현상 시 공핍층이 제대로 형성되지 않아 JFET 영역에 전계가 집중

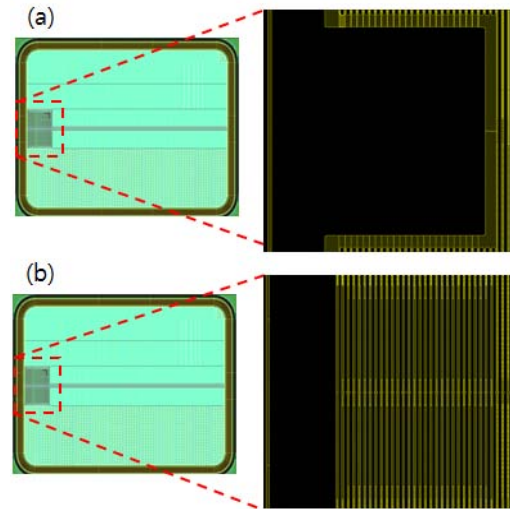


Fig. 2. Gate pad layout (a) basic gate pad and (b) active cell gate pad.

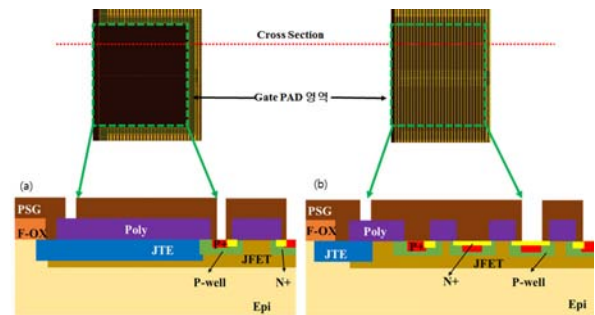


Fig. 3. Schematics of (a) basic gate pad and (b) active cell gate pad.

Table 1. Active cell parameters within the gate pad.

Parameter	Active Cell
Cell pitch	15 [ $\mu\text{m}$ ]
Gate width	6 [ $\mu\text{m}$ ]
Gate to Gate	9 [ $\mu\text{m}$ ]
P-well depth	5 [ $\mu\text{m}$ ]
N+ depth	1 [ $\mu\text{m}$ ]

되어 누설 전류가 발생 할 수 있기 때문에 최적의 조건인 셀 피치를 15  $\mu\text{m}$ 로 선정하였다.

표 1은 게이트 패드 내의 액티브 셀 파라미터이며, 이를 토대로 소자를 제작하였다.

## 2.2 600 V급 power MOSFET 제작

설계된 구조의 검증을 위해 기본 구조와 액티브 셀 구조를 적용한 전력 MOSFET을 제작하였고 동일한 공정 조건으로 진행하였다.

표 2는 소자 제작 시 진행한 주요 공정 조건을 표 2에 나타내었다. 8인치 웨이퍼를 제작 후 EDS (Electrical Die Sorting System, STATEC 사 : STA2050) 장비를 사용하여 제작된 전력 MOSFET의 전기적 특성을 측정하였으며, 웨이퍼 당 각각 3,000개의 die chip을 분석하였다.

**Table 2.** Implant condition.

Area	Ion	Energy [keV]	Condition [cm-3]
JTE	Boron	60	4.5E13
JFET	Phosphorus	100	1.0E12
P-well	Boron	100	4.0E13
N+	Phosphorus	100	6.0E15
P+	Boron	120	2.8E15

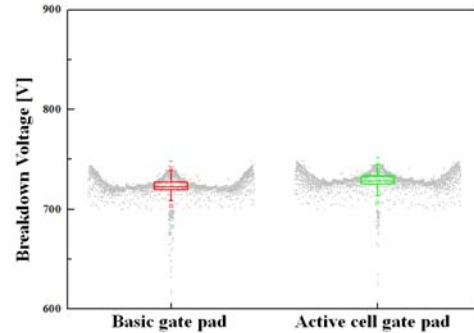
## 3. 결과 및 고찰

설계된 구조의 검증을 위해 기본 구조와 액티브 셀 구조를 적용한 전력 MOSFET을 제작하였고 기존과 동일한 공정 조건으로 진행하였다. 그림 3(b)와 같이 게이트 패드 하부에 액티브 셀을 적용하면 기본 구조보다 전류 경로가 더 형성하게 되므로 전체 온-저항을 감소시킬 수 있으며, 전류 용량도 증가시킬 수 있다.

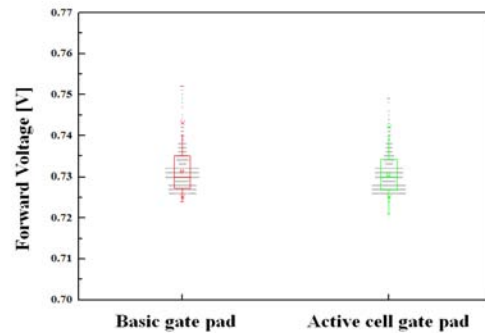
표 3은 MOSFET의 DC 특성을 측정한 결과이다. 제작된 소자의 EDS 장비로 전기적 특성 측정을 진행하였으며, 그림 4는 제작된 기본 구조 소자와 게이트 패드의 액티브 셀을 적용한 소자의 항복전압 특성을 측정한 그래프이다.

**Table 3.** DC characteristics table.

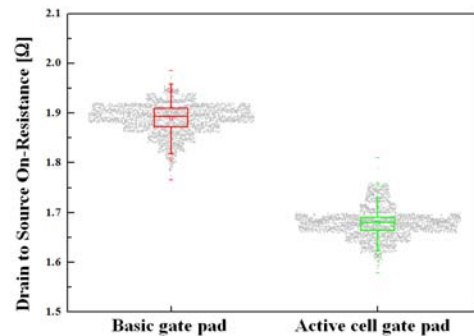
Device	BV[V]	V <sub>F</sub> [V]	R <sub>DS(ON)</sub> [Ω]
Basic gate pad	706	0.7	1.88
Active cell gate pad	703	0.7	1.68



**Fig. 4.** Breakdown voltage characteristics of MOSFETs.



**Fig. 5.** Forward voltage characteristics of MOSFETs.



**Fig. 6.** On-state resistance characteristics of MOSFETs.

기본 구조를 가지는 소자의 항복전압 중심 값이 706 V로 측정되었으며, 게이트 패드의 액티브 셀을 적용한 소자 또한 항복전압의 중심 값이 703 V로 기본 구조를 가지는 소자와 동일한 항복전압을 확인하였다.

그림 5는 제작된 소자의 소스 전극과 드레인 전극

사이의 전압을 측정된 그래프이다. 측정 결과 두 소자 모두 약 0.7 V로 변화가 없음을 확인하였다.

그림 6은 제작된 소자의 온-저항을 측정된 그래프이다. 기본 구조를 가지는 소자의 온-저항은 약 1.88  $\Omega$ 으로 측정되었으며, 게이트 패드의 액티브 셀을 적용한 소자는 약 1.68  $\Omega$ 으로 측정되었다. 동일한 조건으로 제작된 소자의 전기적 특성을 측정된 결과 게이트 패드 내의 액티브 셀을 적용한 소자가 기본 구조를 가지는 소자보다 동일한 항복전압 특성을 가지면서 온-저항은 약 10% 정도 감소하였음을 알 수 있다.

#### 4. 결론

전력 반도체의 온-저항을 낮추는 방법으로 게이트 패드 하부에 액티브 셀을 구성하여 드레인과 소스 사이의 내부 저항을 줄여서 전력 손실을 줄일 수 있는 구조를 적용한 600 V급 전력 MOSFET을 제작하였다.

제작된 소자는 게이트 패드 내의 액티브 셀을 적용하지 않은 기존 소자와 동일한 700 V의 항복전압 특성과 0.7 V의 소스-드레인 간의 전압 특성을 확인하였고 게이트 영역에 다수의 액티브 셀을 추가하여 동일한 항복전압에서 온-저항 특성이 약 1.88  $\Omega$ 에서 1.68  $\Omega$ 으로 약 10% 정도 감소시킬 수 있음을 확인하였다. 본 연구에서 얻어진 온-저항 감소 특성은 전력반도체 소자 개발의 기초자료로서 활용될 것으로 기대된다.

#### 감사의 글

본 연구는 산업통상자원부 충청광역경제권 선도산업 R&D 사업의 지원에 의해 수행되었습니다. (과제번호: R0001577).

#### REFERENCES

- [1] C. Buttay, D. Planson, B. Allard, D. Bergogne, P. Bevilacqua, and C. Joubert, *Mater. Sci. Eng. B*, **176**, 283 (2011).
- [2] Y. I. Choi, *J. KIEE*, **46**, 2 (1997).
- [3] M. Alwan, B. Beydoun, K. Ketata, and M. Zoeter, *Microelectronics*, **38**, 727 (2007).
- [4] H. Cheng and A. G. Milnes, *Solid-State Electron.*, **25**, 1209 (1982).
- [5] P. K. Jain, *IPEMC 2004*, **1**, 23 (2004).
- [6] A. A. Tamer, K. Rauch, and J. L. Moll, *IEEE Trans Electron Dev.*, **30**, 73 (1983).
- [7] O. Lesstiko and A. S. Grove, *Solid-State Electronics*, **9**, 847 (1966).
- [8] V. Rumennik, *IEEE Spectrum*, **22**, 42 (1985).
- [9] F. Djahli, M. Bouchemat, and M. Kahouadji, *Microelectron J*, **31**, 333 (1999).
- [10] R. Habchi, C. Salame, P. Mialhe, and A. Khoury, *Microelectron Reliab.*, **47**, 1296 (2007).
- [11] A. S. Grove, O. Leistiko, and W. W. Hooper, *IEEE Trans Electron Dev.*, **14**, 157 (1967).
- [12] S. Hardikar, R. Tadikonda, D. W. Green, K. V. Vershinin, and E.M.S. Narayanan, *IEEE Trans. Elec. Dev.*, **51**, 808 (2004).
- [13] X. B. Chen, P. A. Mawby, and T. Salama, *J. Microelectron.*, **29**, 1005 (1998).
- [14] M.M.D. Souza and E.M.S. Narayanan, *Electron. Lett.*, **32**, 1092 (1996).
- [15] P. Rossel, *Microelectronics Reliab.*, **24**, 139 (1984).